



НАВЧАЛЬНІ ВИДАННЯ

Гусєв Б.С., Касаткін Д.Ю., Місюра М.Д.

КОМП'ЮТЕРНА ЕЛЕКТРОНІКА

(частина 2)

Навчальний посібник



Гусєв Б.С., Касаткін Д.Ю., Місюра М.Д.

КОМП'ЮТЕРНА ЕЛЕКТРОНІКА

(частина 2)

Навчальний посібник

КИЇВ
2025

УДК 004.3
Г 96

Рекомендовано до видання рішенням вченої ради Національного університету біоресурсів і природокористування України (Протокол № 4 від 22.10.2025 року)

Рецензенти:

Остапов С.Е. – доктор фізико-математичних наук, професор кафедри програмного забезпечення комп'ютерних систем Чернівецького національного університету імені Юрія Федьковича;

Цюцюра С.В. – доктор технічних наук, професор, завідувач кафедри інженерії програмного забезпечення та кібербезпеки Державного торговельно-економічного університету;

Смолій В.М. – доктор технічних наук, професор кафедри інформаційних систем і технологій Національного університету біоресурсів і природокористування України.

Г 96 Комп'ютерна електроніка (частина 2): навчальний посібник / Б.С.Гусєв, Д.Ю.Касаткін, М.Д.Місюра. Київ: Компрінт, 2025. 300с.

ISBN

Навчальний посібник «Комп'ютерна електроніка» (частина 2), змістовний модуль «Системи елементів інтегральних схем» призначений для забезпечення професійної підготовки студентів здобувачів вищої освіти освітнього ступеня «Бакалавр», які навчаються в закладах вищої освіти за спеціальністю 123/F7 «Комп'ютерна інженерія». Посібник може використовуватися для ознайомлення здобувачів вищої освіти з основами побудови складових цифрових інтегральних схем та проведення самостійної теоретичної та практичної підготовки в галузі аналізу функціонування, визначення параметрів та експлуатації цифрових інтегральних схем.

В навчальному посібнику розглянуті схемотехнічні основи побудови систем цифрових інтегральних схем на основі біполярних транзисторів, способи аналізу функціонування, визначення параметрів елементів цифрових інтегральних схем (ЦІС) на мікроелектронному рівні представлення, застосування різноманітних систем елементів, тенденції розвитку елементної бази комп'ютерних систем.

УДК 004.3

© Гусєв Б.С., Касаткін Д.Ю.,

Місюра М.Д., 2025

© НУБіП України

ISBN

ВІДОМОСТІ ПРО АВТОРІВ



Гусєв Борис Семенович

Кандидат технічних наук, доцент, доцент кафедри комп'ютерних систем, мереж та кібербезпеки Національного університету біоресурсів і природокористування України. Викладає дисципліни «Комп'ютерна логіка», «Комп'ютерна схемотехніка», «Комп'ютерна електроніка», «Компонентна база і схемотехніка в системах захисту інформації». Наукові інтереси пов'язані з розробкою апаратного та програмного забезпечення автоматизованих систем керування технологічними процесами на базі мікроконтролерів, системами логічного моделювання. Автор та співавтор навчальних посібників, монографії, наукових статей та методичних розробок.

Електронна адреса: gusevbs@nubip.edu.ua



Касаткін Дмитро Юрійович

Кандидат педагогічних наук, доцент, завідувач кафедри комп'ютерних систем, мереж та кібербезпеки Національного університету біоресурсів і природокористування України, академік Національної академії наук вищої освіти України. Викладає дисципліни «Мобільні комп'ютерні системи», «Моделювання та прогнозування стану довкілля», «Інформатика і системологія», «Біоінформатика та біологічна статистика». Наукові інтереси пов'язані з кібербезпекою,

організаційною підтримкою інформаційної безпеки, інформаційно-комунікаційними технологіями, комп'ютерною інженерією. Автор та співавтор підручників, монографій, наукових статей та методичних розробок.

Електронна адреса: d.kasatkin@nubip.edu.ua



Місюра Максим Дмитрович

Кандидат технічних наук, доцент кафедри комп'ютерних систем, мереж та кібербезпеки Національного університету біоресурсів і природокористування України. Викладає дисципліни «Технологія проектування цифрових систем», «Комп'ютерні системи». Наукові інтереси пов'язані з розробкою апаратного та програмного забезпечення автоматизованих систем керування технологічними процесами, технологіями проектування цифрових пристроїв.

Автор та співавтор навчальних посібників, монографії, наукових статей та методичних розробок.

Електронна адреса: mdm@nubip.edu.ua

ЗМІСТ

ПЕРЕДМОВА	7
РОЗДІЛ 1. ПІДВИЩЕННЯ ШВИДКОДІЇ ІНВЕРТОРА	10
1.1. Оптимальна форма струму бази транзистора	11
Контрольні завдання та запитання	12
1.2. Інвертор з діодом фіксації	19
Контрольні завдання та запитання	21
1.3. Інвертор з фіксацією високого рівня вихідної напруги	22
Контрольні завдання та запитання	28
1.4. Інвертор з форсувальною ємністю	31
1.4.1. Переключення вхідного сигналу з низького до високого рівня	34
1.4.2. Переключення вхідного сигналу з високого до низького рівня	40
Контрольні завдання та запитання	47
1.5. Інвертор з нелінійним негативним зворотним зв'язком	52
Контрольні завдання та запитання	64
ВИСНОВКИ	69
РОЗДІЛ 2. СИСТЕМИ ЕЛЕМЕНТІВ ЦІС	70
2.1. Елементи резисторно-транзисторної логіки	70
2.1.1. Однотранзисторні елементи РТЛ	70
Контрольні завдання та запитання	79
2.1.2. Параметри елементів РТЛ ₁	81
Контрольні завдання та запитання	85
2.1.3. Багатотранзисторні елементи РТЛ	87
2.1.3.1. Елементи РТЛ з паралельним з'єднанням транзисторів	87
Контрольні завдання та запитання	96
2.1.3.2. Елементи РТЛ з послідовним з'єднанням транзисторів	102
Контрольні завдання та запитання	108
2.2. Елементи діодно-транзисторної логіки	111
2.2.1. Елементи ДТЛ з переключенням напруги	111
2.2.1.1. Елементи ДТЛ ПН І-НІ логіки високого рівня	111
Контрольні завдання та запитання	124
2.2.1.2. Параметри елемента ДТЛ ПН І-НІ логіки високого рівня	128
Контрольні завдання та запитання	135
2.2.1.3. Елементи ДТЛ ПН АБО-НІ логіки високого рівня	137
Контрольні завдання та запитання	141
2.2.1.4. Параметри елемента ДТЛ ПН АБО-НІ	144
Контрольні завдання та запитання	155
2.2.2. Елементи ДТЛ з переключенням струму	158
2.2.2.1. Елементи ДТЛ ПС І-НІ логіки високого рівня	158
Контрольні завдання та запитання	162
2.2.2.2. Параметри елемента ДТЛ ПС І-НІ логіки високого рівня	165
Контрольні завдання та запитання	169
2.3. Елементи транзисторно-транзисторної логіки	172
2.3.1. Елементи ТТЛ з простим інвертором	172
Контрольні завдання та запитання	178
2.3.2. Параметри елемента ТТЛ з простим інвертором	180
Контрольні завдання та запитання	184

ВИСНОВКИ.....	187
РОЗДІЛ 3. ЛОГІЧНІ ЕЛЕМЕНТИ ЗІ СКЛАДНИМ ІНВЕРТОРОМ.....	188
3.1. Елементи ДТЛ зі складним інвертором.....	188
Контрольні завдання та запитання.....	189
3.2. Елементи ТТЛ зі складним інвертором.....	190
Контрольні завдання та запитання.....	202
3.3. Параметри елементів ТТЛ зі складним інвертором.....	206
Контрольні завдання та запитання.....	211
3.4. Характеристики елементів ТТЛ.....	213
3.4.1. Передатна характеристика елементів ТТЛ.....	217
Контрольні завдання та запитання.....	219
3.4.2. Вхідна характеристика елементів ТТЛ.....	221
Контрольні завдання та запитання.....	223
3.4.3. Вихідна характеристика елементів ТТЛ.....	224
Контрольні завдання та запитання.....	227
3.4.4. Динамічні характеристики елементів ТТЛ.....	228
Контрольні завдання та запитання.....	232
3.5. Реалізація логічних функцій на базі елементів ТТЛ.....	233
Контрольні завдання та запитання.....	246
3.6. Модифікації елементів ТТЛ.....	248
3.6.1. Елементи ТТЛ зі схемою Дарлінгтона.....	248
Контрольні завдання та запитання.....	251
3.6.2. Елементи ТТЛ з підвищеною завадостійкістю.....	253
Контрольні завдання та запитання.....	254
3.6.3. Елементи ТТЛ з обмежувальними діодами.....	255
Контрольні завдання та запитання.....	256
3.6.4. Елементи ТТЛ з діодами Шотткі.....	257
Контрольні завдання та запитання.....	258
3.6.5. Елементи ТТЛ з відкритим колектором.....	258
3.6.5.1. Індикація станів логічних елементів.....	260
Контрольні завдання та запитання.....	267
3.6.5.2. Організація монтажною логіки.....	270
Контрольні завдання та запитання.....	278
3.6.6. Елементи ТТЛ з трьома станами.....	280
Контрольні завдання та запитання.....	284
ВИСНОВКИ.....	285
РОЗДІЛ 4. СХЕМИ ЗАМІЩЕННЯ ЕЛЕМЕНТІВ ТТЛ.....	286
4.1. Схеми заміщення елементів ТТЛ з боку входу.....	286
4.2. Схеми заміщення елементів ТТЛ з боку виходу.....	288
Контрольні завдання та запитання.....	297
ВИСНОВКИ.....	298
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ.....	299

ПЕРЕДМОВА

Апаратні засоби є однією з основних складових сучасних інформаційно-комунікаційних технологій, у зв'язку з чим швидкий розвиток цих технологій тісно пов'язаний з необхідністю якісної підготовки фахівців, спроможних виконувати проєктування та розробку апаратних засобів загального і спеціалізованого призначення, експлуатацію і супроводження цих засобів, що потребує застосування знань, вмінь та навичок роботи з апаратним забезпеченням сучасних комп'ютерних систем.

Навчальний посібник орієнтований на підготовку студентів ОС «Бакалавр» за спеціальністю 123/F7 «Комп'ютерна інженерія», а матеріал, поданий в ньому, використовується при вивченні змістовного модулю «Системи елементів інтегральних схем» курсу «Комп'ютерна електроніка» та присвячений аналізу функціонування основних систем елементів цифрових інтегральних схем (ЦІС), таких як елементи резистивно-діодно- та транзисторно-транзисторної логіки, способам їх побудови на електронному рівні представлення. В посібнику розглядаються способи розрахунку основних параметрів елементів цифрових інтегральних схем, які характеризують властивості функціонування та використання цих елементів. Принципи побудови та роботи базових елементів ЦІС розглядаються на структурному, функціональному та електронному рівнях їх представлення.

Навчальний матеріал, розглянутий в посібнику, подається на основі знань, вмінь та навичок, які були опановані здобувачами вищої освіти під час вивчення курсів «Фізичні основи комп'ютерної електроніки», «Електроніка та електротехніка», «Комп'ютерна логіка», а компетенції, отримані при вивченні курсу «Комп'ютерна електроніка» далі будуть використовуватися здобувачами вищої освіти при вивченні дисциплін «Архітектура комп'ютерів», «Комп'ютерні системи», «Технічні засоби передачі інформації», «Пристрої зв'язку з об'єктом», вибіркових дисциплін «Робототехніка», «Апаратно-програмні засоби ГІС» тощо, а також під час дипломного проєктування.

В результаті вивчення курсу здобувачі вищої освіти набувають компетентності та програмні результати навчання, передбачені стандартом вищої освіти в рамках освітньої програми підготовки бакалаврів «Комп'ютерна інженерія»: «знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж; мати навички проведення експериментів, збирання даних та моделювання в комп'ютерних системах; вміти виконувати експериментальні дослідження за професійною тематикою; вміти ідентифікувати, класифікувати та описувати роботу комп'ютерних систем та їх компонентів».

Зміст навчального посібника складається з чотирьох розділів.

Перший розділ посібника присвячений розгляду способів підвищення швидкодії логічних елементів на базі біполярних транзисторів. Для цього виконано аналіз функціонування елементів з форсувальною ємністю та з нелінійним негативним зворотнім зв'язком, в схемах яких формується

оптимальна форма струму бази, а підвищення швидкодії забезпечується за рахунок ліквідації часу розсмоктування неосновних носіїв в області бази транзистора. Крім того, розглядаються елементи з діодом фіксації, які забезпечують підвищення швидкодії за рахунок неповного заряду монтажною ємності.

В другому розділі розглядаються принципи побудови і функціонування логічних елементів на базі простого інвертора:

- однотранзисторні і багатотранзисторні елементи резистивно-транзисторної логіки з послідовним і паралельним з'єднанням транзисторів;
- елементи діодно-транзисторної логіки, побудовані за принципами переключення напруги і струму;
- елементи транзисторно-транзисторної логіки, побудовані з використанням простого інвертора.

Для всіх зазначених вище елементів приведені розрахунки, які забезпечують коректне функціонування логічних елементів, а також визначені основні статичні параметри: споживана потужність, завадостійкість та коефіцієнт розгалуження.

Третій розділ фокусується на розгляді принципів функціонування логічних елементів зі складним інвертором, побудованих на основі діодно-транзисторної логіки і транзисторно-транзисторної логіки (ТТЛ), для яких приведені детальні розрахунки та визначені умови, виконання яких забезпечує правильну роботу зазначених логічних елементів. Для цих елементів приведені розрахунки таких параметрів як завадостійкість і коефіцієнт розгалуження, а також розглянуті передатна, вхідна, вихідна та динамічні характеристики базового елемента ТТЛ. У зв'язку з широким поширенням серій елементів ТТЛ розглядаються та аналізуються такі модифікації елементів транзисторно-транзисторної логіки, як елементи зі схемою Дарлінгтона, елементи з підвищеною завадостійкістю, відкритим колектором, обмежувальними діодами, діодами Шоттки та елементи з трьома станами.

Крім того, для елементів з відкритим колектором розглядаються способи організації монтажною логіки та індикації станів логічних елементів, а також приводяться детальні розрахунки діапазону коректних значень опору зовнішнього резистора навантаження.

В четвертому розділі розглядаються лінійні схеми заміщення елементів транзисторно-транзисторної логіки для спрощення розрахунків при використанні елементів ТТЛ з нестандартним обладнанням та виконується порівняльний аналіз цих схем заміщення з реальними характеристиками елементів ТТЛ.

Всі структурні одиниці навчального посібника закінчуються розглядом прикладів визначення відповідних параметрів і характеристик базових елементів ЦІС. Коректність всіх проведених розрахунків ілюструється за допомогою моделювання функціонування цих елементів на мікроелектронному рівні в середовищі системи схемотехнічного проектування MicroCap.

Для більш кращого розуміння і опанування студентами навчальним матеріалом всі підрозділи посібника містять контрольні запитання і завдання, виконання яких дозволять здобувачам вищої освіти більш детально ознайомитися та практично отримати навички з використання способів аналізу і розрахунків характеристик та параметрів систем елементів ЦС.

В результаті вивчення навчального матеріалу посібника здобувачі вищої освіти в галузі комп'ютерної електроніки повинні вміти:

- виконувати аналіз функціонування базових логічних елементів сучасних систем ЦС;

- виконувати розрахунки параметрів і характеристик елементів ЦС;

- використовувати електронні прилади для проведення вимірів та оцінювати характеристики цих приладів, враховуючи особливості їх застосування;

- виконувати перевірку функціонування електронної схеми з використанням сучасних систем автоматизованого проєктування, працювати з технічною літературою і документацією;

- виконувати вибір систем елементів ЦС на основі аналізу параметрів і характеристик базових електронних елементів з метою здійснення апаратної реалізації цифрових пристроїв;

- вимірювати параметри елементів ЦС, виконувати пошук причин некоректного функціонування та здійснення кроків, направлених на відновлення працездатності цифрових пристроїв.

Навчальний матеріал, наданий в посібнику, є базовим для вивчення та призначений для набуття в основному початкових вмінь та навичок з розрахунку характеристик і параметрів цифрових інтегральних схем.

В посібнику приведений перелік літературних джерел для допомоги здобувачам вищої освіти при самостійному вивченні навчального матеріалу, для вдосконалення вже отриманих протягом навчання знань та для виконання завдань науково-технічного характеру, які можуть виникати під час дипломного проєктування або професійної діяльності.

Матеріали навчального посібника з курсу «Комп'ютерна електроніка» підготовлені на основі відповідного курсу лекцій та методологічних розробок авторів, які викладаються для здобувачів вищої освіти ОС «Бакалавр» за спеціальністю «Комп'ютерна інженерія».

Авторський колектив щиро вдячний учасникам освітнього процесу, а також шановним колегам та рецензентам за слушні зауваження та підтримку, що сприяло поліпшенню методики подання та послідовності викладання навчального матеріалу.

Внесок кожного зі співавторів складається наступним чином: Гусєв Б.С. (розділи 1,2, підрозділи 3.1-3.4, 3.6 – 16,75 д.а.), Касаткін Д.Ю. (вступ, підрозділ 3.5 – 1 д.а.), Місюра М.Д. (розділ 4 – 1 д.а.).

РОЗДІЛ 1. ПІДВИЩЕННЯ ШВИДКОДІЇ ІНВЕРТОРА

Базові напівпровідникові елементи, які входять до складу цифрових інтегральних схем (ЦІС), детально проаналізовано в [1], де:

- розглянуті параметри ЦІС, що використовуються при аналізі продуктивності апаратних засобів комп'ютерних систем;

- на електронному рівні представлені схеми апаратної реалізації логічних функцій, які складають функціонально повний базис, в залежності від типу логіки (діодні логічні елементи І, АБО на основі напівпровідникових діодів та інвертор, який реалізує функцію НІ, на основі біполярного транзистора);

- розглянуті способи визначення статичних характеристик і параметрів цифрових електронних схем в залежності від точності лінеаризації вольт- амперних характеристик напівпровідникових діодів і транзисторів;

- в діодних логічних елементах (ДЛЕ) розраховані параметри перехідних процесів, тривалість яких формують час спрацьовування цих елементів в залежності від режиму роботи діодів;

- для біполярних транзисторів визначені динамічні параметри, які є основою для формування швидкодії логічних елементів.

Нагадаємо, що динамічні параметри біполярних транзисторів характеризуються часом затримки вмикання (включення) транзистора (t_{d_on}), часом вмикання (t_{on}) і вимикання транзистора (t_{off}), а також часом розсмоктування (t_s), що фактично є часом затримки вимикання транзистора. Математичні вирази для обчислення динамічних параметрів приведені в [1], де були визначені умови для зменшення величин цих параметрів, тобто для збільшення швидкодії:

1. Зменшення часу вмикання t_{on} і затримки вмикання t_{d_on} досягається за рахунок збільшення вмикального струму бази транзистора.

2. Зменшення часу вимикання t_{off} досягається за рахунок збільшення вимикального струму бази транзистора.

3. Зменшення часу розсмоктування (t_s) досягається за рахунок зменшення вмикального струму бази та збільшення вимикального струму бази транзистора.

Таким чином, однозначно можна зробити висновок, що для збільшення швидкодії необхідно забезпечити, щоб величина вимикального струму бази транзистора I_{boff} була як можна більше.

А ось величина вмикального струму бази I_{bon} має протилежний вплив на швидкодію транзистора. З одного боку збільшення вмикального струму бази зменшує час вмикання транзистора, але при цьому збільшується величина часу розсмоктування і навпаки.

Розв'язати цю проблему можна, заборонивши вхід транзистора в режим насичення, тобто забезпечивши роботу транзистора на межі насичення або в лінійному режимі, але біля межі насичення, в результаті чого час розсмоктування буде дорівнювати нулю. В цьому випадку для збільшення швидкодії необхідно забезпечити, щоб величина вмикального струму бази транзистора I_{bon} була як можна більше.

В результаті, для отримання максимально можливої швидкодії необхідно максимально збільшувати величини вмикального і вимикального струмів бази транзистора, не даючи при цьому вводити транзистору в стан насичення. Такі транзисторні ключі називаються ненасиченими [2,4,6].

Розв'язок цієї задачі можливий при використанні так званої оптимальної форми струму бази транзистора [2-6].

1.1. Оптимальна форма струму бази транзистора

Оптимальна форма струму бази *n-p-n* транзистора приведена на рис.1.1. В початковому стані транзистор перебуває в режимі відсічки, з бази витікає тепловий струм колектору $I_{км}$.

В момент часу t_1 на вході інвертора вхідний сигнал переключається до високого рівня, в результаті чого з'являється вмикальний струм I_{bon} , величина якого повинна бути як можна більше (величина цього струму залежить від вхідних кіл інвертора). Напруга на базі поступово підвищується протягом часу t_{d_on} , після чого діод емітера транзистора відкривається і транзистор переключається в лінійний режим [1].

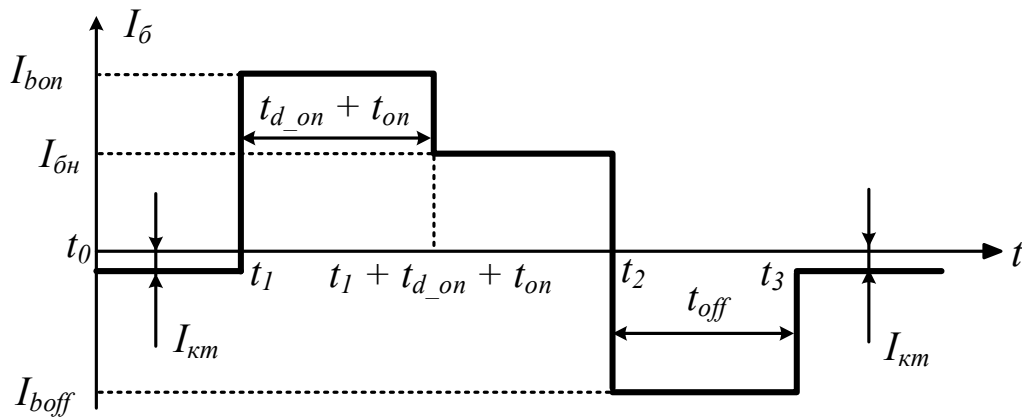


Рис. 1.1. Оптимальна форма струму бази транзистора

Під час вмикання транзистора протягом часу t_{on} струм колектору збільшується, а напруга на колекторі зменшується. В момент часу $t_1 + t_{d_on} + t_{on}$, коли транзистор досягає межі насичення, струм бази транзистора необхідно знизити до величини струму бази насичення I_{bn} . В цьому разі транзистор залишається на межі насичення, тобто при його подальшому вимиканні час розсмоктування буде нульовим.

В момент часу t_2 на вході інвертора вхідний сигнал переключається до низького рівня, в результаті чого з'являється вимикальний струм I_{boff} , величина якого повинна бути як можна більше. Під час вимикання транзистор перебуває в лінійному режимі (діод емітера ще відкритий), а величина струму I_{boff} залежить від вхідних кіл інвертора.

В момент часу t_3 ($t_3 = t_2 + t_{off}$) діод емітера транзистора закривається, транзистор переходить в режим відсічки, а величина струму бази повертається до величини $I_{км}$.

Таким чином, величини струмів I_{bon} і I_{boff} в основному залежать від значень вхідних кіл інвертора, тому основною проблемою при реалізації оптимальної форми струму бази транзистора є забезпечення зменшення струму бази з величини I_{bon} до I_{bn} в момент досягнення транзистором межі насичення.

Звичайно, що значення резисторів інвертора можна розрахувати таким чином, що струм бази транзистора буде дорівнювати струму бази насичення I_{bn} , що дозволить транзистору працювати на межі насичення. Але величина I_{bn} залежить від параметра β , який може змінюватися в одному й тому ж типі транзистора в широких межах в тому числі і у часі, тому в однакових схемах інверторів транзистори будуть працювати як в лінійному режимі, так і в режимі насичення. Якщо розрахувати роботу транзистора в лінійному режимі з урахуванням β_{max} , то транзистор буде дійсно працювати в лінійному режимі, але при менших значеннях β буде збільшуватися низький рівень вихідної напруги, що приводить до зменшення завадостійкості або навіть до порушення логіки роботи транзистора. На рис.1.2 проілюстрована залежність значення вихідної напруги низького рівня інвертора від β транзистора.

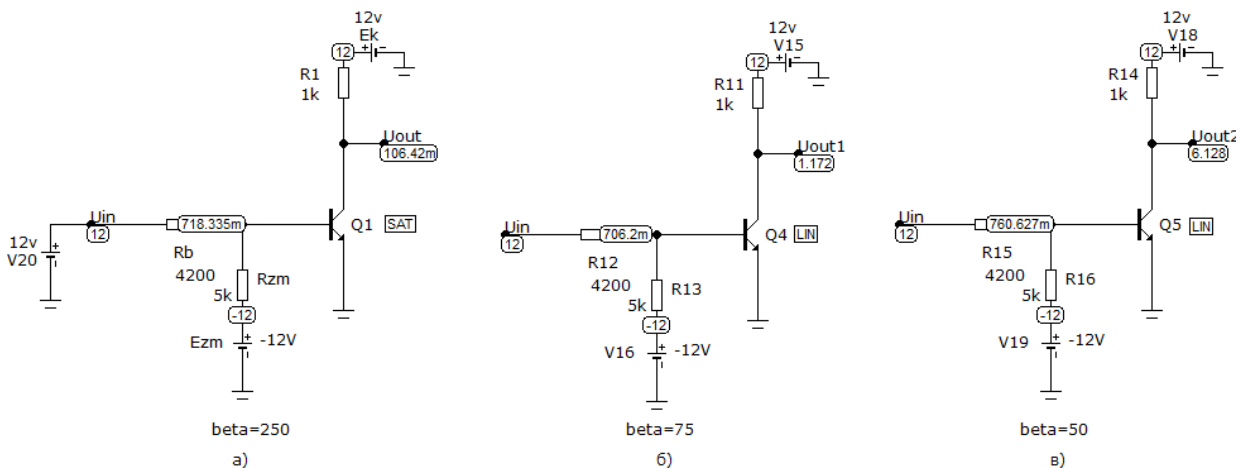


Рис. 1.2. Залежність вихідної напруги інвертора від β транзистора

Під час моделювання використовувалася одна й та ж схема інвертора, транзистори яких мали різну β . Так, для схеми на рис.1.2,а $\beta = 250$ і транзистор перебуває в стані насичення. Транзистор в схемі на рис.1.2,б при $\beta = 75$ перебуває в лінійному режимі, а вихідна напруга низького рівня збільшилася на $1V$, що зменшило величину завадостійкості низького рівня. Транзистор в схемі на рис.1.2,в при $\beta = 50$ також перебуває в лінійному режимі, але вихідна напруга складає $6,1V$, що відповідає високому рівню, тобто порушилася логіка роботи інвертора.

Далі розглянемо способи реалізації оптимальної форми струму бази транзистора в інверторі.

Контрольні завдання та запитання

1. Які часові параметри використовуються для опису динамічних властивостей транзистора?

2. Охарактеризуйте процеси, що відбуваються під час затримки вмикання *n-p-n* транзистора.
3. Чи правильно, що затримка вмикання *n-p-n* транзистора відбувається при зміні напруги на вході інвертора з низького рівня до високого. Обґрунтуйте відповідь.
4. Чи правильно, що затримка вмикання *n-p-n* транзистора відбувається при зміні напруги на вході інвертора з високого рівня до низького. Обґрунтуйте відповідь.
5. Поясніть причину затримки вмикання *n-p-n* транзистора?
6. Як визначити час затримки вмикання *n-p-n* транзистора аналітично?
7. Як визначити час затримки вмикання *n-p-n* транзистора, користуючись часовою діаграмою?
8. В якому стані перебуває діод емітера під час затримки вмикання транзистора?
9. В якому стані перебуває діод колектору під час затримки вмикання транзистора?
10. Якими перехідними процесами пояснюється затримка вмикання транзистора?
11. Охарактеризуйте процеси, що відбуваються під час вмикання *n-p-n* транзистора.
12. Чи правильно говорити, що вмикання *n-p-n* транзистора відбувається при зміні напруги на вході інвертора з низького рівня до високого. Обґрунтуйте відповідь.
13. Чи правильно говорити, що вмикання *n-p-n* транзистора відбувається при зміні напруги на вході інвертора з високого рівня до низького. Обґрунтуйте відповідь.
14. Поясніть причину вмикання транзистора в інверторі?
15. Як визначити час вмикання транзистора аналітично?
16. Як визначити час вмикання транзистора, користуючись часовою діаграмою?
17. В якому стані перебуває діод емітера під час вмикання транзистора?
18. В якому стані перебуває діод колектору під час вмикання транзистора?
19. Якими перехідними процесами пояснюється вмикання транзистора в інверторі?
20. В якому стані може перебувати діод колектору після вмикання транзистора?
21. Оцініть коректність висловлювання «після завершення вмикання транзистора в складі інвертора діод колектору обов'язково перебуває у відкритому стані». Обґрунтуйте відповідь.
22. Оцініть коректність висловлювання «після завершення вмикання транзистора в складі інвертора діод колектору обов'язково перебуває в закритому стані». Обґрунтуйте відповідь.

23. Оцініть коректність висловлювання «після завершення вмикання транзистор в складі інвертора обов'язково перебуває в режимі насичення». Обґрунтуйте відповідь.
24. Оцініть коректність висловлювання «після завершення вмикання транзистор в складі інвертора обов'язково перебуває в лінійному режимі». Обґрунтуйте відповідь.
25. Оцініть коректність висловлювання «після завершення вмикання транзистор в складі інвертора може перебувати в стані насичення або в будь-якій робочій точці лінійного режиму». Обґрунтуйте відповідь.
26. Оцініть коректність висловлювання «після завершення вмикання транзистор в складі інвертора може перебувати в стані насичення або в лінійному режимі недалеко від межі насичення». Обґрунтуйте відповідь.
27. Охарактеризуйте процеси, що відбуваються під час розсмоктування неосновних носіїв з області бази в $n-p-n$ транзисторі.
28. Чи правильно говорити, що процес розсмоктування неосновних носіїв в $n-p-n$ транзисторі відбувається при зміні напруги на вході інвертора з низького рівня до високого. Обґрунтуйте відповідь.
29. Чи правильно говорити, що процес розсмоктування неосновних носіїв в $n-p-n$ транзисторі відбувається при зміні напруги на вході інвертора високого рівня до низького. Обґрунтуйте відповідь.
30. Як визначити час розсмоктування зарядів в транзисторі аналітично?
31. Як визначити час розсмоктування зарядів в транзисторі, користуючись часовою діаграмою?
32. В якому стані перебуває діод емітера під час розсмоктування неосновних носіїв в базі транзистора?
33. В якому стані перебуває діод колектору під час розсмоктування неосновних носіїв в базі транзистора?
34. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистора діод колектору обов'язково перебуває у відкритому стані». Обґрунтуйте відповідь.
35. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистора діод колектору обов'язково перебуває у закритому стані». Обґрунтуйте відповідь.
36. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистора діод емітера обов'язково перебуває у відкритому стані». Обґрунтуйте відповідь.
37. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистора діод емітера обов'язково перебуває у закритому стані». Обґрунтуйте відповідь.
38. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистор обов'язково перебуває в режимі насичення». Обґрунтуйте відповідь.

39. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистор обов'язково перебуває в лінійному режимі». Обґрунтуйте відповідь.
40. В якому режимі перебуває транзистор під час розсмоктування неосновних носіїв в базі?
41. Оцініть коректність висловлювання «під час розсмоктування неосновних носіїв в базі транзистор може перебувати в стані насичення або в будь-якій робочій точці лінійного режиму». Обґрунтуйте відповідь.
42. Чи можна сказати, що процес розсмоктування неосновних носіїв в базі транзистора можна назвати процесом затримки вимикання транзистора? Обґрунтуйте відповідь.
43. Чи можна сказати, що процес розсмоктування неосновних носіїв в базі транзистора можна назвати процесом затримки вмикання транзистора? Обґрунтуйте відповідь.
44. Чому дорівнює час розсмоктування, якщо транзистор працює на межі насичення?
45. Чому дорівнює час розсмоктування, якщо транзистор працює в лінійному режимі?
46. Охарактеризуйте процеси, що відбуваються під час вимикання *n-p-n* транзистора.
47. Чи правильно говорити, що вимикання *n-p-n* транзистора відбувається при зміні напруги на вході інвертора з низького рівня до високого. Обґрунтуйте відповідь.
48. Чи правильно говорити, що вимикання *n-p-n* транзистора відбувається при зміні напруги на вході інвертора з високого рівня до низького. Обґрунтуйте відповідь.
49. Поясніть причину вимикання транзистора в інверторі?
50. Як визначити час вимикання транзистора аналітично?
51. Як визначити час вимикання транзистора, користуючись часовою діаграмою?
52. В якому стані перебуває діод емітера під час вимикання транзистора?
53. В якому стані перебуває діод колектору під час вимикання транзистора?
54. Якими перехідними процесами пояснюється вимикання транзистора в інверторі?
55. В якому стані перебуває діод колектору після вимикання транзистора?
56. В якому стані перебуває діод емітера після вимикання транзистора?
57. В якому режимі працює транзистор після вимикання?
58. В якому режимі працює транзистор під час вимикання?
59. Оцініть коректність висловлювання «після завершення вимикання транзистора в складі інвертора діод колектору обов'язково перебуває у відкритому стані». Обґрунтуйте відповідь.

60. Оцініть коректність висловлювання «після завершення вимикання транзистора в складі інвертора діод колектору обов'язково перебуває в закритому стані». Обґрунтуйте відповідь.
61. Оцініть коректність висловлювання «після завершення вимикання транзистор в складі інвертора обов'язково перебуває в режимі насичення». Обґрунтуйте відповідь.
62. Оцініть коректність висловлювання «після завершення вимикання транзистор в складі інвертора обов'язково перебуває в лінійному режимі». Обґрунтуйте відповідь.
63. Оцініть коректність висловлювання «після завершення вимикання транзистор в складі інвертора обов'язково перебуває в режимі відсічки». Обґрунтуйте відповідь.
64. Оцініть коректність висловлювання «після завершення вимикання транзистор в складі інвертора може перебувати в стані відсічки або в будь-якій робочій точці лінійного режиму». Обґрунтуйте відповідь.
65. Оцініть коректність висловлювання «в процесі вимикання транзистор в складі інвертора може перебувати в стані відсічки або в будь-якій робочій точці лінійного режиму». Обґрунтуйте відповідь.
66. Оцініть коректність висловлювання «в процесі вимикання транзистора в складі інвертора діод колектору обов'язково перебуває в закритому стані». Обґрунтуйте відповідь.
67. Оцініть коректність висловлювання «в процесі вимикання транзистора в складі інвертора діод колектору обов'язково перебуває у відкритому стані». Обґрунтуйте відповідь.
68. Оцініть коректність висловлювання «в процесі вимикання транзистора в складі інвертора діод емітера обов'язково перебуває в закритому стані». Обґрунтуйте відповідь.
69. Оцініть коректність висловлювання «в процесі вимикання транзистора в складі інвертора діод емітера обов'язково перебуває у відкритому стані». Обґрунтуйте відповідь.
70. Як необхідно змінювати вмикальний струм бази транзистора, щоб зменшити затримку вмикання транзистора?
71. Як необхідно змінювати вимикальний струм бази транзистора, щоб зменшити затримку вимикання транзистора?
72. Який процес завершується моментом відкриття діода емітера транзистора?
73. Як необхідно змінювати вмикальний струм бази транзистора, щоб зменшити час вмикання транзистора?
74. Як необхідно змінювати вимикальний струм бази транзистора, щоб зменшити час вимикання транзистора?
75. Який процес починається моментом відкриття діода емітера транзистора?
76. Як необхідно змінювати вмикальний струм бази транзистора, щоб зменшити час розсмоктування неосновних носіїв в базі транзистора?

77. Як необхідно змінювати вимикальний струм бази транзистора, щоб зменшити час розсмоктування неосновних носіїв в базі транзистора?
78. Який процес починається моментом закриття діода колектору транзистора?
79. Який процес починається моментом відкриття діода колектору транзистора?
80. Як необхідно змінювати вмикальний струм бази транзистора, щоб зменшити затримку вимикання транзистора?
81. Який процес завершується моментом відкриття діода колектору транзистора?
82. Який процес завершується моментом закриття діода колектору транзистора?
83. Як необхідно змінювати вимикальний струм бази транзистора, щоб зменшити затримку вимикання транзистора?
84. Як необхідно змінювати вмикальний струм бази транзистора, щоб зменшити затримку вимикання транзистора?
85. Як необхідно змінювати вимикальний струм бази транзистора, щоб зменшити час вимикання транзистора?
86. Який процес завершується моментом закриття діода емітера транзистора?
87. Як необхідно змінювати вимикальний струм бази транзистора, щоб зменшити час вимикання транзистора?
88. Поясніть фізичний сенс струму бази насичення.
89. Яке значення приймає струм бази, коли транзистор досягає межі насичення?
90. Яким чином можна зменшити час затримки вмикання, час вмикання та час вимикання транзистора?
91. Значення якого динамічного параметра збільшується при збільшенні вмикального струму бази?
92. Значення якого динамічного параметра зменшується при збільшенні вмикального струму бази?
93. Чи має вмикальний струм бази суперечливий вплив на динамічні параметри транзистора? Обґрунтуйте відповідь.
94. Чи має вимикальний струм бази суперечливий вплив на динамічні параметри транзистора? Обґрунтуйте відповідь.
95. Що необхідно робити, щоб зменшити величину часу розсмоктування в транзисторі?
96. Яким чином можна забезпечити нульове значення часу розсмоктування в транзисторі?
97. Яким чином впливає вмикальний струм бази на час розсмоктування в транзисторі?
98. Яким чином впливає вимикальний струм бази на час розсмоктування в транзисторі?

99. За допомогою зміни яких складових електричних елементів інвертора можна знизити час вмикання транзистора?
100. Яким чином змінюється значення вмикального струму бази при зміні величини опору резистора R_b ?
101. Яким чином змінюється значення вмикального струму бази при зміні величини опору резистора $R_{зм}$?
102. Яким чином змінюється значення вимикального струму бази при зміні величини опору резистора $R_{зм}$?
103. Яким чином змінюється значення вимикального струму бази при зміні величини опору резистора R_b ?
104. Яку схему заміщення транзистора з боку бази необхідно використовувати, щоб визначити вимикальний струм бази?
105. За допомогою зміни яких складових електричних елементів інвертора можна знизити час вимикання транзистора?
106. Які транзисторні ключі називаються ненасиченими?
107. Поясніть термін «оптимальна форма струму бази».
108. Прокоментуйте часову діаграму на рис.1.1.
109. Що відбувається в момент часу t_1 (рис.1.1)?
110. В якому режимі транзистор працює в інтервалі часу ($t_1, t_1+t_{d_on}+t_{on}$) на часовій діаграмі (рис.1.1)?
111. Які вимоги висуваються до значення струму I_{bon} в інтервалі часу ($t_1, t_1+t_{d_on}+t_{on}$) на часовій діаграмі (рис.1.1)?
112. Які вимоги висуваються до значення струму бази в інтервалі часу ($t_1+t_{d_on}+t_{on}, t_2$) на часовій діаграмі (рис.1.1)?
113. В якому режимі транзистор працює в інтервалі часу ($t_1+t_{d_on}+t_{on}, t_2$) на часовій діаграмі (рис.1.1)?
114. Що відбувається в момент часу t_2 (рис.1.1)?
115. Для чого використовується оптимальна форма струму бази транзистора?
116. В якому режимі транзистор працює в інтервалі часу (t_2, t_3) на часовій діаграмі (рис.1.1)?
117. Які вимоги висуваються до значення струму бази I_{boff} в інтервалі часу (t_2, t_3) на часовій діаграмі (рис.1.1)?
118. Що відбувається в момент часу t_3 (рис.1.1)?
119. Яким чином стан транзистора в інверторі (рис.1.2) залежить від β ?
120. Яким чином вихідна напруга інвертора (рис.1.2) залежить від β ?
121. Прокоментуйте результати моделювання на рис.1.2,а.
122. Прокоментуйте результати моделювання на рис.1.2,б.
123. Прокоментуйте результати моделювання на рис.1.2,в.
124. Як визначити вихідну напругу інвертора в схемі на рис.1.2,а?
125. Як визначити вихідну напругу інвертора в схемі на рис.1.2,б?
126. Як визначити вихідну напругу інвертора в схемі на рис.1.2,в?
127. В чому полягає зменшення завадостійкості інвертора в схемі на рис.1.2,б?
128. В чому полягає порушення логіки роботи інвертора в схемі на рис.1.2,в?

1.2. Інвертор з діодом фіксації

Схема інвертора з діодом фіксації приведена на рис.1.3 [6].

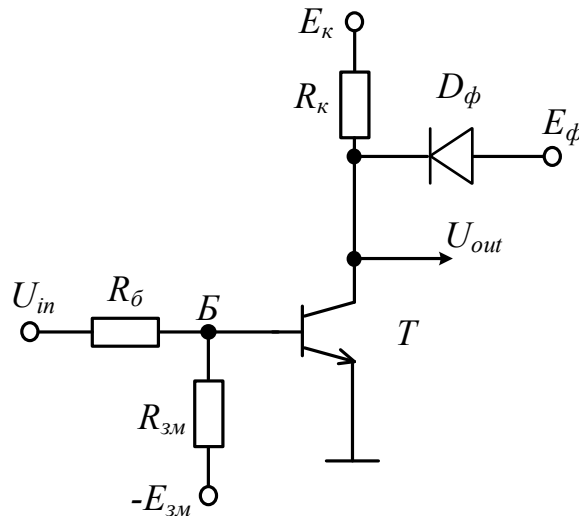


Рис. 1.3. Інвертор з діодом фіксації

Приведена схема інвертора реалізує фіксацію величини низького рівня на виході інвертора. Зі схеми можна побачити, що в інверторі використовується додаткове коло E_ϕ, D_ϕ , яке будемо називати колом фіксації, до складу якого входить додаткове джерело живлення E_ϕ – джерело напруги фіксації та діод фіксації. Величина E_ϕ набагато менше E_κ ($E_\phi \ll E_\kappa$), але більше значення $U_{кен} + U_{df}$, де $U_{out} = U_{кен}$ – вихідна напруга низького рівня інвертора при перебуванні транзистора в режимі насичення; U_{df} – падіння напруги на діоді фіксації ($E_\phi > U_{кен} + U_{df}$). Нагадаємо, що для розрахунків використовуємо $U_{кен} = 0,1B$ [1].

Нехай в початковому стані на вхід інвертора підключено низький рівень вхідної напруги. В цьому випадку транзистор перебуває в режимі відсічки, вихідна напруга фактично дорівнює E_κ (детально розрахунки цього режиму приведені в [1]). В результаті діод фіксації закритий, а коло фіксації фактично не має впливу на роботу інвертора в цьому режимі.

При надходженні на вхід інвертора напруги високого рівня діод емітера відкривається і транзистор переключиться в лінійний режим. При цьому струм бази зростає, напруга на колекторі зменшується і, коли ця напруга досягне величини $E_\phi - U_{df}$, діод фіксації відкривається та напруга на колекторі фіксується на рівні $E_\phi - U_{df}$. Для недопущення насичення необхідно забезпечити закритий стан діода колектору транзистора, тобто різниця потенціалів між базою і колектором $U_{бк}$ повинна задовольняти нерівності $U_{бк} < 0,3B$. Визначимо вимоги до значення напруги джерела фіксації E_ϕ :

$$U_{бк} = U_\phi - U_\kappa < 0,3B;$$

$$U_\phi = U_{бе} = 0,75B; U_\kappa = E_\phi - U_{df} = E_\phi - 0,75B; U_{бе} - (E_\phi - U_{df}) < 0,3B;$$

$$U_{бе} + U_{df} - E_\phi < 0,3B; 1,5 - E_\phi < 0,3B; E_\phi > 1,2B.$$

На рис.1.4 приведені результати моделювання інвертора з $E_{\phi} = 2V$ при високому рівні вхідної напруги.

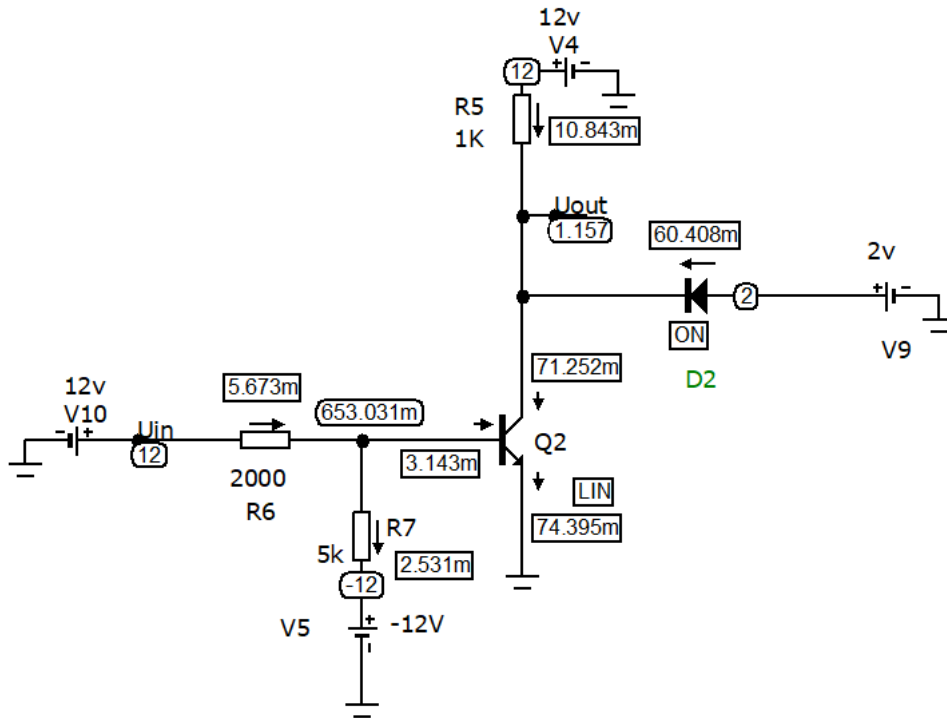


Рис. 1.4. Результати моделювання інвертора з діодом фіксації

З результатів моделювання можна побачити, що транзистор дійсно перебуває в лінійному режимі.

Часова діаграма при переключенні вхідного сигналу з високого рівня до низького приведена на рис.1.5.

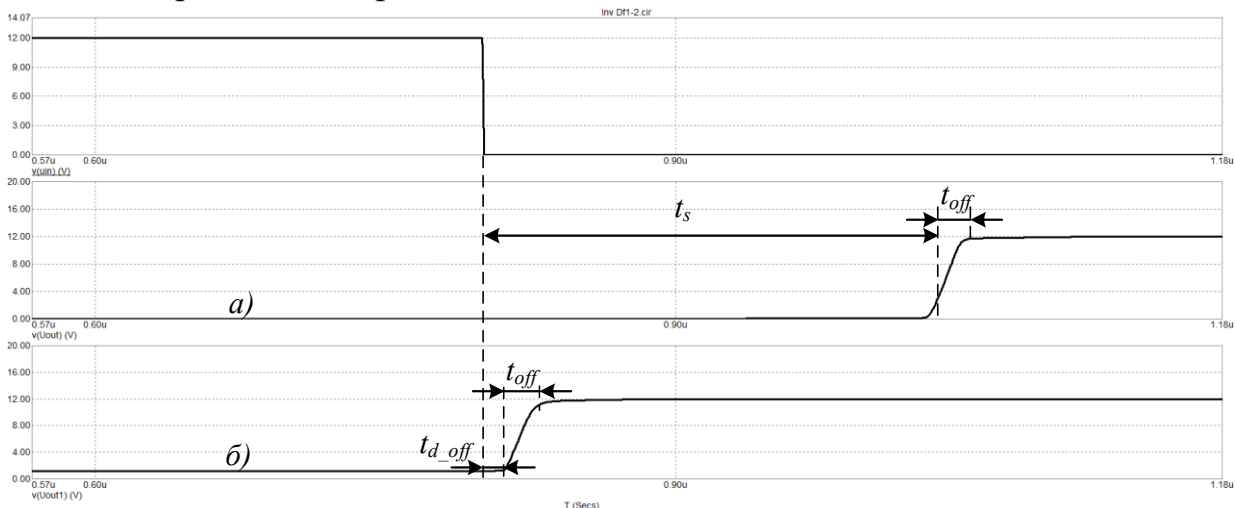


Рис. 1.5. Часова діаграма вихідної напруги інверторів при переключенні вхідного сигналу з високого до низького рівня

На діаграмі рис.1.5,а приведена часова діаграма вихідної напруги звичайного інвертора з позначенням часу розсмоктування t_s і часу вимикання t_{off} . На діаграмі рис.1.5,б приведена часова діаграма вихідної напруги інвертора з діодом фіксації з позначенням часу вимикання t_{off} . При цьому величина часу

вимикання для обох схем інвертора практично однакова. Крім того, на діаграмі рис.1.5,б позначений інтервал часу t_{d_off} , який є часом затримки вимикання транзистора та пов'язаний зі зменшенням струму колектору, поки діод фіксації ще відкритий. З часових діаграм видно, що за заданих параметрів інверторів в схемі інвертора з діодом фіксації відсутній час розсмоктування неосновних носіїв з області бази транзистора.

Таким чином, інвертор з діодом фіксації дозволяє пришвидшити роботу транзистора за рахунок відсутності процесу розсмоктування неосновних носіїв.

Однак, використання цього метода збільшення швидкодії має ряд недоліків:

1. В схемі інвертора використовується додаткове джерело живлення.

2. При надходженні на вхід напруги низького рівня напруга на колекторі не змінюється, поки струм колектору не буде дорівнювати I_{Rk} , тобто поки відкритий діод фіксації, що викликає затримку вимикання транзистора, яка може бути співмірною з часом розсмоктування [6].

3. Погіршується завадостійкість низького рівня за рахунок збільшення низького рівня вихідної напруги.

4. В діоді фіксації протікають достатньо великі струми, що збільшує споживану потужність інвертора. Так, для інвертора на рис.1.4 цей струм складає $60mA$, для порівняння в режимі насичення струм колектору інвертора на рис.1.2 складає приблизно $12mA$.

Контрольні завдання та запитання

1. Поясніть призначення схеми на рис.1.3.
2. Поясніть принцип роботи схеми інвертора на рис.1.3.
3. В якому стані перебуває діод фіксації при низькому рівні напруги на вході інвертора? Обґрунтуйте відповідь.
4. Що відбувається в інверторі при появі на вході напруги високого рівня?
5. Для чого необхідно забезпечити закритий стан діода колектору транзистора інвертора?
6. Які вимоги необхідно задовольнити до значення напруги джерела фіксації E_{ϕ} ?
7. Прокоментуйте результати моделювання інвертора з діодом фіксації, приведені на рис.1.4.
8. В якому стані перебуває транзистор в схемі на рис.1.4. Обґрунтуйте відповідь.
9. Що відбувається в інверторі при високому рівні сигналу на вході, коли напруга на колекторі досягне величини $E_{\phi} - U_{df}$?
10. В якому стані перебуває діод фіксації в схемі на рис.1.4. Обґрунтуйте відповідь.
11. Як визначити струм бази транзистора в схемі інвертора на рис.1.4?
12. Як визначити струм бази насичення транзистора в схемі інвертора на рис.1.4?
13. Прокоментуйте результати моделювання, приведені на рис.1.5.
14. Чим відрізняються результати моделювання на рис.1.5,а і рис.1.5,б?

15. Поясніть фізичний сенс параметра t_{d_off} .
16. Які недоліки притаманні інвертору з діодом фіксації?
17. Приведіть схему інвертора з діодом фіксації на основі $p-n-p$ транзистора.

1.3. Інвертор з фіксацією високого рівня вихідної напруги

Інвертор з фіксацією високого рівня вихідної напруги (ІФВР) є різновидом інвертора з діодом фіксації, але має інше призначення. Схема інвертора приведена на рис.1.6. Далі в межах цього підрозділу також будемо більш скорочено називати цю схему інвертором з діодом фіксації.

Як і в попередньому підрозділі в інверторі використовується додаткове коло E_ϕ, D_ϕ , яке також будемо називати колом фіксації, до складу якого входить додаткове джерело живлення E_ϕ та діод фіксації D_ϕ . Величина E_ϕ в 2-5 разів менше E_κ .

Нехай в початковому стані на вхід інвертора підключена напруга високого рівня.

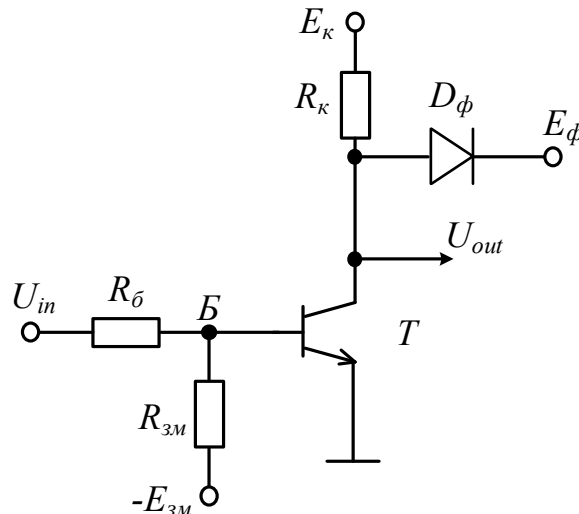


Рис. 1.6. Інвертор з фіксацією високого рівня вихідної напруги

В цьому випадку транзистор перебуває в режимі насичення, вихідна напруга практично дорівнює нулю ($U_{кен} = 0,1B$, детально розрахунки цього режиму приведені в [1]). В результаті діод фіксації закритий, а коло фіксації фактично не має впливу на роботу інвертора в цьому режимі.

При надходженні на вхід інвертора напруги низького рівня транзистор виходить з насичення (діод колектору закривається) і переходить в лінійний режим. При цьому струм бази зменшується. За відсутності кола фіксації напруга на колекторі поступово зростає і намагається досягти величини E_κ , але коли ця напруга досягне величини $E_\phi + U_{df}$, діод фіксації D_ϕ відкривається і напруга на колекторі фіксується на цьому рівні, тобто замість величини вихідної напруги E_κ відбувається обмеження вихідної напруги на рівні $E_\phi + U_{df}$. Фактично коло E_ϕ, D_ϕ в даному випадку є звичайним обмежувачем напруги.

Нагадаємо, що в інверторі без кола фіксації при низькому рівні напруги на вході, спостерігається зниження високого рівня вихідної напруги при

підключенні навантаження [1]. В інверторі з колом фіксації вихідна напруга високого рівня при підключенні навантаження не знижується у зв'язку з фіксацією цієї напруги на рівні $E_\phi + U_{df}$, але при цьому кожний елемент навантаження зменшує струм через діод фіксації. В результаті при перенавантаженні діод фіксації закривається. Таким чином, для визначення коефіцієнту розгалуження необхідно забезпечити виконання нерівності $I_{df} > 0$, де I_{df} – струм діода фіксації.

Визначимо значення струму діода фіксації I_{df} з врахуванням навантаження інвертора такими ж інверторами, кількість яких складає k_{load} . Для розрахунку замінимо інвертор з діодом фіксації схемою заміщення з боку колектору для режиму відсічки, а елементи навантаження – схемами заміщення з боку бази для насичення транзисторів інверторів навантаження. Схема заміщення для розрахунку величини струму діода фіксації D_ϕ приведена на рис.1.7.

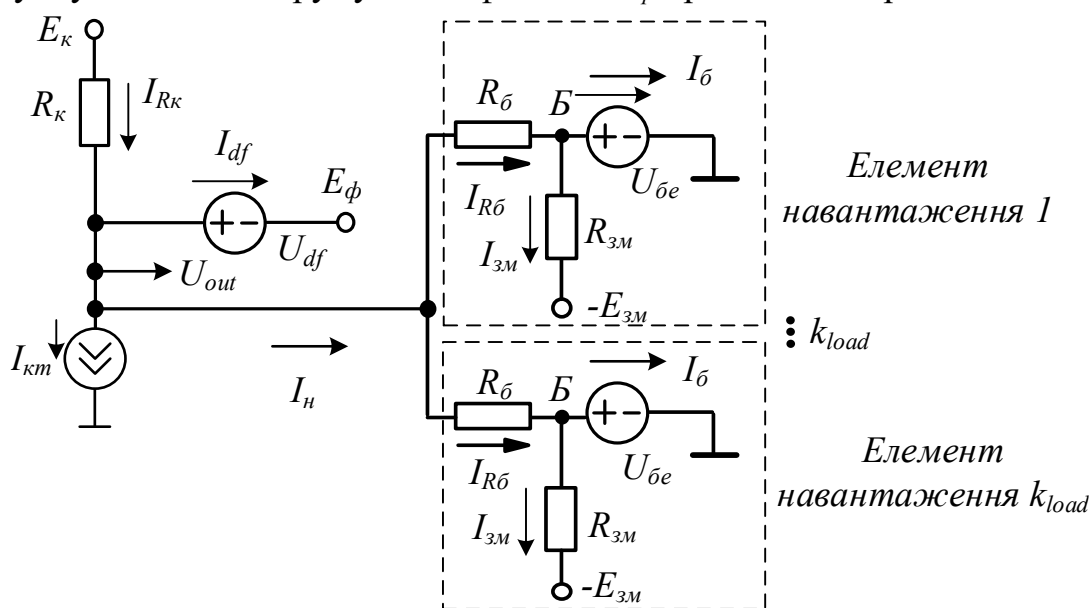


Рис. 1.7. Схема заміщення для визначення струму D_ϕ

Відповідно до першого закону Кірхгофа можна записати $I_{df} = I_{Rk} - I_n - I_{km}$, де I_n – струм навантаження; I_{km} – тепловий струм колектору, який далі будемо вважати нульовим. В свою чергу, знову ж відповідно до першого закону Кірхгофа $I_n = I_{Rb} \cdot k_{load}$. Враховуючи, що $U_{out} = E_\phi + U_{df}$, можна за законом Ома визначити величини струмів I_{Rk} і I_{Rb} :

$$I_{Rk} = \frac{E_k - U_{out}}{R_k} = \frac{E_k - (E_\phi + U_{df})}{R_k}; \quad I_{Rb} = \frac{U_{out} - U_{be}}{R_b} = \frac{(E_\phi + U_{df}) - U_{be}}{R_b}.$$

Таким чином,

$$I_{df} = \frac{E_k - (E_\phi + U_{df})}{R_k} - k_{load} \cdot \frac{(E_\phi + U_{df}) - U_{be}}{R_b}. \quad (1.1)$$

Далі визначимо кількість навантажень, при під'єднанні яких діод фіксації залишається відкритим:

$$I_{df} > 0; \quad I_{Rk} - I_{Rb} \cdot k_{load} > 0; \quad k_{load} < I_{Rk} / I_{Rb}. \quad (1.2)$$

Приклад 1.1. Визначити максимальну кількість інверторів навантаження, при під'єднанні яких діод фіксації залишається відкритим. Параметри схеми інвертора: $E_k = 12V$; $E_\phi = 3V$; $R_b = 1k$; $R_k = 1k$; $R_{3M} = 4,5k$; $E_{3M} = -12V$; $I_{кст} = 0$; $\beta = 200$; $U_{df} = U_{be} = 0,7V$.

Розв'язок. Відповідно до (1.1) визначимо струми I_{R_k} і I_{R_b} .

$$I_{R_k} = \frac{E_k - (E_\phi + U_{df})}{R_k} = \frac{12 - (3 + 0,7)}{1} = 8,3mA;$$

$$I_{R_b} = \frac{(E_\phi + U_{df}) - U_{be}}{R_b} = \frac{(3 + 0,7) - 0,7}{1} = 3mA.$$

Згідно з (1.2) отримаємо

$$k_{load} < I_{R_k} / I_{R_b}; \quad k_{load} < 8,3 / 3; \quad k_{load} < 2,77; \quad k_{load} = 2.$$

Таким чином, для забезпечення відкритого стану діода фіксації к інвертору можна під'єднувати не більше двох інверторів навантаження.

Виконаємо перевірку розрахунків за допомогою моделювання.

На рис.1.8 приведені результати моделювання інвертора з діодом фіксації без навантаження, з яких можна побачити, що транзистор перебуває в режимі відсічки, діод фіксації відкритий, а на виході зафіксована напруга високого рівня $3,72V$. Струм діода фіксації складає приблизно $8,28mA$. Цей же струм протікає і через R_k .

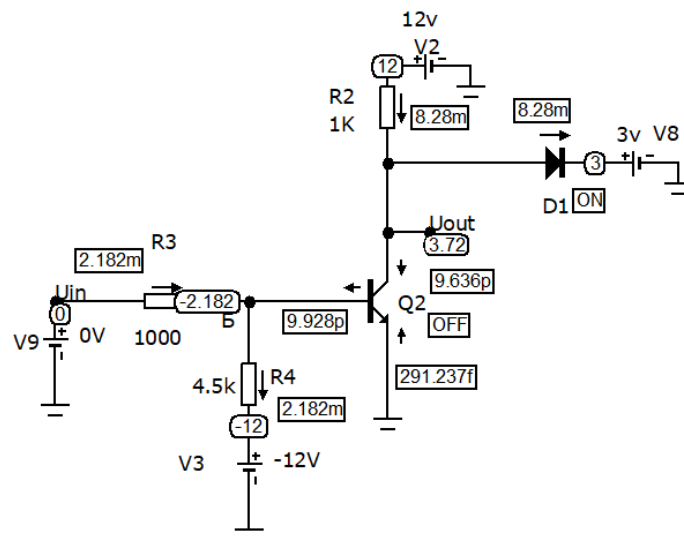


Рис. 1.8 Результати моделювання інвертора з D_ϕ без навантаження

На рис.1.9 приведені результати моделювання інвертора з діодом фіксації та одним підключеним інвертором навантаження ($k_{load} = 1$). З результатів моделювання можна побачити, що діод фіксації відкритий, напруга на виході U_{out} залишилися практично тією ж $3,7V$, що відповідає високому рівню.

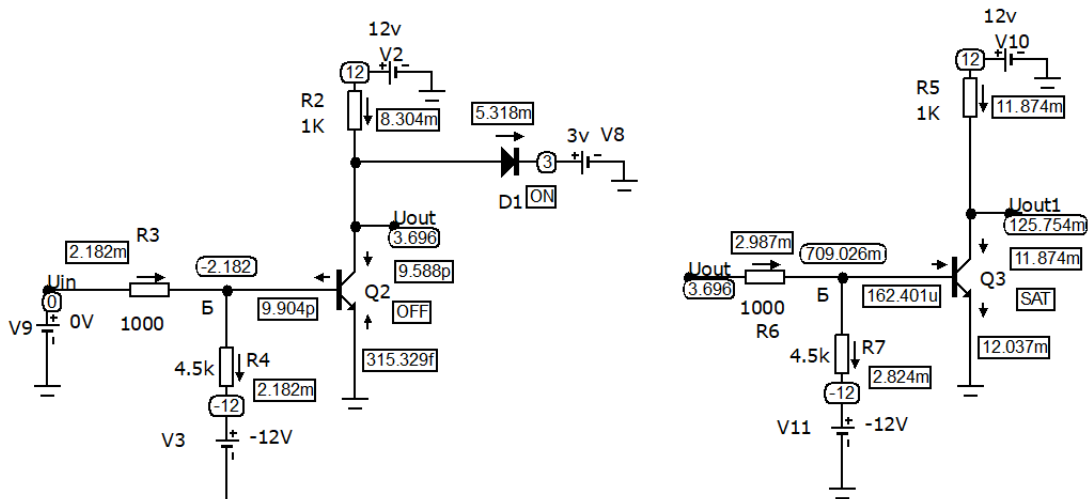


Рис. 1.9. Результати моделювання інвертора з навантаженням ($k_{load} = 1$)

Струм I_{Rk} також практично не змінився і складає $8,3mA$. Але при цьому струм через діод фіксації зменшився до величини $5,32mA$. Різниця струмів I_{Rk} і I_{df} (в даному випадку це і буде струм навантаження I_n) втікає в інвертор навантаження і складає приблизно $3mA$. Транзистор інвертора навантаження перебуває в режимі насичення.

На рис.1.10 приведені результати моделювання інвертора з діодом фіксації та двома підключеними інверторами навантаження ($k_{load} = 2$). З результатів моделювання можна побачити, що діод фіксації відкритий, напруга на виході U_{out} і струм I_{Rk} практично не змінилися і складають відповідно $3,66V$ і $8,35mA$.

Струм через діод фіксації ще більше зменшився до величини $2,45mA$. Різниця струмів I_{Rk} і I_{df} втікає в інвертори навантаження, розділяючись навпіл, в результаті чого струм I_{Rb} кожного інвертора навантаження складає приблизно ті ж самі $3mA$. Транзистори інверторів навантаження, як і в попередньому випадку, перебувають в режимі насичення.

На рис.1.11 приведені результати моделювання інвертора з діодом фіксації та трьома підключеними інверторами навантаження ($k_{load} = 3$). З результатів моделювання можна побачити, що в цьому випадку діод фіксації закривається, напруга на виході U_{out} знижується до $3,47V$, відповідно струм I_{Rk} трохи збільшується до $8,53mA$.

Струм I_{Rk} втікає в інвертори навантаження, розділяючись на три рівні частини, в результаті чого струм I_{Rb} кожного інвертора навантаження складає $2,8mA$. Цього струму не достатньо для забезпечення насичення транзисторів навантаження, в результаті чого ці транзистори переключаються в лінійний режим, тобто вихідна напруга елементів навантаження залежить від β цих транзисторів. З результатів моделювання видно, що транзистори навантаження переключаються в лінійний режим, а вихідна напруга інверторів навантаження складає $10,7V$, що відповідає високому рівню сигналу, тобто порушується логіка роботи заданої схеми.

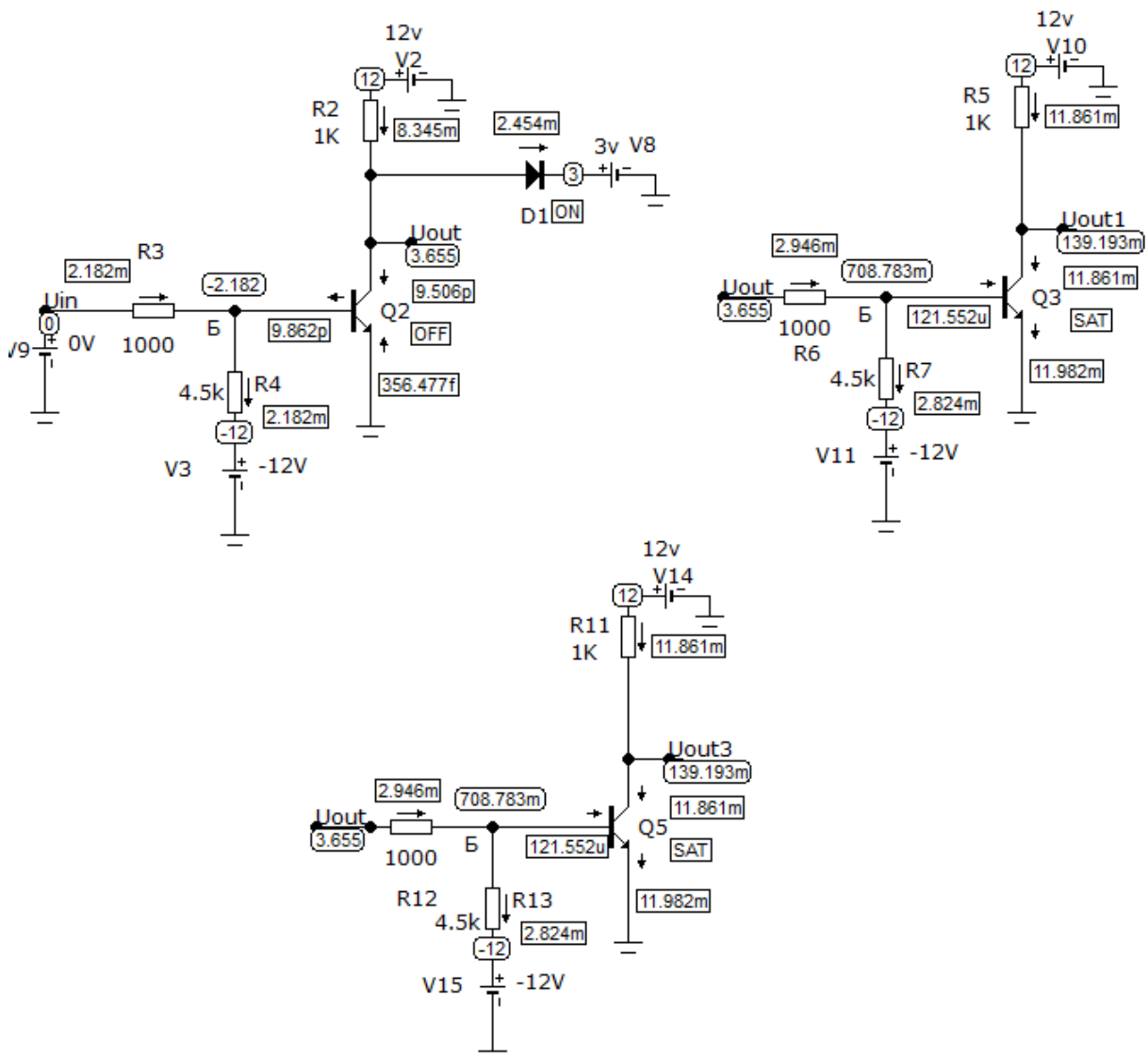


Рис. 1.10 Результати моделювання інвертора з навантаженням ($k_{load} = 2$)

В загальному випадку коефіцієнти підсилення по струму β транзисторів в інверторах навантаження можуть сильно відрізнитися один від одного, що може викликати різну реакцію транзисторів навантаження на вхідний сигнал.

Таким чином, результати моделювання підтверджують аналітичні розрахунки, приведені вище відповідно до виразів (1.1) і (1.2).

На цьому розв'язок завдання прикладу 1.1 завершено.

Фіксація високого рівня вихідної напруги дозволяє зменшити час переключення інвертора з низького рівня до високого. В напівпровідникових пристроях окрім внутрішніх ємностей діодів і транзисторів, існують так звані монтажні ємності, які утворюються при з'єднанні двох або більше складових інтегральної схеми (провідники, ділянки напівпровідників тощо). Ці ємності погіршують швидкодію цифрових пристроїв у зв'язку з необхідністю витратити час на їх перезаряд. Вплив таких ємностей (далі будемо їх називати ємностями навантаження C_n) на функціонування діодних елементів детально розглянуто в [1]. Будемо вважати, що в інверторі існує ємність навантаження, яка підключена між колектором транзистора і загальним виводом схеми («землею»).

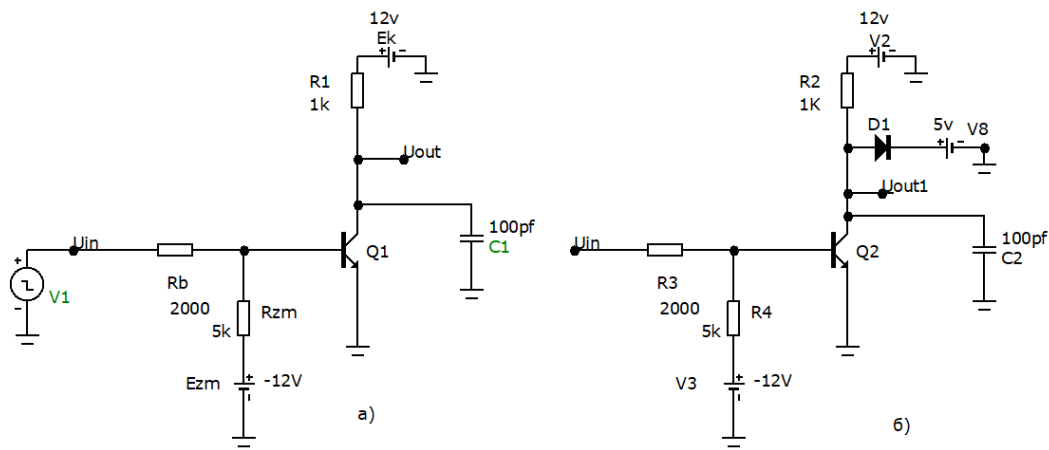


Рис. 1.12. Схема для моделювання інверторів з C_H

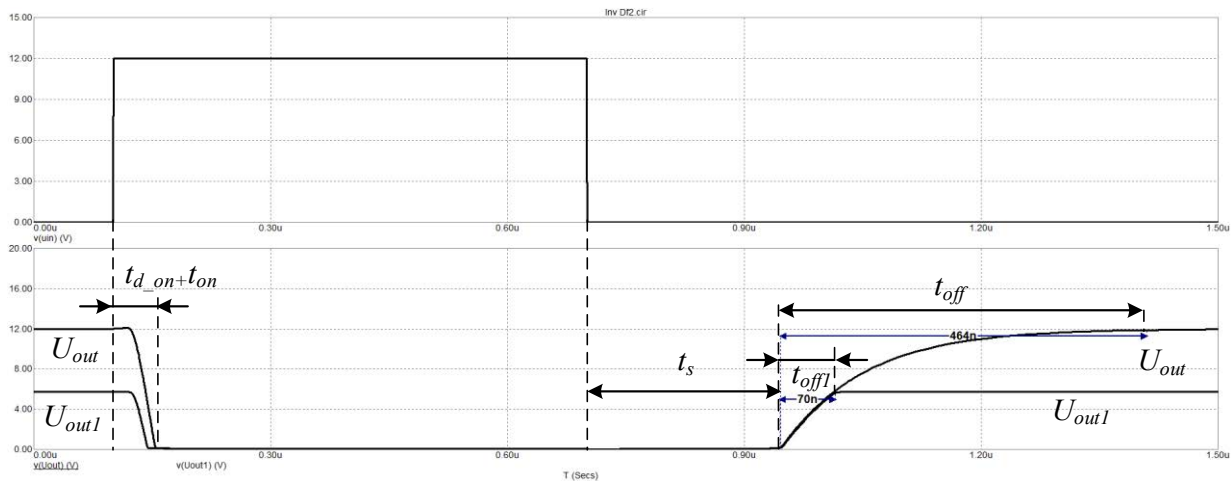


Рис. 1.13. Результати моделювання інверторів з C_H

На рис.1.13 показані часові діаграми вихідної напруги інверторів: U_{out} – для інвертора, схема якого приведена на рис.1.12,а, а U_{out1} – для інвертора, схема якого приведена на рис.1.12,б. З результатів моделювання можна побачити, що час вмикання і розсмоктування в транзисторах обох схем однакові, а час вимикання у звичайному інверторі складає $464нс$, а для інвертора з діодом фіксації – $70нс$.

Таким чином, в інверторі з фіксацією високого рівня напруги, по-перше, при підключенні навантаження не змінюється рівень вихідної напруги, а, по-друге, зменшується час вимикання, пов'язаний з перезарядом ємності навантаження. Недоліком схеми є використання додаткового джерела живлення E_ϕ та зменшення величини завадостійкості високого рівня.

Контрольні завдання та запитання

1. Поясніть призначення схеми на рис.1.6.
2. Поясніть принцип роботи схеми інвертора на рис.1.6.
3. В якому стані перебуває діод фіксації при низькому рівні напруги на вході інвертора? Обґрунтуйте відповідь.

4. В якому стані перебуває діод фіксації при високому рівні напруги на вході інвертора? Обґрунтуйте відповідь.
5. Що відбувається в інверторі при появі на вході напруги низького рівня?
6. Які елементи входять до складу кола фіксації?
7. Яким співвідношенням пов'язані величини напруг джерел живлення E_k і E_ϕ ?
8. В якому стані перебуває діод фіксації при низькому рівні напруги на виході інвертора? Обґрунтуйте відповідь.
9. В якому стані перебуває діод фіксації при високому рівні напруги на виході інвертора? Обґрунтуйте відповідь.
10. На якому рівні напруги фіксується величина високого рівня на виході інвертора з діодом фіксації?
11. Як визначити величину високого рівня на виході інвертора з діодом фіксації?
12. За яким законом визначається величина високого рівня на виході інвертора з діодом фіксації?
13. Яким чином впливає діод фіксації на вихідну напругу інвертора при низькому рівні на виході?
14. За якої умови відкривається діод фіксації в інверторі?
15. На якому рівні відбувається обмеження вихідної напруги в інверторі з діодом фіксації?
16. Що відбувається в інверторі (рис.1.12,а) при підключенні навантаження за умови, що на виході інвертора високий рівень напруги?
17. Що відбувається в інверторі (рис.1.12,а) при підключенні навантаження за умови, що транзистор інвертора перебуває в режимі відсічки?
18. Що відбувається в інверторі (рис.1.12,б) при підключенні навантаження за умови, що на виході інвертора високий рівень напруги?
19. Що відбувається при перенавантаженні інвертора з діодом фіксації?
20. Яким чином навантаження інвертора впливає на величину струму діода фіксації? Обґрунтуйте відповідь.
21. При виконанні якої умови необхідно визначати величину коефіцієнта розгалуження інвертора з діодом фіксації?
22. Поясніть фізичний сенс терміну «коефіцієнт розгалуження».
23. Для якого режиму транзистора інвертора-джерела необхідно розраховувати коефіцієнт розгалуження?
24. Прокоментуйте схему заміщення на рис.1.7.
25. Якою схемою заміщення необхідно замінювати інвертор-джерело для розрахунку коефіцієнта розгалуження?
26. Якою схемою заміщення необхідно замінювати інвертор навантаження для розрахунку коефіцієнта розгалуження?
27. На основі якого закону визначається струм діода фіксації при підключеному навантаженні?
28. На основі якого закону отриманий вираз $I_n = I_{R\phi} \cdot k_{load}$?
29. Якому закону відповідає вираз $U_{out} = E_\phi + U_{df}$?

30. На основі якого закону визначається струм через R_k ?
31. На основі якого закону визначається струм через R_b ?
32. Яким чином отриманий вираз (1.1)?
33. Яким чином отриманий вираз (1.2)?
34. Визначити максимальну кількість інверторів навантаження, при під'єднанні яких діод фіксації залишається відкритим. Параметри схеми інвертора: $E_k = 12B$; $E_\phi = 5B$; $R_b = 1k$; $R_k = 1k$; $R_{zm} = 5k$; $E_{zm} = -5B$; $I_{km} = 0$; $\beta = 100$; $U_{df} = U_{be} = 0,7B$.
35. Визначити вихідну напругу високого рівня інвертора при $k_{load} = 3$. Параметри схеми інвертора: $E_k = 12B$; $E_\phi = 5B$; $R_b = 1k$; $R_k = 1k$; $R_{zm} = 5k$; $E_{zm} = -5B$; $I_{km} = 0$; $\beta = 100$; $U_{df} = U_{be} = 0,7B$.
36. Прокоментуйте результати моделювання інвертора з діодом фіксації, приведені на рис.1.8.
37. Визначте струм через R_k за результатами моделювання на рис.1.8.
38. Визначте струм діода фіксації за результатами моделювання на рис.1.8.
39. В якому стані перебуває діод фіксації в схемі на рис.1.8?
40. Прокоментуйте результати моделювання інвертора з діодом фіксації, приведені на рис.1.9.
41. Визначте струм через R_k за результатами моделювання на рис.1.9.
42. Визначте струм діода фіксації за результатами моделювання на рис.1.9.
43. Визначте струм навантаження за результатами моделювання на рис.1.9.
44. Визначте струм через R_b в інверторі навантаження за результатами моделювання на рис.1.9.
45. В якому стані перебуває діод фіксації в схемі на рис.1.9?
46. В якому режимі працює транзистор навантаження в схемі на рис.1.9?
47. Напруга якого рівня формується на виходах інверторів навантаження на рис.1.9?
48. Прокоментуйте результати моделювання інвертора з діодом фіксації, приведені на рис.1.10.
49. Визначте струм через R_k за результатами моделювання на рис.1.10.
50. Визначте струм діода фіксації за результатами моделювання на рис.1.10.
51. Визначте струм навантаження за результатами моделювання на рис.1.10.
52. Визначте струм через R_b в інверторах навантаження за результатами моделювання на рис.1.10.
53. В якому режимі працюють транзистори навантаження в схемі на рис.1.10?
54. В якому стані перебуває діод фіксації в схемі на рис.1.10?
55. Напруга якого рівня формується на виходах інверторів навантаження на рис.1.10?
56. Прокоментуйте результати моделювання інвертора з діодом фіксації, приведені на рис.1.11.
57. Визначте струм через R_k за результатами моделювання на рис.1.11.
58. Визначте струм навантаження за результатами моделювання на рис.1.11.

59. Визначте струм через R_b в інверторах навантаження за результатами моделювання на рис.1.11.
60. В якому режимі працюють транзистори навантаження в схемі на рис.1.11?
61. В якому стані перебуває діод фіксації в схемі на рис.1.11?
62. Напруга якого рівня формується на виходах інверторів навантаження на рис.1.11?
63. Яким чином коефіцієнт підсилення по струму β впливає на стан транзисторів навантаження?
64. Яким чином фіксація високого рівня вихідної напруги дозволяє зменшити час переключення інвертора з низького рівня до високого?
65. Як впливає ємність навантаження на функціонування інвертора в статичному режимі? Обґрунтуйте відповідь.
66. Як впливає ємність навантаження на функціонування інвертора в динамічному режимі? Обґрунтуйте відповідь.
67. Як коло фіксації впливає на переключення інвертора з низького рівня до високого?
68. Прокоментуйте схеми для моделювання на рис.1.12.
69. Прокоментуйте результати моделювання інверторів на рис.1.13.
70. Поясніть відмінність у значеннях t_{off} і t_{off1} на рис.1.13.
71. В чому полягають переваги інвертора з фіксацією високого рівня вихідної напруги?
72. В чому полягають недоліки інвертора з фіксацією високого рівня вихідної напруги?
73. Чому в інверторі з фіксацією високого рівня вихідної напруги зменшується завадостійкість високого рівня?
74. Приведіть схему інвертора з фіксацією високого рівня вихідної напруги на основі $p-n-p$ транзистора.

1.4. Інвертор з форсувальною ємністю

Інвертор з форсувальною ємністю також призначений для формування оптимальної форми струму бази транзистора. Схема інвертора приведена на рис.1.14. Схема приведенного інвертора відрізняється від попередніх інверторів тим, що $E_{zm} = 0$, тобто в інверторі залишилося тільки одне джерело живлення E_k . Для того, щоб забезпечити завадостійкість низького рівня величиною кілька вольт, необхідно сильно знижувати величину R_{zm} .

Розглянемо принцип функціонування цієї схеми.

Нехай в початковому стані на вхід інвертора підключена напруга низького рівня. Нагадаємо, що ця напруга надходить з колектору насиченого транзистора, тобто її величини близька до нуля ($U_{кен} = 0, 1B$). В цьому випадку транзистор перебуває в режимі відсічки, а на виході інвертора сформований високий рівень напруги. У зв'язку з тим, що $E_{zm} = 0$, то ємність C_f практично розряджена.

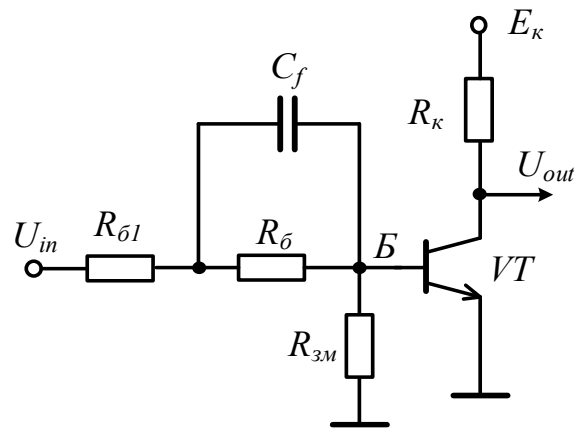


Рис. 1.14. Інвертор з форсувальною ємністю

Коли вхідна напруга інвертора переключається у високий рівень, то у вхідному колі (опір $R_{\delta 1}$) з'являється струм, який починає вмикати транзистор. При цьому в момент комутації напруга на C_f практично дорівнює нулю, тобто являє собою провідник, який шунтує резистор R_{δ} . Це означає, що весь струм $I_{R_{\delta 1}}$ протікає через ємність C_f . Таким чином, значення всього вхідного струму формується тільки за рахунок резистора $R_{\delta 1}$, який далі поступає у вузол B , після чого частина цього струму попадає в базу транзистора. В результаті формується вмикальний струм бази транзистора $I_{b_{on}}$, який визначає час вмикання транзистора. Звичайно, що чим менше $R_{\delta 1}$, тим швидше вмикається транзистор. Нижня межа опору $R_{\delta 1}$ визначається допустимим струмом бази. Зверніть увагу, що все описане вище відноситься тільки для моменту комутації вхідної напруги.

По мірі розвитку перехідного процесу опір ємності C_f збільшується, тобто струм через C_f зменшується. Після завершення заряду форсувальної ємності, її струм буде дорівнювати нулю. Це означає, що струм вхідного кола визначається послідовним з'єднанням резисторів $R_{\delta 1}$ і R_{δ} . Звичайно, що величина цього струму буде менше вмикального струму на початку перехідного процесу. Для того, щоб час розсмоктування був нульовим, необхідно, щоб величина струми $I_{R_{\delta 1}} = I_{R_{\delta}}$ формували струм бази насичення I_{b_n} в транзисторі. У зв'язку з тим, що величина I_{b_n} сильно залежить від β , то в загальному випадку цю умову для різних інверторів виконати достатньо складно. Величина C_f повинна бути такою, щоб перехідний процес закінчився до наближення транзистора до межі насичення, тобто тривалість перехідного процесу повинна бути менше $t_{d_{on}} + t_{on}$.

Таким чином, при перемиканні вхідної напруги з низького до високого рівня струм бази спочатку визначається тільки опором $R_{\delta 1}$, а потім поступово знижується до значення, що визначається $R_{\delta 1} + R_{\delta}$, тобто форма струму бази нагадує оптимальну форму.

Далі розглянемо протилежне переключення вхідного сигналу з високого рівня до низького. В початковому стані на вході високий рівень напруги, тобто транзистор інвертора перебуває в стані насичення або в лінійному режимі неподалік від межі насичення.

Коли вхідна напруга інвертора переключається в низький рівень, то у вхідному колі (опір $R_{\delta 1}$) з'являється струм, який починає вимикати транзистор.

В момент комутації конденсатор C_f заряджений, тобто відповідно до закону комутації для ємностей, являє собою джерело напруги, значення якої визначається напругою на конденсаторі до комутації. Це джерело напруги також шунтує резистор R_b . Це означає, що струм $I_{R_{b1}}$ формується вимикальним струмом бази I_{boff} , що витікає з бази транзистора, а значення цього струму залежить від опорів R_{b1} і $R_{зм}$. В результаті формується вимикальний струм бази транзистора, який визначає час вимикання транзистора. В цьому режимі також зменшення R_{b1} викликає більш швидке вимикання транзистора. Нижня межа опору R_{b1} визначається допустимим струмом бази і допустимим вихідним струмом джерела вхідного сигналу інвертора. Знову ж зверніть увагу, що все описане вище відноситься тільки для моменту комутації вхідної напруги.

Як і в попередньому випадку, по мірі розвитку перехідного процесу опір ємності C_f збільшується, тобто струм через C_f зменшується, а сама ємність розряджається. Після завершення розряду форсувальної ємності, її струм буде дорівнювати нулю. Це означає, що струм вхідного кола в усталеному режимі визначається сумою опорів R_{b1} і R_b , тобто величина цього струму буде менше вимикального струму на початку перехідного процесу. Наявність часу розсмоктування залежить від стану транзистора до початку цього перехідного процесу, але в будь-якому випадку значення вимикального струму повинно бути як можна більше. Величина C_f повинна бути такою, щоб перехідний процес закінчився до наближення транзистора до межі відсічки. Зверніть також увагу, що під час вимикання транзистор перебуває в лінійному режимі (або спочатку в насиченні, а потім в лінійному режимі), тобто діод емітера транзистора відкритий, що необхідно враховувати для розрахунку вимикального струму.

Таким чином, при перемиканні вхідної напруги з високого до низького рівня струм бази спочатку визначається в основному тільки опором R_{b1} , а потім поступово знижується до значення, що визначається $R_{b1} + R_b$, тобто форма струму бази нагадує оптимальну форму.

Відповідно до розглянутого вище опису принципу функціонування інвертора з форсувальною ємністю, на рис.1.15 приведена часова діаграма струму бази.

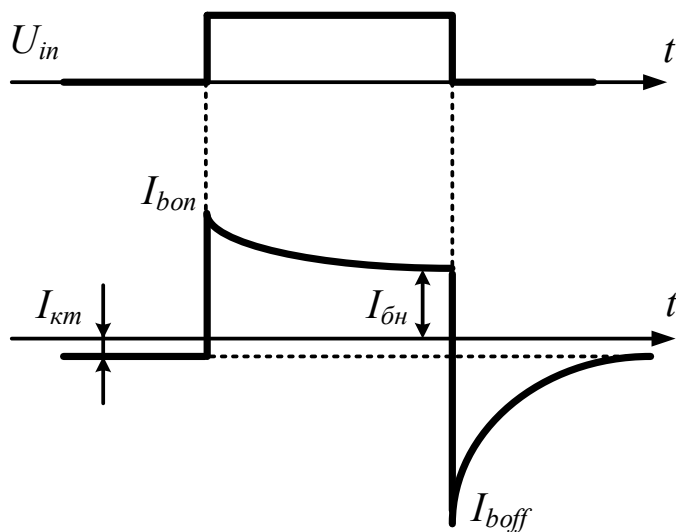


Рис. 1.15. Часові діаграми струму бази інвертора з C_f

На практиці, як правило вхідні сигнали надходять з таких же елементів, що дає можливість використовувати вихідні опори джерел сигналів замість резистору $R_{\delta 1}$.

Будемо вважати, що джерелом вхідного сигналу є такий же інвертор. Далі виконаємо розрахунок інвертора, метою якого буде визначення струму бази транзистора.

Розрахунок струму бази I_{δ} інвертора будемо проводити в такій послідовності:

1. Визначення I_{δ} в початковому стані, тобто до моменту комутації.
2. Визначення I_{δ} в момент комутації.
3. Визначення I_{δ} в усталеному режимі.

Схема для розрахунків приведена на рис.1.16.

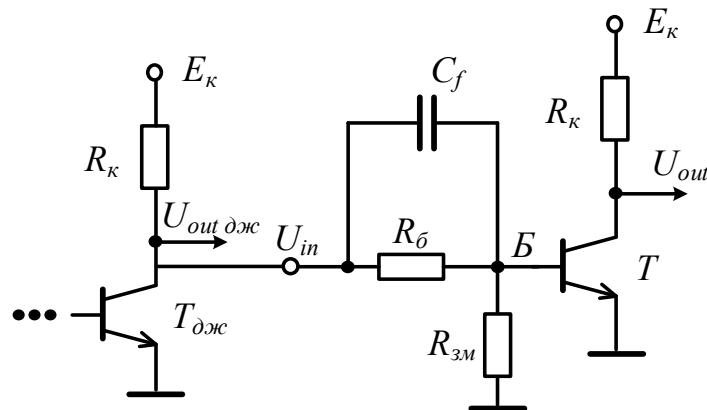


Рис. 1.16. Схема для визначення властивостей інвертора з C_f

В приведеній схемі показане колекторне коло інвертора на базі транзистора $T_{\delta j}$, який є джерелом сигналу для схеми інвертора з C_f на базі транзистора T .

Для спрощення розрахунків не будемо враховувати динамічні параметри транзистора-джерела, тобто будемо вважати, що транзистор $T_{\delta j}$ переключається миттєво.

1.4.1. Переключення вхідного сигналу з низького до високого рівня

Спочатку виконаємо розрахунок струму бази в інверторі, що досліджується (далі – інвертор), за умови переключення вхідного сигналу з низького рівня напруги до високого, тобто транзистор $T_{\delta j}$ переключається з режиму насичення в режим відсічки.

Відповідно до першого кроку розрахунків на вході інвертора низький рівень $U_{in} = U_{out \delta j} = U_{кен} = 0,1B$, де $U_{кен}$ – напруга між колектором і емітером в режимі насичення [1]; $U_{out \delta j}$ – вихідна напруга інвертора-джерела. Таким чином, напруга на базі транзистора T практично нульова, тобто цей транзистор перебуває в режимі відсічки, вихідна напруга цього транзистора приблизно дорівнює $E_к$, а струм бази являє собою тепловий струм колектору $I_{кт}$ [1]. При цьому ємність C_f розряджена, тобто $U_{Cf0} = 0B$, де U_{Cf0} – напруга на ємності C_f до комутації.

Далі транзистор-джерело $T_{дж}$ переключається (тобто відбувається момент комутації) в режим відсічки (крок 2), на його колекторі з'являється високий рівень напруги, в результаті якого транзистор T починає відкриватися (відкривається діод емітера цього транзистора). Нагадаємо, що відповідно до закону комутації для ємностей, в момент комутації напруга на ємності U_{Cf0} не змінюється, тобто $U_{Cf0} = U_{Cf0-} = 0V$. В результаті для розрахунку струму бази будемо використовувати схему заміщення, приведену на рис.1.17. На схемі заміщення транзистор-джерело повинен представлятися джерелом струму $I_{кт}$ [1], але вважаємо, що $I_{кт} = 0$, тобто транзистор-джерело відключений і на схемі заміщення не показаний. Конденсатор C_f в момент комутації розряджений ($U_{Cf0} = 0V$), тому на схемі заміщення представлений провідником. Перехід база-емітер транзистора T повинен бути відкритим, тому з боку бази цей транзистор представляється у вигляді джерела напруги $U_{\delta e}$. Зверніть також увагу, що резистор R_k транзистора-джерела виконує роль резистора $R_{\delta 1}$ в інверторі, схема якого приведена на рис.1.14.

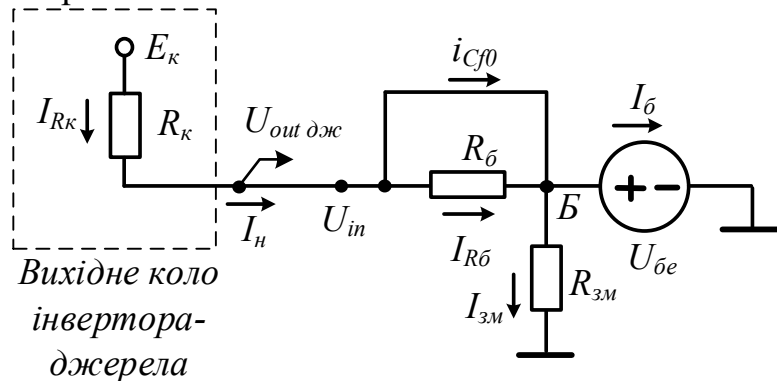


Рис. 1.17. Схема заміщення для визначення струму бази в момент комутації при високому рівні вхідної напруги

В зв'язку з тим, що провідник, який замінює C_f , шунтує R_{δ} , то струм $I_{R_{\delta}} = 0$, тобто резистор R_{δ} в момент комутації можна прибрати зі схеми.

Для того, щоб визначити струм бази транзистора T , спочатку перевіримо стан діода емітера. Відключимо транзистор від вузла B та визначимо напругу холостого ходу у вузлі B U_B^{xx} за допомогою закону Ома:

$$U_B^{xx} = \frac{E_k}{R_k + R_{3m}} \cdot R_{3m}. \quad (1.3)$$

Якщо виконується умова $U_B^{xx} \geq 0,7V$, то діод емітера транзистора T відкритий, тобто цей транзистор в загальному випадку перебуває в лінійному режимі або в режимі насичення. При відкритому діоді емітера напруга у вузлі B визначається за виразом $U_B = U_{\delta e} = 0,7V$.

В результаті вхідний струм інвертора в момент комутації визначається за законом Ома

$$I_{Rk} = \frac{E_k - U_B}{R_k}. \quad (1.4)$$

Далі за першим законом Кірхгофа можна визначити струм бази в момент комутації I_{bon} .

$$I_{\bar{o}} = I_{R_k} - I_{z_m}, \text{ де } I_{z_m} = \frac{U_B}{R_{z_m}}. \quad (1.5)$$

Таким чином, розрахунок струму бази в момент комутації при переключенні вхідного сигналу з низького рівня до високого закінчено.

Далі виконаємо розрахунок усталеного режиму (крок 3). Після завершення перехідного процесу, протягом якого відбувається заряд форсувальної ємності, струм через C_f зменшується до нуля, тобто ємність не впливає на роботу інвертора в усталеному режимі. Схема заміщення для обчислення струму бази в усталеному режимі приведена на рис.1.18.

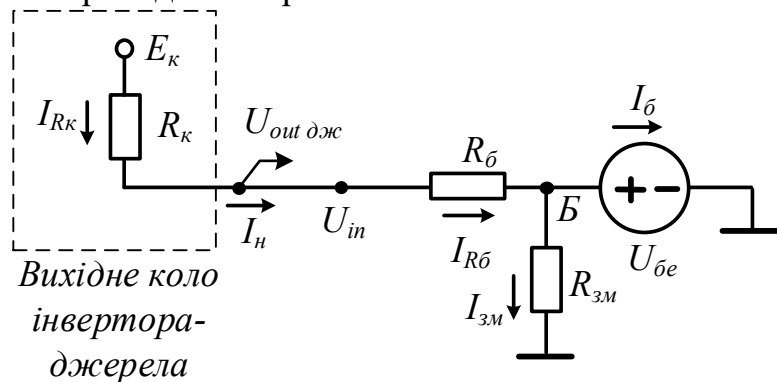


Рис. 1.18. Схема заміщення для визначення струму бази в усталеному режимі при високому рівні вхідної напруги

На відміну від попереднього режиму вхідний струм інвертора визначається за виразом

$$I_{R_k} = I_{R_{\bar{o}}} = \frac{E_k - U_B}{R_k + R_{\bar{o}}}. \quad (1.6)$$

Струм бази в усталеному режимі $I_{\bar{o}уст}$ визначається відповідно до виразу (1.5).

Порівнюючи вирази струмів бази в момент комутації (1.4) і в усталеному режимі (1.6) легко помітити, що $I_{\bar{o}уст} < I_{bon}$.

Приклад 1.2. Визначити струми бази I_{bon} і $I_{\bar{o}уст}$ в інверторі з форсувальною ємністю при зміні вхідної напруги з низького до високого рівня. Вважати, що вхідний сигнал надходить з такого ж інвертора. Параметри схеми інвертора: $E_k = 12V$; $R_{\bar{o}} = 2k$; $R_k = 1k$; $R_{z_m} = 0,5k$; $E_{z_m} = 0V$; $I_{кт} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $C_f = 100nF$.

Розв'язок. Визначення струмів бази будемо виконувати покроково відповідно до послідовності розрахунків, описаних вище.

1. На вході інвертора низький рівень напруги, який надходить з виходу інвертора-джерела, $U_{in} = U_{out \text{ дж}} = U_{кен} \approx 0V$. Як було відзначено вище $U_B = 0V$ транзистор T перебуває в режимі відсічки, вихідна напруга цього транзистора приблизно дорівнює E_k , а струм бази являє собою тепловий струм колектору $I_{кт}$. Ємність C_f розряджена, тобто $U_{Cf} = 0V$.

Результати моделювання інвертора в цьому режимі приведені на рис.1.19 та підтверджують вищезазначене.

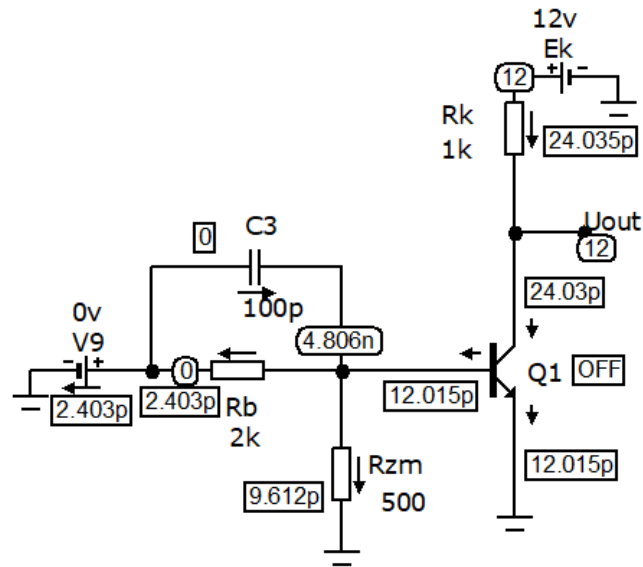


Рис. 1.19. Результати моделювання інвертора з C_f при низькому рівні вхідної напруги

2. На вході інвертора низький рівень напруги переключається до високого рівня, тобто розглядається момент комутації.

Спочатку визначимо напругу холостого ходу у вузлі B U_B^{xx} відповідно до виразу (1.3).

$$U_B^{xx} = \frac{E_k}{R_k + R_{zm}} \cdot R_{zm} = \frac{12}{1 + 0,5} \cdot 0,5 = 4V.$$

Напруга $U_B^{xx} > 0,75V$, тобто діод емітера транзистора відкритий і транзистор починає вмикатися.

Далі відповідно до виразів (1.4) і (1.5) визначимо I_{bon} .

$$I_{Rk} = \frac{E_k - U_B}{R_k} = \frac{12 - 0,75}{1} = 11,25mA; I_{zm} = \frac{U_B}{R_{zm}} = \frac{0,75}{0,5} = 1,5mA;$$

$$I_{bon} = I_{Rk} - I_{zm} = 11,25 - 1,5 = 9,75mA.$$

Результати моделювання інвертора в момент комутації приведені на рис.1.20 та підтверджують результати розрахунків.

3. Перехідні процеси в інверторі закінчилися, схема перебуває в усталеному режимі. Струм бази визначаємо відповідно до виразів (1.6) і (1.5).

$$I_{Rk} = \frac{E_k - U_B}{R_k + R_{\sigma}} = \frac{12 - 0,75}{1 + 2} = 3,75mA; I_{zm} = \frac{U_B}{R_{zm}} = \frac{0,75}{0,5} = 1,5mA;$$

$$I_{\sigma ycm} = I_{Rk} - I_{zm} = 3,75 - 1,5 = 2,25mA.$$

Результати моделювання інвертора в усталеному режимі приведені на рис.1.21 та підтверджують результати розрахунків (невелика розбіжність пояснюється тим, що в розрахунках використовувалася значення $U_{\sigma e} = 0,75V$, а при моделюванні $0,72V$).

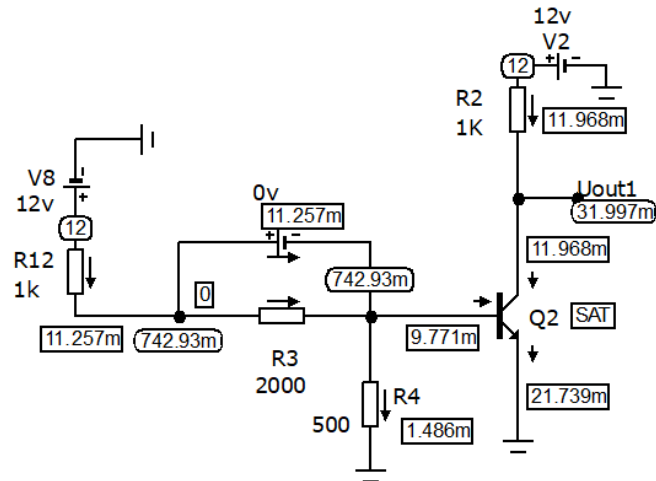


Рис. 1.20. Результати моделювання інвертора з C_f в момент надходження високого рівня вхідної напруги

Таким чином, в результаті розрахунків визначено, що в момент комутації струм бази складає $9,75mA$, а по мірі розвитку перехідного процесу поступово знижується до $2,25mA$, що відповідає оптимальній формі струму бази.

Реалізація оптимальної форми струму бази передбачає те, щоб в усталеному режимі протікав струм I_{bn} , але в заданому в прикладі 1.2 інвертор працює в режимі насичення. На рис.1.2 вже пояснювалася, що виконання вимоги $I_b = I_{bn}$ для одного інвертора не означає, що ця вимога буде реалізована для іншого інвертора в зв'язку з різними коефіцієнтами підсилення по струму.

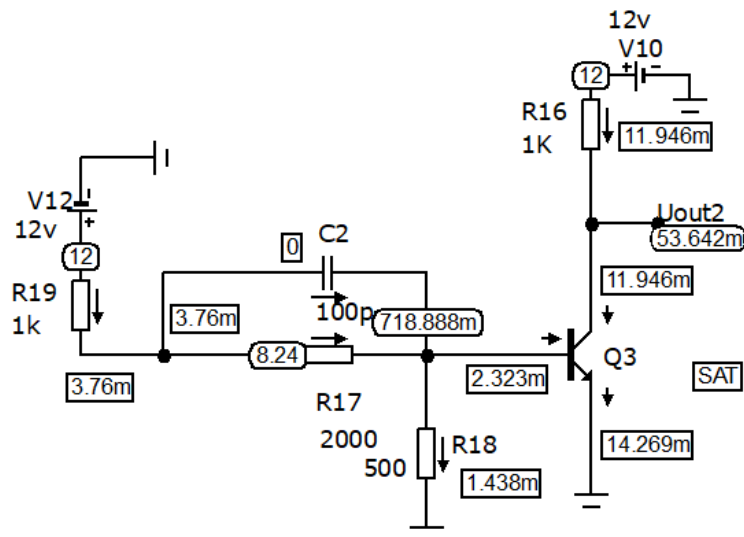


Рис. 1.21. Результати моделювання інвертора з C_f в усталеному режимі при високому рівні вхідної напруги

Далі проведемо моделювання перехідних процесів (рис.1.22), що відбуваються в інверторі. Моделювання будемо проводити для звичайного інвертора (рис.1.22,а) без C_f та для інвертора з C_f (рис.1.22,б). В якості вхідного сигналу використовується генератор прямокутних імпульсів **Pulse Source**, який підключається до входів інверторів через резистор **Rk_source** для інвертора без C_f та **Rk_source1** для інвертора з C_f , тобто схеми формування вхідних сигналів

однакові, але використовуються роздільно для кожного інвертора для зменшення навантаження на джерело вхідного сигналу. Таке формування вхідних сигналів імітує переключення інвертора-джерела сигналу з низького рівня до високого.

Результати моделювання вхідної і вихідної напруг для інвертора без C_f (U_{in} , U_{out}) та для інвертора з C_f (U_{inCf} , U_{outCf}) приведені на рис.1.23.

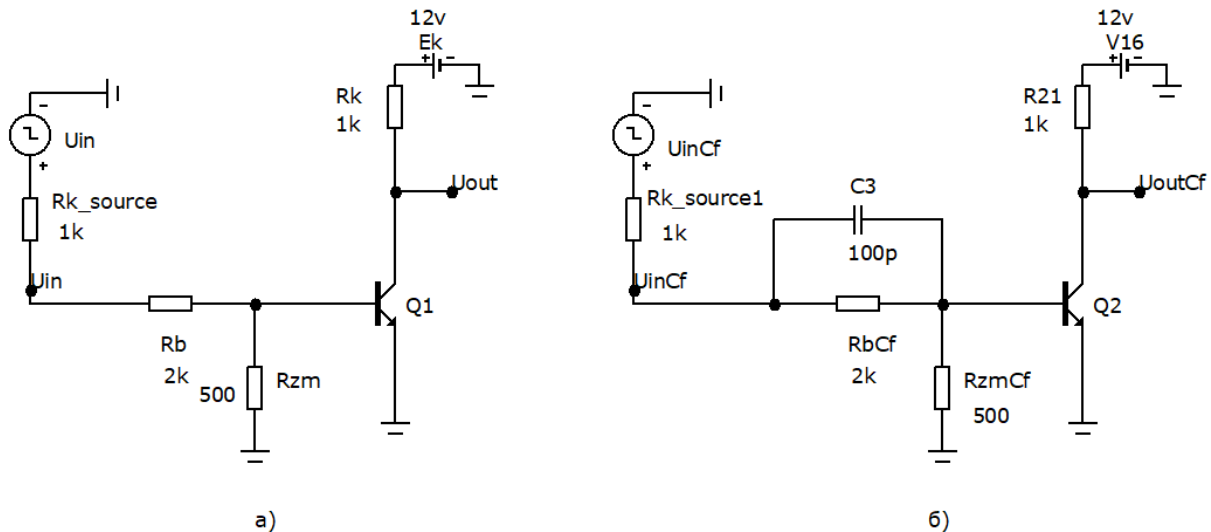


Рис. 1.22. Схема для моделювання перехідних процесів при переключенні вхідного сигналу з низького рівня напруги до високого

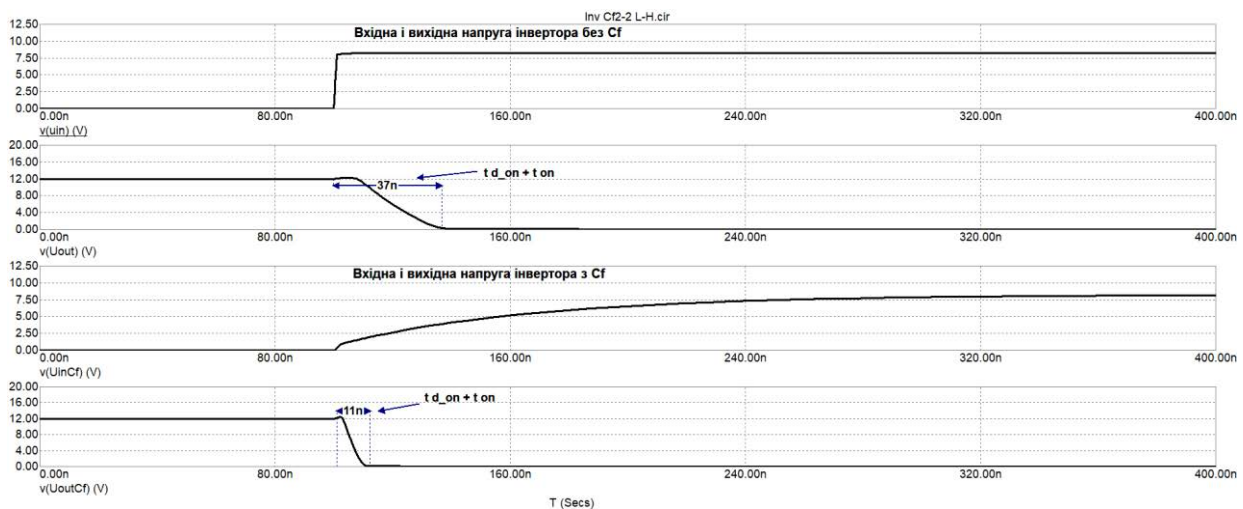


Рис. 1.23. Результати моделювання перехідних процесів при переключенні вхідного сигналу з низького рівня напруги до високого

На рис.1.23 можна побачити, що час вмикання та затримки вмикання транзистора ($t_{d_on} + t_{on}$) в інверторі без C_f складає $37нс$, а для інвертора з C_f – $11нс$, тобто наявність C_f забезпечує пришвидшення вмикання транзистора. На часовій діаграмі наростання напруги на вході інвертора з C_f (U_{inCf}) відбувається поступово у зв'язку з наявністю форсувальної ємності згідно із законом комутації.

На рис.1.24 приведені результати моделювання струмів бази для обох інверторів при зміні рівня вхідної напруги з низького до високого рівня.

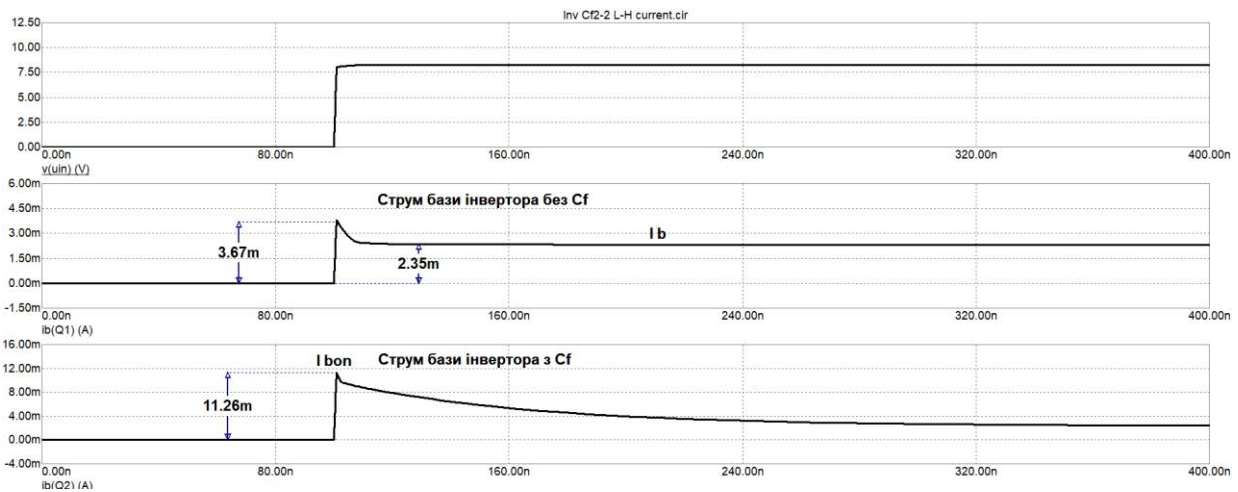


Рис. 1.24. Результати моделювання струму бази при переключенні вхідного сигналу з низького рівня напруги до високого

На часовій діаграмі можна побачити, що струм бази інвертора з C_f в момент комутації зростає до $11,26\text{mA}$, що підтверджується результатами розрахунків, а потім поступово зменшується по мірі заряду форсувальної ємності. Збільшення струму бази до $3,67\text{mA}$ в інверторі без C_f в момент комутації пояснюється зарядом вхідної ємності транзистора і подальше зменшення протягом часу t_{d_on} до $I_{буст} = 2,35\text{mA}$, що також підтверджується результатами розрахунків.

На цьому розв'язок завдання прикладу 1.2 завершено.

1.4.2. Переключення вхідного сигналу з високого до низького рівня

Далі розглянемо розрахунок струму бази в інверторі за умови переключення вхідного сигналу з високого до низького рівня напруги, тобто транзистор $T_{дж}$ переключається з режиму відсічки в режим насичення.

Спочатку розглянемо початковий стан (крок 1) за умови, що на вхід інвертора підключений високий рівень напруги. В цьому випадку транзистор інвертора-джерела перебуває в режимі відсічки, тобто високий рівень формується за допомогою кола E_k, R_k інвертора-джерела. Транзистор інвертора T перебуває в режимі насичення або в лінійному режимі поруч з межею насичення. Фактично це вже було розглянуто в підрозділі 1.4.1 (див. рис.1.21). Напруга на ємності до початку перехідного процесу U_{Cf0-} заряджена та визначається падінням напруги на резисторі R_{σ} . Для обчислення U_{Cf0-} скористуємося схемою, приведеною на рис.1.18. Відповідно до цієї схеми за законом Ома отримаємо

$$U_{Cf0-} = U_{R_{\sigma}} = I_{R_{\sigma}} \cdot R_{\sigma} = \frac{E_k - U_B}{R_k + R_{\sigma}} \cdot R_{\sigma}. \quad (1.7)$$

Далі транзистор-джерело $T_{дж}$ переключається в режим насичення (крок 2), на його колекторі з'являється низький рівень напруги, в результаті якого транзистор T починає вимикатися. Протягом вимикання діод емітера цього транзистора залишається відкритим. Схема заміщення для розрахунку струму

бази в момент комутації при переключенні вхідного сигналу з високого в низький рівень приведена на рис.1.25.

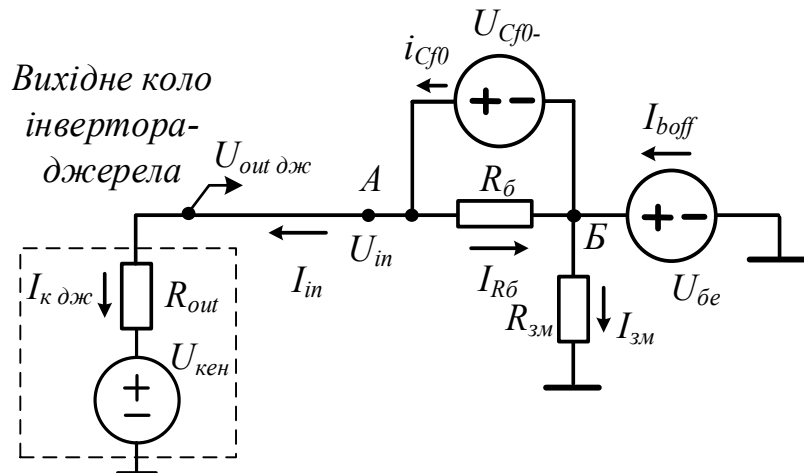


Рис. 1.25. Схема заміщення для визначення струму бази в момент комутації при низькому рівні вхідної напруги

На схемі заміщення транзистор-джерело перебуває в стані насичення, тому представляється джерелом напруги $U_{кен}$ [1] та опором транзистора R_{out} , який необхідно враховувати при визначенні струму бази в момент комутації.

Конденсатор C_f в момент комутації заряджений, напруга на конденсаторі в момент комутації U_{Cf0} визначається виразом (1.7).

Поки транзистор T ще не вимкнувся, його перехід база-емітер відкритий, тому з боку бази цей транзистор представляється у вигляді джерела напруги $U_{бе}$. Крім того, зверніть також увагу, що резистор R_{out} транзистора-джерела виконує роль резистора $R_{б1}$ в інверторі, схема якого приведена на рис.1.14.

Визначимо струм бази I_{boff} в момент переключення вхідного сигналу.

Відповідно до першого закону Кірхгофа для вузлів B і A можна записати

$$I_{boff} = I_{Cf0} + I_{зм} - I_{Rб}; \quad (1.8)$$

$$I_{Cf0} = I_{in} + I_{Rб}. \quad (1.9)$$

Підставляючи (1.9) в (1.8) отримаємо

$$I_{boff} = I_{in} + I_{зм}. \quad (1.10)$$

Напруга у вузлі A може бути визначена за другим законом Кірхгофа

$$U_A = U_B + U_{Cf0} = U_{бе} + U_{Cf0}. \quad (1.11)$$

Струми $I_{зм}$, $I_{Rб}$ та I_{in} визначаються за законом Ома

$$I_{зм} = \frac{U_B}{R_{зм}}; \quad I_{Rб} = \frac{U_A - U_B}{R_б} = \frac{U_{бе} + U_{Cf0} - U_{бе}}{R_б} = \frac{U_{Cf0}}{R_б}; \quad (1.12)$$

$$I_{in} = I_{к дж} = \frac{U_A - U_{кен}}{R_{out}}.$$

Таким чином, розрахунок струму бази в момент комутації при переключенні вхідного сигналу з високого рівня до низького закінчено.

Далі виконаємо розрахунок усталеного режиму (крок 3). Після завершення перехідного процесу, протягом якого відбувається розряд форсувальної ємності,

струм через C_f зменшується до нуля, тобто ємність не впливає на роботу інвертора в усталеному режимі. Виконаємо розрахунок вимикального струму бази наприкінці перехідного процесу, коли перехід база-емітер транзистора ще відкритий, а форсувальна ємність вже розрядилася, тобто ємність C_f розряджається швидше вхідної ємності транзистора.

Схема заміщення для обчислення струму бази в усталеному режимі приведена на рис.1.26.

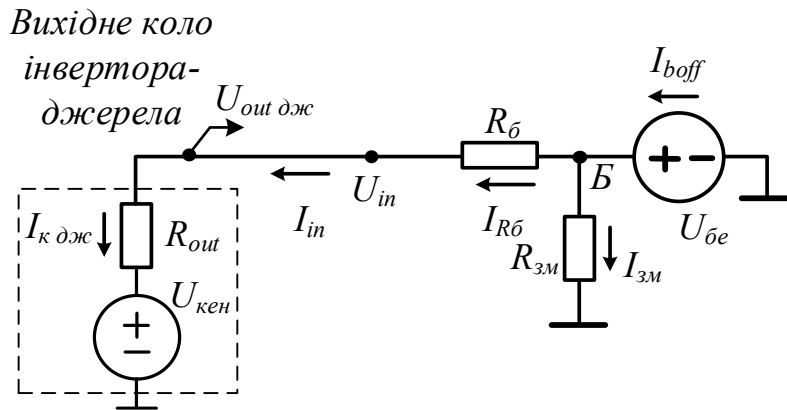


Рис. 1.26. Схема заміщення для визначення струму бази в усталеному режимі при низькому рівні вхідної напруги

Вимикальний струм бази в усталеному режимі $I_{буст}$ визначається за першим законом Кірхгофа для вузла B.

$$I_{буст} = I_{Rб} + I_{зм}. \quad (1.13)$$

Струми $I_{Rб}$ і $I_{зм}$ визначаються за законом Ома

В результаті вхідний струм інвертора визначається за законом Ома

$$I_{зм} = \frac{U_B}{R_{зм}}; I_{Rб} = \frac{U_B - U_{кеп}}{R_b + R_{out}}. \quad (1.14)$$

Порівнюючи вирази струмів бази в момент комутації (1.8)-(1.12) та в усталеному режимі (1.13), (1.14) легко помітити, що $I_{буст} < I_{боф}$, в зв'язку з тим, що $I_{боф}$ визначається невеликим опором R_{out} , а $I_{буст}$ фактично визначається опорами R_b і $R_{зм}$.

Далі розглянемо приклад розрахунку струмів бази в інверторі з форсувальною ємністю.

Приклад 1.3. Визначити струми бази $I_{боф}$ і $I_{буст}$ в інверторі з форсувальною ємністю при зміні вхідної напруги з високого до низького рівня. Вважати, що вхідний сигнал надходить з такого ж інвертора. Параметри схеми інвертора: $E_k = 12V$; $R_b = 2k$; $R_{зм} = 0,5k$; $R_{out} = 0,1k$; $E_{зм} = 0V$; $\beta = 100$; $U_{бе} = 0,7V$; $U_{кеп} = 0,1V$; $C_f = 100nФ$.

Розв'язок. Визначення струмів бази будемо виконувати покроково відповідно до послідовності розрахунків, розглянутих вище.

1. На вході інвертора високий рівень напруги, який надходить з виходу інвертора-джерела і формується за допомогою кола E_k , R_k транзистора-джерела. Транзистор інвертора T перебуває в режимі насичення. Відповідно до виразу (1.7) визначимо напругу на C_f до комутації U_{Cf0} .

$$U_{Cf0-} = U_{R\delta} = I_{R\delta} \cdot R_{\delta} = \frac{E_k - U_{\delta e}}{R_k + R_{\delta}} \cdot R_{\delta} = \frac{12 - 0,7}{1 + 2} \cdot 2 = 7,53B.$$

Результати моделювання інвертора в цьому режимі приведені на рис.1.27 та підтверджують розрахунки.

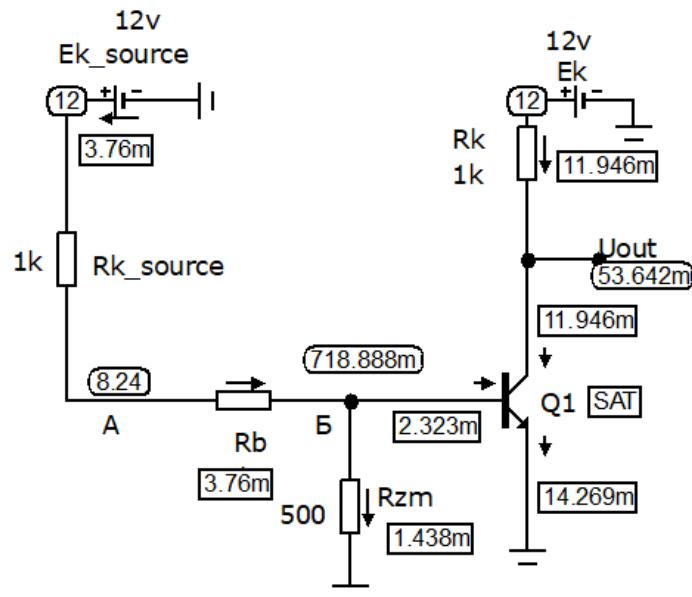


Рис. 1.27. Результати моделювання інвертора з C_f при високому рівні вхідної напруги

Відповідно до схеми інвертора $U_{Cf0} = U_A - U_B$. З результатів моделювання можна побачити, що $U_{Cf0} = U_A - U_B = 8,24 - 0,72 = 7,52B$, що відповідає розрахункам.

2. На вході інвертора вхідна напруга переключиться до низького рівня. Транзистор T починає вимикатися.

Визначимо струм бази I_{boff} в момент переключення вхідного сигналу.

Відповідно до (1.11) визначимо напругу у вузлі A :

$$U_A = U_{\delta e} + U_{Cf0} = 0,7 + 7,53 = 8,23B,$$

де U_{Cf0} визначено на попередньому кроці розрахунку.

Після цього відповідно до (1.10) і (1.12) визначимо струми I_{in} і I_{zm} :

$$I_{zm} = \frac{U_B}{R_{zm}} = \frac{0,7}{0,5} = 1,4mA; \quad I_{in} = \frac{U_A - U_{кен}}{R_{out}} = \frac{8,23 - 0,1}{0,1} = 81,3mA;$$

$$I_{boff} = I_{in} + I_{zm} = 81,3 + 1,4 = 82,7mA.$$

Результати моделювання інвертора в момент комутації приведені на рис.1.28 та підтверджують результати розрахунків.

3. Виконаємо розрахунок вимикального струму бази наприкінці перехідного процесу, тобто, коли перехід база-емітер транзистора ще відкритий. Вимикальний струм бази визначаємо відповідно до виразів (1.13) і (1.14).

$$I_{zm} = \frac{U_B}{R_{zm}} = \frac{0,7}{0,5} = 1,4mA; \quad I_{R\delta} = \frac{U_B - U_{кен}}{R_{\delta} + R_{out}} = \frac{0,7 - 0,1}{2 + 0,1} = 0,285mA;$$

$$I_{\text{баз}} = I_{R\bar{0}} + I_{3M} = 0,285 + 1,4 = 1,685 \text{mA}.$$

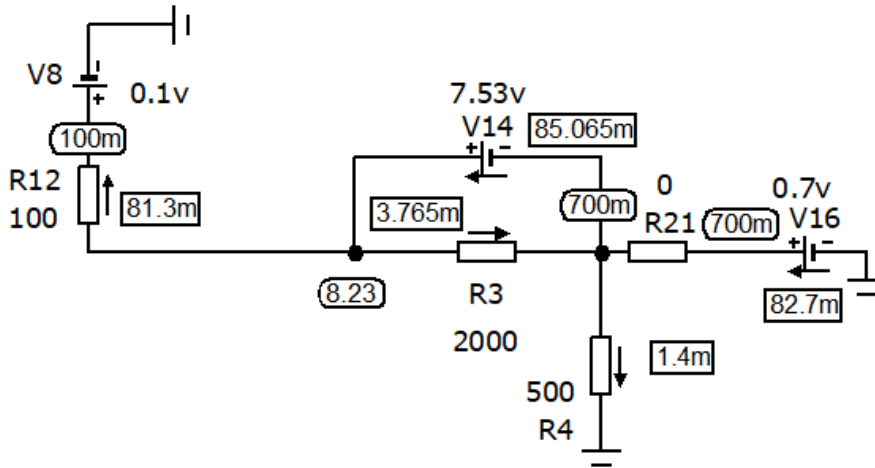


Рис. 1.28. Результати моделювання інвертора з C_f в момент надходження низького рівня вхідної напруги

Результати моделювання інвертора в цьому режимі приведені на рис.1.29 та підтверджують результати розрахунків.

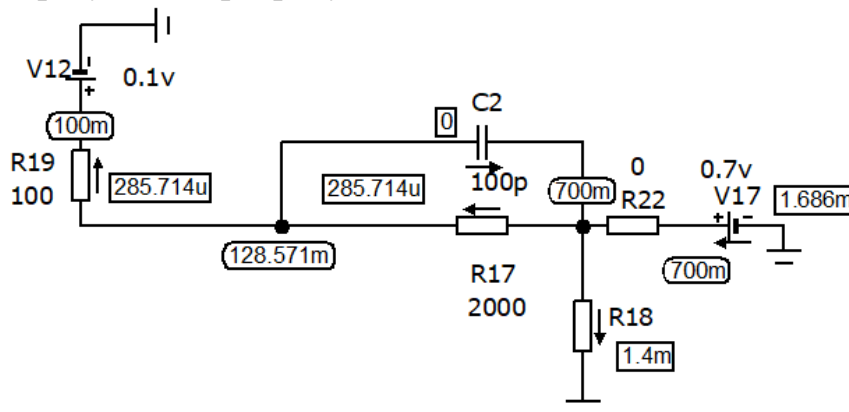


Рис. 1.29. Результати моделювання інвертора з C_f в кінці перехідного процесу режимі при низькому рівні вхідної напруги

Таким чином, в результаті розрахунків визначено, що в момент комутації струм вимикальній бази складає $82,7 \text{mA}$, а по мірі розвитку перехідного процесу поступово знижується до $1,685 \text{mA}$, що відповідає оптимальній формі струму бази.

Далі проведемо моделювання перехідних процесів (рис.1.30), що відбуваються в інверторі при переключенні вхідного сигналу в низький рівень.

Як і в попередньому підрозділі, моделювання будемо проводити для звичайного інвертора без C_f (рис.1.30,а) та для інвертора з C_f (рис.1.30,б). Для моделювання використовується такий же генератор прямокутних імпульсів **Pulse Source**, як і в схемі на рис.1.22, але налаштований на переключення вхідної напруги в низький рівень.

На відміну від схеми на рис.1.22 послідовно з генератором прямокутних імпульсів підключено резистор **Rout_source** для інвертора без C_f та

$R_{out_source}C_f$ для інвертора з C_f , тобто схеми формування вхідних сигналів однакові, але використовуються роздільно для кожного інвертора для зменшення навантаження на джерело вхідного сигналу. Таке формування вхідних сигналів імітує переключення інвертора-джерела сигналу з високого рівня в низький.

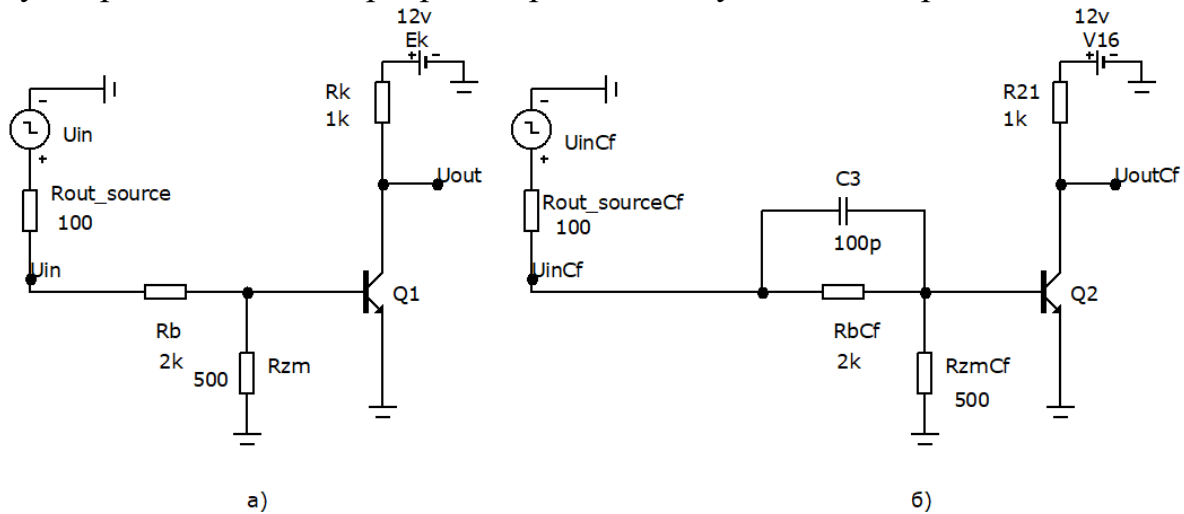


Рис. 1.30. Схема для моделювання перехідних процесів при переключенні вхідного сигналу з високого рівня напруги в низький

Результати моделювання вхідної і вихідної напруг для інвертора без C_f (U_{in} , U_{out}) та для інвертора з C_f (U_{inCf} , U_{outCf}) приведені на рис.1.31.

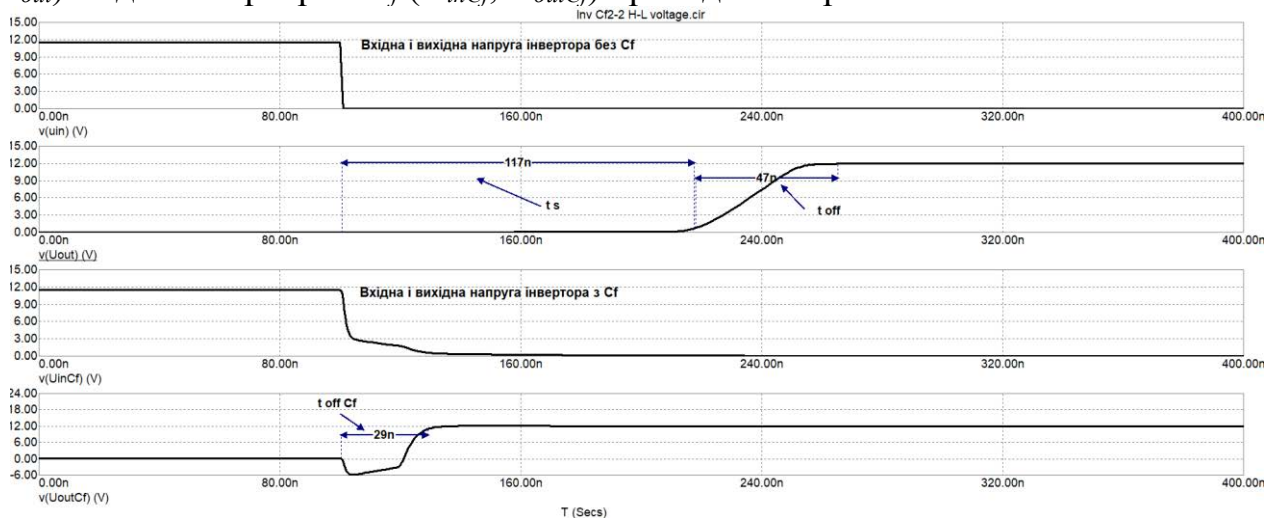


Рис. 1.31. Результати моделювання перехідних процесів при переключенні вхідного сигналу з високого рівня напруги в низький

На рис.1.31 можна побачити, що при переключенні вхідного сигналу в інверторі без C_f відбувається розсмоктування неосновних носіїв зарядів з області бази транзистора, а час розсмоктування t_s складає 117нс . Після закінчення процесу розсмоктування відбувається вимикання транзистора, час якого t_{off} складає 47нс .

В інверторі з C_f час розсмоктування разом з часом вимикання складає 29нс , тобто швидкодія інвертора з C_f при появі вхідної напруги низького рівня в 5,6 разів більше, ніж у звичайного інвертора.

На рис.1.32 приведені результати моделювання струмів бази для обох інверторів при зміні вхідної напруги з високого рівня в низький.

З результатів моделювання можна побачити, що в момент зміни вхідного сигналу вимикальний струм баз підвищується до 99mA (невелика розбіжність з розрахунками пояснюється тим, що опір резистора менше ніж прийнятий в розрахунках).

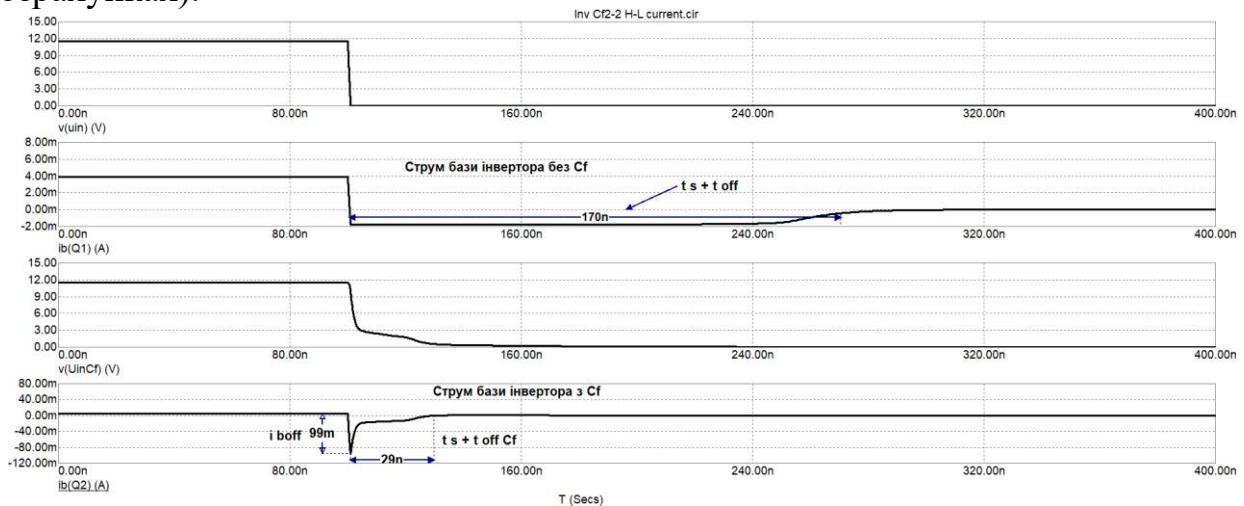


Рис. 1.32. Результати моделювання струму бази при переключенні вхідного сигналу з високого рівня напруги до низького

Негативна полярність струму пояснюється тим, що струм, який витікає з транзистора, вважається системою моделювання від'ємним струмом.

Результати розрахунків і моделювання показують, що величина вимикального струму сильно залежить від вихідного опору джерела вхідного сигналу та від вхідного опору транзистора, тому при розробці необхідно враховувати, щоб струм через джерело вхідного сигналу і струм бази транзистора не перевищували максимально допустимі. Якщо інформація про внутрішні опори транзисторів відсутня, то в схему інвертора потрібно вводити резистор $R_{\delta 1}$, як показано на рис.1.14.

На цьому розв'язок завдання прикладу 1.3 завершено.

На рис.1.33 приведена схема для моделювання функціонування інвертора з C_f за умови формування вхідного сигналу з виходу інвертора-джерела, а на рис.1.34 показані результати моделювання роботи цього інвертора в умовах формування більш реального вхідного сигналу, який переключється не миттєво.

На часовій діаграмі можна побачити, що при переключенні вхідної напруги в низький рівень час розсмоктування практично відсутній, а його величина складає 32нс .

Значення вимикального струму складає $22,6\text{mA}$, що набагато менше, ніж при розрахунках впливу ідеального сигналу. Це пов'язана з не миттєвим переключенням вхідного сигналу та наявності внутрішніх ємностей у складі транзистора, які не були враховані під час розрахунків.

Час переключення вхідної напруги у верхній рівень (рис.1.34) дуже сильно затягнутий у зв'язку з зарядом ємності C_f , але при цьому формується вимикальний струм $I_{bon} = 7,5\text{mA}$, який потім поступово знижується до усталеного значення

$I_{буст} = 2,3\text{mA}$. Для того, щоб зменшити затягування переключення сигналу до високого рівня, в логічних елементах зменшують вихідний опір.

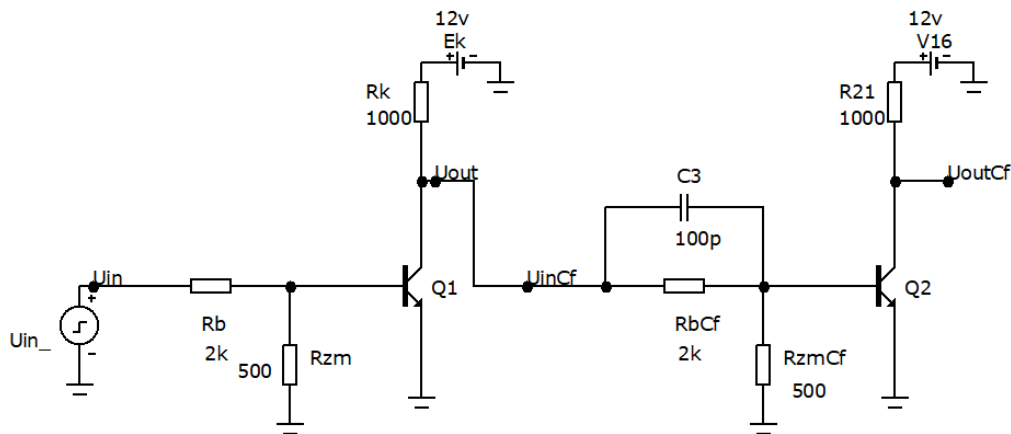


Рис. 1.33. Схема для моделювання перехідних процесів при формуванні неідеалізованого вхідного сигналу

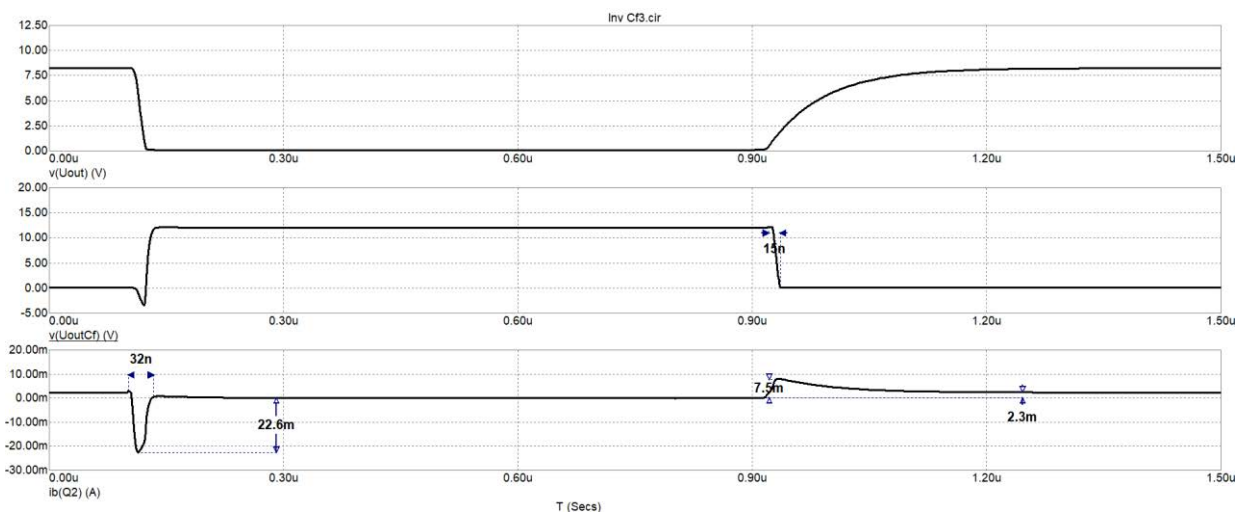


Рис. 1.34. Результати моделювання перехідних процесів при формуванні неідеалізованого вхідного сигналу

Контрольні завдання та запитання

1. Поясніть призначення форсувальної ємності у складі інвертора?
2. Приведіть схему інвертора з C_f на основі $n-p-n$ -транзистора.
3. Приведіть схему інвертора C_f на основі $p-n-p$ -транзистора.
4. Поясніть принцип роботи інвертора з форсувальною ємністю.
5. Поясніть призначення схеми на рис.1.14.
6. Чи можна використовувати схему інвертора з форсувальною ємністю, в якій $E_{зм} \neq 0$? Обґрунтуйте відповідь.
7. В якому стані перебуває форсувальна ємність в схемі на рис.1.14 при низькому рівні вхідної напруги?
8. Як визначити напругу на форсувальній ємності при низькому рівні вхідної напруги?
9. Що відбувається в інверторі з форсувальною ємністю в момент переключення вхідної напруги до високого рівня?

10. Що являє собою ємність C_f в момент комутації?
11. Сформулюйте закон комутації для ємностей.
12. Яким чином в момент переключення вхідної напруги до високого рівня формується підвищений вмикальний струм бази транзистора?
13. Яку функцію виконує резистор $R_{\delta 1}$ в схемі інвертора, приведений на рис.1.14?
14. Яким чином визначається нижня межа опору $R_{\delta 1}$?
15. Чому по мірі розвитку перехідного процесу струм через C_f зменшується?
16. Що відбувається з форсувальною ємністю під час перехідного процесу при зміні вхідної напруги до високого рівня?
17. Який процес відбувається в C_f при переключенні вхідної напруги до високого рівня?
18. Як визначається струм вхідного кола після закінчення перехідного процесу після переключення вхідної напруги до високого рівня?
19. Яким чином забезпечити відсутність процесу розсмоктування в транзисторі?
20. Поясніть фізичний сенс терміну «струм бази насичення».
21. В якому стані буде перебувати транзистор за умови, що $I_{\delta} = I_{\delta n}$?
22. В якому стані буде перебувати транзистор за умови, що $I_{\delta} > I_{\delta n}$?
23. В якому стані буде перебувати транзистор за умови, що $I_{\delta} < I_{\delta n}$?
24. Яке співвідношення між струмами I_{δ} і $I_{\delta n}$ необхідно виконувати для формування оптимальної форми струму бази в усталеному режимі?
25. Чому в схемах інверторів складно забезпечити співвідношення $I_{\delta} = I_{\delta n}$?
26. Яке співвідношення необхідно забезпечувати між часом заряду C_f і часом вмикання транзистора?
27. Якими опорами визначається усталене значення вхідного струму інвертора при високому рівні вхідної напруги?
28. Яким опором визначається значення вмикального вхідного струму інвертора при високому рівні вхідної напруги в схемі на рис.1.14?
29. Доведіть, що часова діаграма струму бази при переключенні вхідної напруги у високий рівень відповідає оптимальній формі струму бази в транзисторі?
30. В якому стані перебуває форсувальна ємність в схемі на рис.1.14 при високому рівні вхідної напруги?
31. Як визначити напругу на форсувальній ємності при високому рівні вхідної напруги?
32. Що відбувається в інверторі з форсувальною ємністю в момент переключення вхідної напруги у низький рівень?
33. Яким чином в момент переключення вхідної напруги у низький рівень формується підвищений вимикальний струм бази транзистора?
34. Що відбувається з форсувальною ємністю під час перехідного процесу при зміні вхідної напруги у низький рівень?
35. Як визначається струм вхідного кола після закінчення перехідного процесу при переключенні вхідної напруги у низький рівень?

36. Яке співвідношення необхідно забезпечувати між часом розряду C_f і часом вимикання транзистора?
37. Якими опорами визначається усталене значення вхідного струму інвертора при низькому рівні вхідної напруги?
38. Якими опорами визначається значення вимикального вхідного струму інвертора при низькому рівні вхідної напруги в схемі на рис.1.14?
39. Доведіть, що часова діаграма струму бази при переключенні вхідної напруги у низький рівень відповідає оптимальній формі струму бази в транзисторі?
40. Від чого залежить наявність або відсутність часу розсмоктування в транзисторі?
41. Чи можна видалити опір $R_{\delta l}$ зі схеми інвертора? Обґрунтуйте відповідь.
42. Прокоментуйте часову діаграму на рис.1.15.
43. Прокоментуйте схему на рис.1.16.
44. В якій послідовності визначається значення струму бази під час перехідного процесу?
45. В якому стані повинен перебувати транзистор інвертора-джерела, щоб сформувати на виході цього інвертора високий рівень напруги?
46. В якому стані повинен перебувати транзистор інвертора-джерела, щоб сформувати на виході цього інвертора низький рівень напруги?
47. Якою схемою заміщення можна замінити конденсатор в момент комутації, якщо до комутації конденсатор був розряджений?
48. Якою схемою заміщення можна замінити конденсатор в момент комутації, якщо до комутації конденсатор був заряджений?
49. Як розрахувати напругу на C_f при низькому рівні напруги на вході інвертора?
50. Прокоментуйте схему заміщення на рис.1.17.
51. Чому в схемі заміщення на рис.1.17 відсутній транзистор-джерело?
52. Чому в схемі заміщення на рис.1.17 конденсатор замінений провідником?
53. Чому в схемі заміщення на рис.1.17 транзистор інвертора з C_f замінений джерелом напруги $U_{\delta e}$?
54. Чому в схемі заміщення на рис.1.17 відсутній резистор $R_{\delta l}$?
55. Прокоментуйте вираз (1.3).
56. На основі якого закону складений вираз (1.3)?
57. З якою метою виконуються розрахунки відповідно до виразу (1.3)?
58. В яких режимах може перебувати транзистор, якщо $U_B^{xx} \geq 0,7B$?
59. Як визначити напругу у вузлі B , якщо $U_B^{xx} \geq 0,7B$?
60. Прокоментуйте вираз (1.4).
61. Як визначити
62. Чому у виразі (1.4) не використовується опір R_{δ} ?
63. За яким законом визначається струм бази транзистора відповідно до схеми заміщення, що представлена на рис.1.17?
64. За яким законом визначається струм I_{zm} у виразі (1.5)?

65. Прокоментуйте вираз (1.5).
66. Прокоментуйте схему заміщення на рис.1.18.
67. Чому в схемі заміщення на рис.1.18 відсутній транзистор-джерело?
68. Чому в схемі заміщення на рис.1.18 відсутній конденсатор C_f ?
69. Чому в схемі заміщення на рис.1.18 транзистор інвертора з C_f замінений джерелом напруги U_{be} ?
70. В чому полягає відмінність у використанні схем заміщення на рис.1.17 і рис.1.18?
71. В чому полягає відмінність у визначенні вхідного струму інвертора відповідно до виразів (1.4) і (1.6)?
72. Прокоментуйте вираз (1.6).
73. За яким законом визначається струм у виразі (1.6)?
74. В чому полягає відмінність у визначенні струму бази інвертора в момент комутації і в усталеному режимі?
75. На основі розрахунків при переключенні вхідної напруги у високий рівень доведіть твердження, що форма струму бази відповідає оптимальній формі струму бази.
76. Прокоментуйте результати моделювання на рис.1.19.
77. В якому режимі перебуває транзистор за результатами моделювання на рис.1.19. Обґрунтуйте відповідь.
78. Чому дорівнює напруга на форсувальній ємності до комутації за результатами моделювання на рис.1.19?
79. Прокоментуйте результати обчислень, в результаті яких визначено, що $U_B^{xx} = 4V$?
80. Прокоментуйте визначення вмикального струму бази в момент комутації в прикладі 1.2.
81. Прокоментуйте результати моделювання на рис.1.20.
82. В якому режимі перебуває транзистор за результатами моделювання на рис.1.20. Обґрунтуйте відповідь.
83. Порівняйте результати розрахунків і моделювання в момент комутації вхідної напруги у високий рівень.
84. Прокоментуйте результати моделювання на рис.1.21.
85. В якому режимі перебуває транзистор за результатами моделювання на рис.1.21. Обґрунтуйте відповідь.
86. Порівняйте результати розрахунків і моделювання в усталеному режимі при високому рівні вхідної напруги.
87. Чому дорівнює напруга на форсувальній ємності в усталеному режимі за результатами моделювання на рис.1.21?
88. Прокоментуйте визначення струму $I_{\delta_{уст}}$ в прикладі 1.2.
89. Як забезпечити для інвертора в прикладі 1.2 виконання умови $I_{\delta} = I_{\delta n}$?
90. Які властивості транзистора не дозволяють забезпечити виконання умови $I_{\delta} = I_{\delta n}$ для різних схем інвертора з однаковими параметрами?
91. Прокоментуйте схеми для моделювання, приведені на рис.1.22.
92. Прокоментуйте результати моделювання, приведені на рис.1.23.

93. Як за часовою діаграмою на рис.1.23 визначити час вмикання транзистора?
94. Як за часовою діаграмою на рис.1.23 визначити час затримки вмикання транзистора?
95. Порівняйте динамічні параметри інвертора з C_f і без C_f , використовуючи результати моделювання на рис.1.23.
96. Прокоментуйте результати моделювання, приведені на рис.1.24.
97. Яким чином отриманий вираз (1.7).
98. Який закон використовується для розрахунків U_{Cf} при високому рівні вхідної напруги?
99. В якому режимі перебуває діод емітера під час вимикання транзистора?
100. Прокоментуйте схему заміщення на рис.1.25.
101. Якою схемою заміщення на рис.1.25 представлений транзистор-джерело?
102. Чому в схемі заміщення на рис.1.25 конденсатор замінений джерелом напруги U_{Cf} ?
103. Чому в схемі заміщення на рис.1.25 транзистор інвертора з C_f замінений джерелом напруги U_{be} ?
104. Чому в схемі заміщення на рис.1.25 відсутній резистор R_{bl} ?
105. Яку роль виконує резистор R_{out} в схемі заміщення на рис.1.25?
106. В якому режимі перебуває транзистор-джерело в схемі заміщення на рис.1.25?
107. Як визначено значення U_{Cf} в схемі заміщення на рис.1.25?
108. В якому режимі перебуває транзистор інвертора з форсувальною ємністю в схемі заміщення на рис.1.25?
109. На основі якого закону отримані вирази (1.8) і (1.9)?
110. Яким чином складений вираз (1.10)?
111. Як визначити напругу у вузлі B в схемі заміщення на рис.1.25?
112. Як визначити напругу у вузлі A в схемі заміщення на рис.1.25?
113. На основі якого закону визначаються напруги у вузлах A і B в схемі заміщення на рис.1.25?
114. Прокоментуйте вираз (1.11).
115. Прокоментуйте вирази (1.12).
116. Як визначити вхідний струм інвертора в схемі заміщення на рис.1.25?
117. Які процеси відбуваються в C_f при появі низького рівня вхідної напруги?
118. Прокоментуйте схему заміщення на рис.1.26.
119. Якою схемою заміщення на рис.1.26 представлений транзистор-джерело?
120. Чому в схемі заміщення на рис.1.26 конденсатор відсутній?
121. Чому в схемі заміщення на рис.1.26 транзистор інвертора з C_f замінений джерелом напруги U_{be} ?
122. В якому режимі перебуває транзистор-джерело в схемі заміщення на рис.1.26?

123. В якому режимі перебуває транзистор інвертора з форсувальною ємністю в схемі заміщення на рис.1.26?
124. На основі якого закону отримані вирази (1.14)?
125. Яким чином складений вираз (1.13)?
126. Як визначити напругу у вузлі B в схемі заміщення на рис.1.26?
127. Виконайте порівняння струмів $I_{буст}$ і I_{boff} ?
128. Яким опором визначається вимикальний струм в момент комутації низького рівня вхідної напруги?
129. Якими опорами визначається вимикальний струм в усталеному режимі при низькому рівні вхідної напруги?
130. Прокоментуйте результати моделювання початкового стану перехідного процесу на рис.1.27 в прикладі 1.3.
131. Порівняйте результати розрахунків і моделювання напруги на C_f до моменту комутації при високому рівні вхідної напруги.
132. Порівняйте результати розрахунків і моделювання значень струму I_{boff} в момент комутації при надходженні низького рівня вхідної напруги.
133. Прокоментуйте результати моделювання інвертора в момент комутації низького рівня на рис.1.28 в прикладі 1.3.
134. Чому форсувальна ємність замінена джерелом напруги в момент комутації низького рівня на рис.1.28 в прикладі 1.3.
135. Порівняйте результати розрахунків і моделювання значень струму $I_{буст}$ в кінці перехідного процесу при низькому рівні вхідної напруги.
136. Прокоментуйте результати моделювання інвертора в кінці перехідного процесу при низькому рівні вхідної напруги на рис.1.29 в прикладі 1.3.
137. Прокоментуйте схеми для моделювання, приведені на рис.1.30.
138. Прокоментуйте результати моделювання, приведені на рис.1.31.
139. Як за часовою діаграмою на рис.1.31 визначити час вимикання транзистора?
140. Як за часовою діаграмою на рис.1.31 визначити час розсмоктування неосновних носіїв зарядів в транзисторі?
141. Порівняйте динамічні параметри інвертора з C_f і без C_f , використовуючи результати моделювання на рис.1.31.
142. Прокоментуйте результати моделювання, приведені на рис.1.32.
143. Чому вимикальний струм транзистора при моделювання відображується у від'ємній області значень?
144. Які вимоги необхідно висувати до параметрів інвертора при переключенні вхідної напруги інвертора в низький рівень?
145. Прокоментуйте схему для моделювання, приведені на рис.1.33.
146. Прокоментуйте результати моделювання, приведені на рис.1.33.
147. Що необхідно робити для зменшення тривалості фронтів сигналів?

1.5. Інвертор з нелінійним негативним зворотним зв'язком

Інвертор з нелінійним негативним зворотним зв'язком (ННЗЗ) відноситься до схем з ненасиченими ключами [2, 4-6]. В таких схемах транзистор працює в

режимі відсічки і в лінійному режимі, але робоча точка цього транзистора перебуває поруч з межею насичення, тобто в процесі вимикання транзистора відсутній процес розсмоктування неосновних носіїв зарядів з області бази.

Розглянемо принцип функціонування інвертора з ННЗЗ, схема якого приведена на рис.1.35.

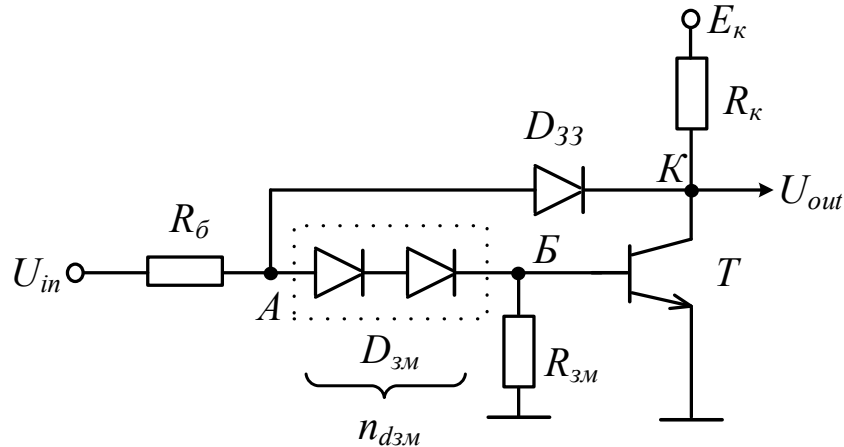


Рис. 1.35. Інвертор з нелінійним негативним зворотним зв'язком

На схемі інвертора можна побачити, що, як і раніше, $E_{зм} = 0B$, а у вхідне коло додані діоди (на схемі обведені пунктиром), які далі будемо називати діодами зміщення $D_{зм}$, а також діод зворотного зв'язку $D_{зз}$. Кількість діодів зміщення в схемі інвертора позначена $n_{дзм}$.

Будемо вважати, що в початковому стані на вхід інвертора поданий низький рівень напруги. В цьому випадку діоди зміщення закриті, на базі транзистора практично нульова напруга, тому транзистор перебуває в режимі відсічки, а напруга на виході інвертора відповідає високому рівню (в разі відсутності навантаження $U_{out} \approx E_к$).

Коли на вхід інвертора надходить високий рівень напруги, починається перехідний процес, діоди зміщення відкриваються і транзистор починає вмикатися. В процесі вмикання транзистора струм колектору починає збільшуватися, а напруга на колекторі зменшуватися відповідно до другого закону Кірхгофа ($U_{out} = E_к - I_к R_к$). При цьому вихідна напруга прямує до величини $U_{кен} = 0,1B$, якщо транзистор в кінці перехідного процесу переключиться в режим насичення. Під час вмикання транзистор перебуває в лінійному режимі, тобто діод емітера транзистора відкритий. Як було розглянуто в попередніх підрозділах напруга на базі транзистора визначається падінням напруги на відкритому діоді емітера ($U_B = U_{бe}$). В результаті, протягом практично всього перехідного процесу напруга на катоді діода зворотного зв'язку перевищує напругу на його аноді, тобто $D_{зз}$ закритий. В цьому випадку весь вхідний струм, величина якого формується резистором $R_б$ втікає у вузол бази і далі частина цього струму – в базу транзистора.

Таким чином, час вмикання транзистора визначається величиною вхідної напруги та опорами $R_б$ і $R_{зм}$.

Як вже було відмічено, по мірі розвитку перехідного процесу напруга на колекторі знижується і, коли ця напруга досягне певної величини (ця величина далі буде визначена за допомогою розрахунків), то діод D_{33} відкривається, в результаті чого частина вхідного струму починає розділятися на два кола: в коло діодів зміщення і в коло D_{33} . Це означає, що величина струму, що втікає у вузол B , зменшується і, відповідно, зменшується струм бази транзистора, що відповідає оптимальній формі струму бази.

Далі розглянемо переключення вхідної напруги з високого рівня в низький. В цьому випадку діоди зміщення і діод зворотного зв'язку закриваються і транзистор починає вимикатися. В процесі вимикання діод емітера транзистора ще відкритий, тобто вимикальний струм бази I_{boff} визначається тільки резистором R_{3m} . Після переходу діода емітера в закритий стан процес вимикання транзистора завершується. Таким чином, і в цьому випадку струм бази відповідає оптимальній формі струму бази.

Виконаємо обчислення струмів бази для високого і низького рівнів вхідної напруги. При цьому розрахунок для високого рівня будемо виконувати для двох випадків, коли діод D_{33} ще закритий і вже відкрився.

Розглянемо переключення вхідного сигналу з низького рівня напруги у високий. Спочатку визначимо струм бази для випадку, коли діод зворотного зв'язку ще закритий. При високому рівні вхідної напруги протягом перехідного процесу транзистор перебуває в лінійному режимі, тому для розрахунків замінимо транзистор схемою заміщення з боку бази для насичення і лінійного режиму [1]. Для діодів у відкритому стані будемо використовувати другу схему заміщення [1], а для закритих діодів – першу схему заміщення [1]. Таким чином, відкриті діоди зміщення замінимо джерелом напруги U_{d0} , а закритий діод D_{33} видалимо зі схеми.

Схема заміщення для визначення струму бази при закритому D_{33} приведена на рис.1.36.

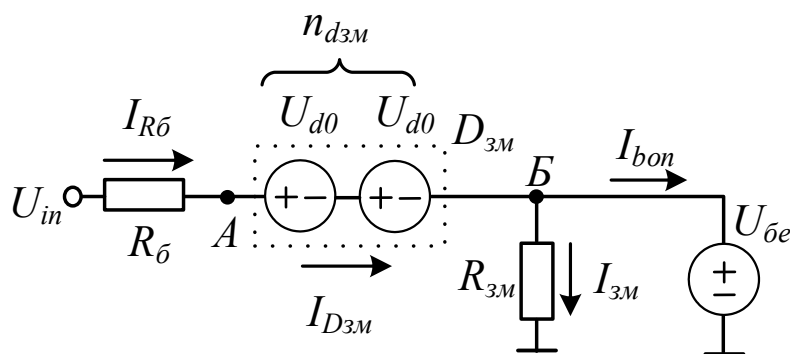


Рис. 1.36. Схема заміщення для визначення I_{bon} при закритому D_{33}

Внаслідок закритого стану діода зворотного зв'язку можна записати, що $I_{R_б} = I_{D_{3m}}$, де $I_{D_{3m}}$ – струм через діоди зміщення.

Вмикальний струм бази I_{bon} визначається за першим законом Кірхгофа

$$I_{bon} = I_{R_б} - I_{3m}, \quad (1.15)$$

де струми $I_{R_б}$ і I_{3m} визначаються за законом Ома:

$$I_{з\text{м}} = \frac{U_B}{R_{з\text{м}}}; I_{R\bar{\sigma}} = \frac{U_{in} - U_A}{R_{\bar{\sigma}}}. \quad (1.16)$$

Напруги у вузлах A і B обчислюються за другим законом Кірхгофа

$$U_B = U_{\bar{\sigma}e}; \quad U_A = U_B + n_{d\text{з\text{м}}} \cdot U_{d0} = U_{\bar{\sigma}e} + n_{d\text{з\text{м}}} \cdot U_{d0}. \quad (1.17)$$

Таким чином, в загальному вигляді можна записати

$$I_{bon} = \frac{U_{in} - (U_{\bar{\sigma}e} + n_{d\text{з\text{м}}} \cdot U_{d0})}{R_{\bar{\sigma}}} - \frac{U_{\bar{\sigma}e}}{R_{з\text{м}}}. \quad (1.18)$$

Далі визначимо струм бази за умови, що діод зворотного зв'язку вже відкрився, для чого необхідно визначити стан транзистора. У зв'язку з тим, що діод емітера відкритий, то треба визначити стан діода колектору. Для цього будемо використовувати схему заміщення, приведену на рис.1.37 (підключення діода колектору D_k показано пунктиром).

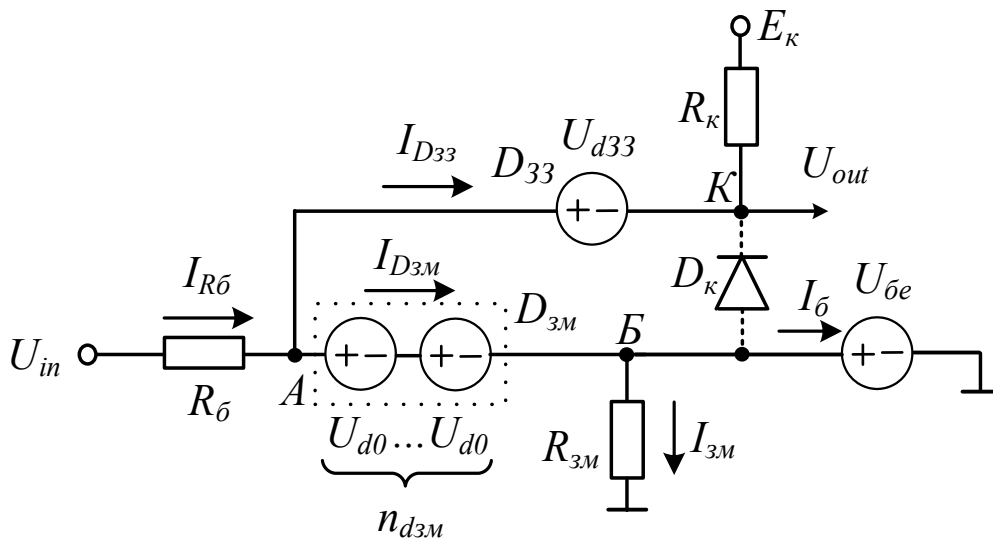


Рис. 1.37. Схема заміщення для визначення стану діода колектору

Для визначення стану D_k необхідно розрахувати напруги на базі і колекторі транзистора, тобто у вузлах B і K . Відповідно до другого закону Кірхгофа можна записати

$$U_B = U_{\bar{\sigma}e}; \quad U_K = U_B + n_{d\text{з\text{м}}} \cdot U_{d0} - U_{d33} = U_{\bar{\sigma}e} + n_{d\text{з\text{м}}} \cdot U_{d0} - U_{d33}, \quad (1.19)$$

де U_{d33} – падіння напруги на відкритому діоді зворотного зв'язку.

Визначимо напругу між базою і колектором $U_{\bar{\sigma}k}$ транзистора, враховуючи, що $U_{\bar{\sigma}e} = U_{d0} = U_{d33}$.

$$U_{\bar{\sigma}k} = U_B - U_K = U_{\bar{\sigma}e} - (U_{\bar{\sigma}e} + n_{d\text{з\text{м}}} \cdot U_{d0} - U_{d33}) = U_{d33} - n_{d\text{з\text{м}}} \cdot U_{d0}. \quad (1.20)$$

З виразу (1.20) можна побачити, що при $n_{d\text{з\text{м}}} = 1$ величина $U_{\bar{\sigma}k} = 0$, а при $n_{d\text{з\text{м}}} > 1$: $U_{\bar{\sigma}k} < 0$, тобто діод колектору закритий і транзистор перебуває в лінійному режимі.

Схема заміщення для визначення струму бази при відкритому діоді зворотного зв'язку приведена на рис.1.38.

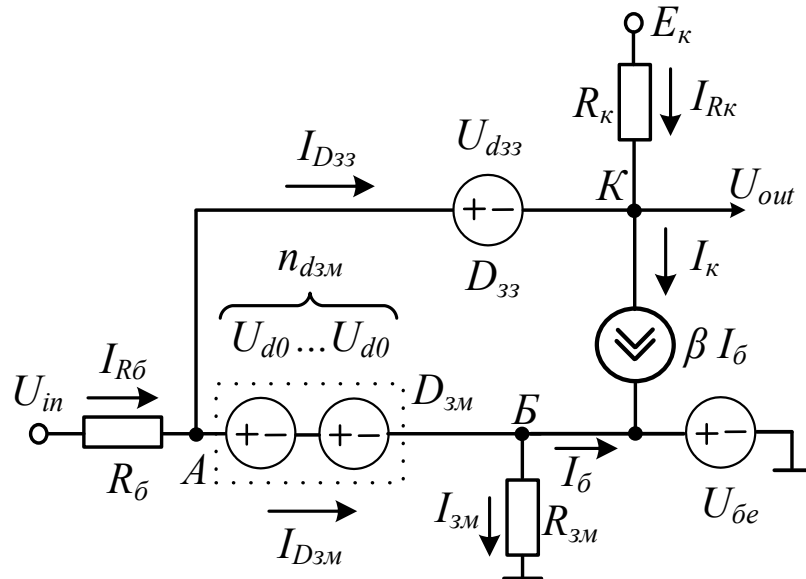


Рис. 1.38. Схема заміщення для визначення струму бази при відкритому D_{33}

Відповідно до першого закону Кірхгофа запишемо вирази для вузлів бази (Б), колектору (К), а також для вузла А:

$$I_{\bar{b}} = I_{D_{3M}} - I_{3M}; \quad I_K = I_{R_K} + I_{D_{33}}; \quad I_{D_{3M}} = I_{R_{\bar{b}}} - I_{D_{33}}. \quad (1.21)$$

Підставимо вираз для струму $I_{D_{3M}}$ до виразу для струму $I_{\bar{b}}$ і отримаємо

$$I_{\bar{b}} = I_{R_{\bar{b}}} - I_{D_{33}} - I_{3M}. \quad (1.22)$$

Порівнюючи вирази (1.15) і (1.22), можна побачити, що струм бази при відкритому діоді зворотного зв'язку менше на величину $I_{D_{33}}$, ніж струм бази при закритому D_{33} , що відповідає оптимальній формі струму бази транзистора.

Для визначення струму бази виконаємо додавання виразу (1.22) і виразу для I_K в (1.21):

$$+ \begin{cases} I_{\bar{b}} = I_{R_{\bar{b}}} - I_{D_{33}} - I_{3M}; \\ I_K = I_{R_K} + I_{D_{33}}; \end{cases} \quad (1.23)$$

$$I_{\bar{b}} + I_K = I_{R_{\bar{b}}} + I_{R_K} - I_{3M},$$

де струми I_{3M} і $I_{R_{\bar{b}}}$ визначаються за законом Ома відповідно до виразів (1.16), (1.17), а струм I_{R_K} також визначається за законом Ома відповідно до виразу:

$$I_{R_K} = \frac{E_K - U_{out}}{R_K}, \quad (1.24)$$

де $U_{out} = U_K = U_{be} + n_{d_{3M}} \cdot U_{d0} - U_{d_{33}}$ відповідно до виразу (1.19).

Згідно виразу (1.23) визначена сума струмів бази і колектору $I_{\bar{b}} + I_K$, яка визначає струм емітера транзистора [1], тобто за допомогою виразу (1.23) може бути обчислений струм емітера. Враховуючи, що транзистор перебуває в лінійному режимі, може бути визначений струм бази за формулою $I_{\bar{b}} = I_e / (\beta + 1)$ [1]. Таким чином, струм бази при відкритому діоді зворотного зв'язку визначається за виразом

$$I_{\bar{b}} = \frac{\frac{U_{in} - (U_{be} + n_{d_{3M}} \cdot U_{d0})}{R_{\bar{b}}} + \frac{E_K - (U_{be} + n_{d_{3M}} \cdot U_{d0} - U_{d_{33}})}{R_K} - \frac{U_{be}}{R_{3M}}}{\beta + 1}. \quad (1.25)$$

В результаті аналізу функціонування інвертора з ННЗЗ визначені значення струмів бази при відкритому і закритому станах D_{33} за умови надходження високого рівня вхідної напруги.

Далі визначимо вимикальний струм бази при надходженні низького рівня вхідної напруги.

В цьому випадку діоди D_{3M} і D_{33} закриваються, а транзистор починає вимикатися, хоча діод емітера транзистора ще відкритий. Схема заміщення для розрахунку вимикального струму бази I_{boff} приведена на рис.1.39 (закриті діоди D_{3M} і D_{33} представляються першою схемою заміщення [1], тому на рис.1.39 не показані).

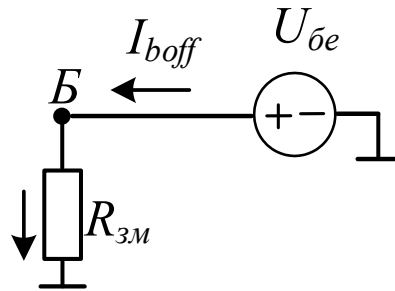


Рис. 1.39. Схема заміщення для визначення I_{boff}

Струм I_{boff} визначається за законом Ома.

$$I_{boff} = I_{3M} = \frac{U_B}{R_{3M}}. \quad (1.26)$$

Далі визначимо мінімальну кількість діодів зміщення, за якої інвертор буде функціонувати коректно. Умовою правильної роботи інвертора з ННЗЗ при високому рівні вхідної напруги є закритий стан діода колектору транзистора, який забезпечується виконанням нерівності $U_{бк} < U_{дп}$, де $U_{дп} = 0,55B$ – порогова напруга відпирання діода [1].

Відповідно до виразу (1.20) можна записати

$$\begin{aligned} U_{бк} &= U_{d33} - n_{d3M} \cdot U_{d0} < 0,55B; \\ n_{d3M} \cdot U_{d0} &> U_{d33} - 0,55; \\ n_{d3M} &> \frac{U_{d33} - 0,55}{U_{d0}}; \\ n_{d3M} &> \frac{0,15}{0,7}; \quad n_{d3M} > 0,21. \end{aligned} \quad (1.27)$$

Враховуючи, що n_{d3M} – ціле число, то $n_{d3M \min} = 1$, де $n_{d3M \min}$ – мінімальна кількість діодів зміщення. Таким чином, для коректної роботи інвертора з ННЗЗ достатньо одного діода зміщення.

Приклад 1.4. Визначити струми бази в інверторі з ННЗЗ. Параметри схеми інвертора: $E_k = 12B$; $R_b = 2k$; $R_{3M} = 0,5k$; $n_{d3M} = 1$; $E_{3M} = 0B$; $\beta = 99$; $U_{be} = U_{d3M} = U_{d0} = U_{d33} = 0,7B$; $U_{кен} = 0,1B$. Параметри вхідного сигналу $U_{in}^H = 12B$; $U_{in}^L = 0,1B$, де U_{in}^H , (U_{in}^L) – величини вхідної напруги високого (низького) рівня.

Розв'язок.

1. Визначимо струм бази при високому рівні вхідної напруги для закритого стану діода зворотного зв'язку.

Відповідно до виразу (1.18):

$$I_{bon} = \frac{U_{in} - (U_{\bar{o}e} + n_{d3m} \cdot U_{d0})}{R_{\bar{o}}} - \frac{U_{\bar{o}e}}{R_{3m}} = \frac{12 - (0,7 + 1 \cdot 0,7)}{2} - \frac{0,7}{0,5} = 3,9mA.$$

2. Визначимо струм бази при високому рівні вхідної напруги для відкритого стану діода зворотного зв'язку.

Відповідно до виразу (1.25):

$$I_{\bar{o}} = \frac{\frac{U_{in} - (U_{\bar{o}e} + n_{d3m} \cdot U_{d0})}{R_{\bar{o}}} + \frac{E_K - (U_{\bar{o}e} + n_{d3m} \cdot U_{d0} - U_{d33})}{R_K} - \frac{U_{\bar{o}e}}{R_{3m}}}{\beta + 1} =$$

$$\frac{\frac{12 - (0,7 + 1 \cdot 0,7)}{2} + \frac{12 - (0,7 + 1 \cdot 0,7 - 0,7)}{1} - \frac{0,7}{0,5}}{100} = 0,152mA.$$

3. Визначимо вимикальний струм бази при низькому рівні вхідної напруги.

Відповідно до (1.26):

$$I_{boff} = I_{3m} = \frac{U_B}{R_{3m}} = \frac{0,7}{0,5} = 1,4mA.$$

На цьому розв'язок завдання прикладу 1.4 завершено.

Виконаємо перевірку розрахунків струмів бази за допомогою моделювання. Спочатку промодельуємо функціонування інвертора з ННЗЗ при надходженні високого рівні вхідної напруги і закритому стані діода зворотного зв'язку. В зв'язку з тим, що в цьому випадку діод D_{33} перебуває в закритому стані тільки під час вмикання транзистора, то при моделюванні видалимо цей діод зі схеми відповідно до першої схеми заміщення діодів [1]. Результати моделювання приведені на рис.1.40. З результатів моделювання можна побачити, що струм бази I_{bon} транзистора складає $3,84mA$, що відповідає розрахункам в прикладі 1.4 ($3,9mA$).

Далі виконаємо моделювання функціонування інвертора з ННЗЗ при надходженні високого рівні вхідної напруги і відкритому стані діода зворотного зв'язку. Результати моделювання приведені на рис.1.41.

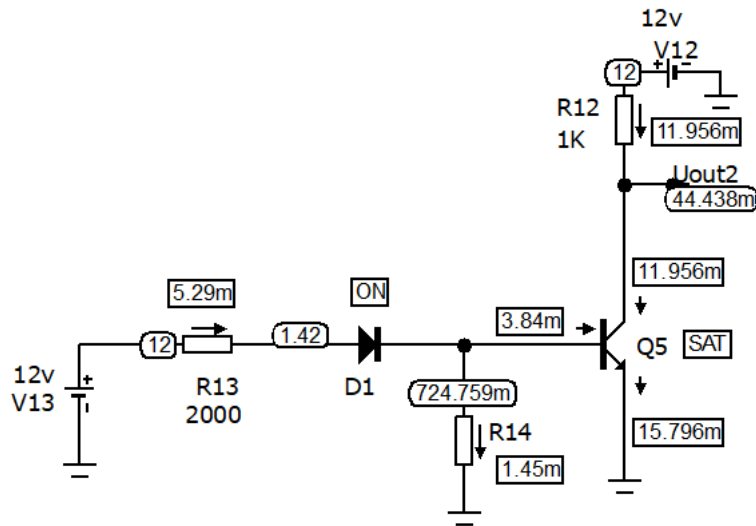


Рис. 1.40. Результати моделювання інвертора з ННЗЗ при високому рівні вхідної напруги і закритому стані D_{33}

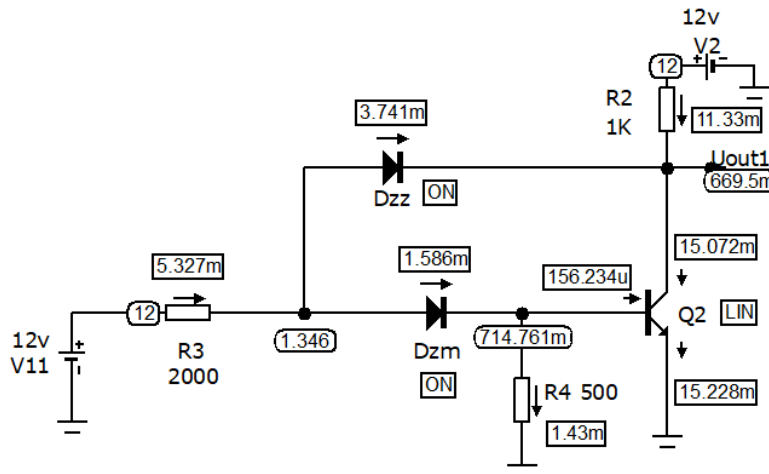


Рис. 1.41. Результати моделювання інвертора з ННЗЗ при високому рівні вхідної напруги і відкритому стані D_{33}

З результатів моделювання можна побачити, що транзистор перебуває в лінійному режимі, а величина струму бази складає $0,156mA$, що відповідає розрахункам в прикладі 1.4 ($0,152mA$).

Далі промодельємо функціонування інвертора з ННЗЗ (рис.1.42,б) та звичайного інвертора (рис.1.42,а) з метою порівняння динамічних властивостей цих інверторів.

Результати моделювання цих інверторів з отриманими значеннями динамічних параметрів приведені на рис.1.43 і 1.44. На рис.1.43 приведені часові діаграми вхідної та вихідних напруг інверторів з ННЗЗ та ННЗЗ.

Аналізуючи результати моделювання можна зробити такі висновки:

1. Час вмикання транзисторів обох інверторів практично однаковий, але в інверторі без ННЗЗ ($19нс$) трохи менше, ніж в інверторі з ННЗЗ ($22нс$). Це пояснюється тим, вхідний струм в інверторі з ННЗЗ ($I_{ex} = I_{R\bar{\sigma}} = (U_{in} - U_{dzm} - U_{\bar{\sigma}e})/R_{\bar{\sigma}}$) менше, ніж в інверторі без ННЗЗ

$(I_{ex} = I_{R\delta} = (U_{in} - U_{be})/R_{\delta})$, у зв'язку додатковим падінням напруги на діоді зміщення.

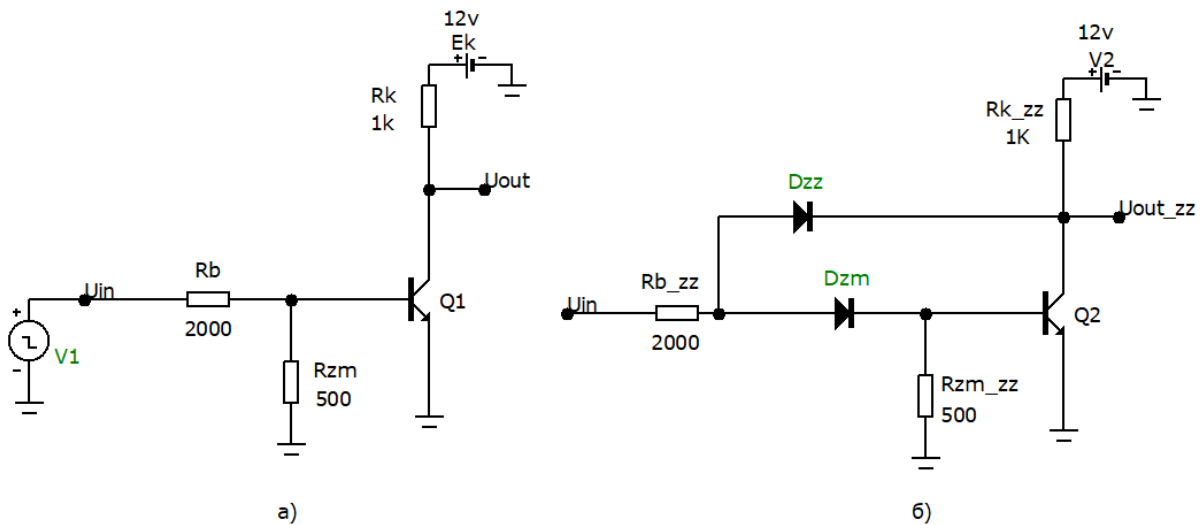


Рис. 1.42. Схеми для порівняння динамічних властивостей інверторів

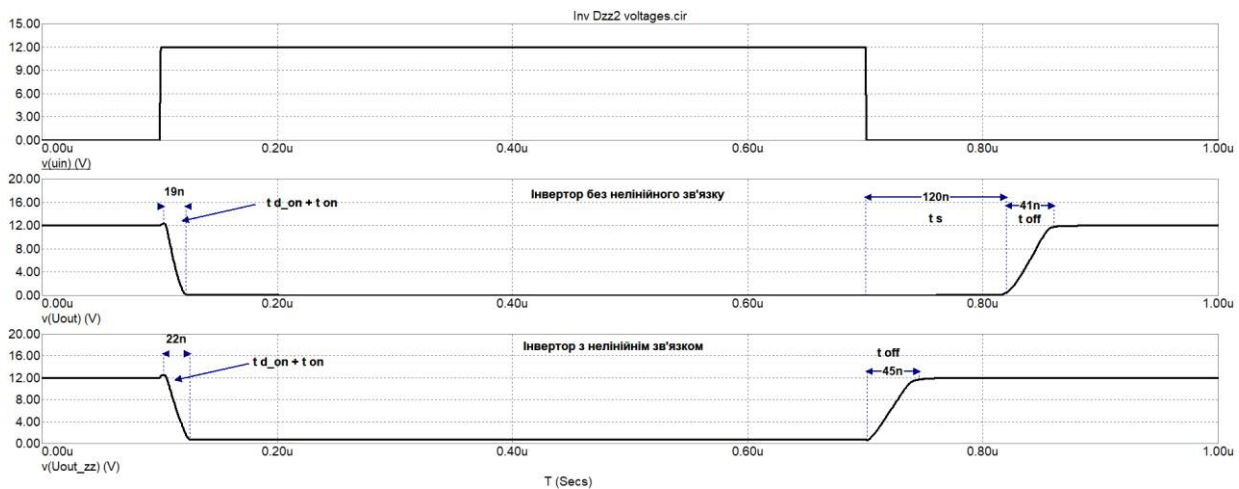


Рис. 1.43. Часові діаграми вихідних напруг інверторів (рис.1.42)

2. Час вимикання транзисторів обох інверторів також практично однаковий, але в інверторі без ННЗЗ (41нс) трохи менше, ніж в інверторі з ННЗЗ (45нс). Це пояснюється тим, вимикальний струм в інверторі з ННЗЗ визначається опором $R_{зм} = 0,5k$, а в інверторі без ННЗЗ цей струм визначається паралельним з'єднанням опорів $R_{зм}$ і R_{δ} , тобто значенням $R_{зм} \cdot R_{\delta} / (R_{зм} + R_{\delta}) = 0,4k$.

3. Час розсмоктування в інверторі без ННЗЗ складає 120нс, в той час, як в інверторі з ННЗЗ цей час відсутній, тобто, як було зазначено раніше діод зворотного зв'язку не дає можливості транзистору перейти в режим насичення.

На рис.1.44 приведені часові діаграми вхідної напруги та струмів бази транзистора інверторів з ННЗЗ та ННЗЗ, де можна побачити, що в інверторі з ННЗЗ формується оптимальна форма струму бази.

Таким чином, незважаючи на те, що час вмикання і вимикання в інверторах без ННЗЗ трохи менший, але відсутність процесу розсмоктування в інверторах з

ННЗЗ робить використання таких інверторів в цифрових інтегральних схемах більш доцільним.

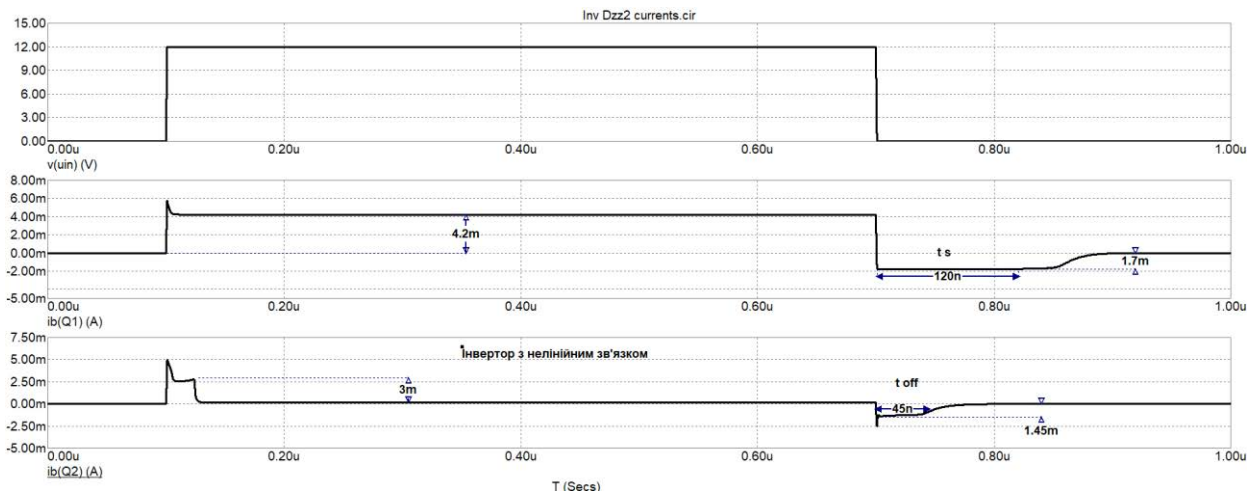


Рис. 1.44. Часові діаграми струмів бази транзистора інверторів (рис.1.42)

Далі виконаємо аналіз виразу (1.27).

$$n_{dzm} > \frac{U_{d33} - 0,55}{U_{d0}}$$

Відповідно до цієї нерівності мінімальна кількість діодів зміщення при використанні кремнієвих діодів дорівнює одному.

Якщо в якості діода зворотного зв'язку використовувати діод, падіння напруги на якому у відкритому стані буде менше $0,55B$, то в результаті розв'язку приведеної вище нерівності можна отримати, що мінімальна кількість діодів зміщення $n_{dzm\ min} = 0$, тобто в цьому випадку в схемі інвертора діоди зміщення можна не використовувати.

Першим типом діодів з такими властивостями є германієві діоди, падіння напруги на яких складає $0,3-0,4B$, але у зв'язку з дорожнечою германію, в цифрових інтегральних схемах такі діоди практично не використовуються.

Другим типом таких діодів є так звані діоди Шоттки (**Schottky**) [2, 4-6], в яких замість $p-n$ -переходу використовується контакт металу і напівпровідника, в результаті чого діоди Шоттки мають низьке падіння напруги на відкритому діоді ($0,2 - 0,4B$), малий опір у відкритому стані (в межах $10\ \Omega$) та велику швидкість перемикання (в межах $0,1нс$) [2, 4-6]. Умовне графічне позначення (УГП) діода Шоттки приведено на рис.1.45.

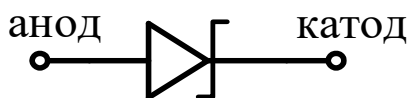


Рис. 1.44. УГП діода Шоттки

В результаті використання діода Шоттки в якості діода зворотного зв'язку отримуємо схему інвертора з ННЗЗ, приведену на рис.1.45.

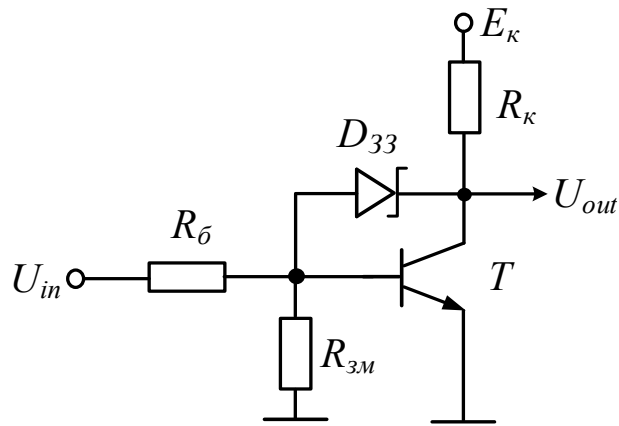


Рис. 1.45. Інвертор з ННЗЗ на базі діода Шотткі

Таким чином, для утворення ННЗЗ в інверторі достатньо підключити діод Шотткі між базою і колектором біполярного транзистора. Біполярний транзистор з діодом Шотткі між базою і колектором називається транзистор Шотткі, позначення якого приведено на рис.1.46.

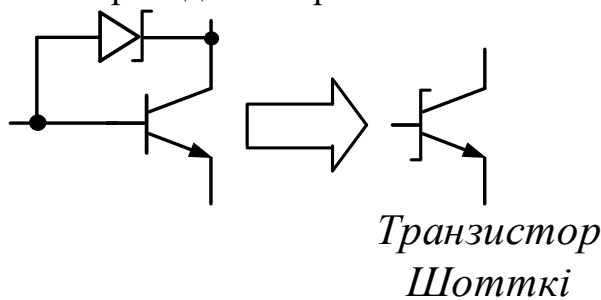


Рис. 1.46. Транзистор Шотткі

Схема інвертора з використання транзистора Шотткі приведена на рис.1.47.

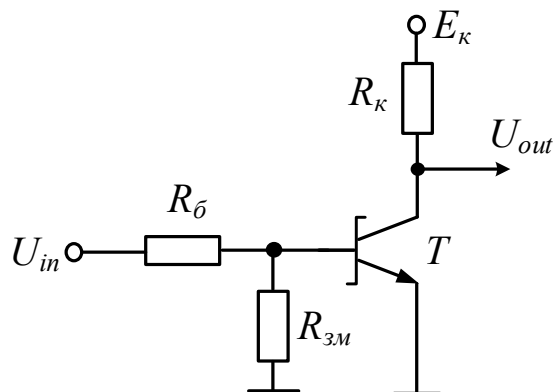


Рис. 1.47. Інвертор з транзистором Шотткі

Виконаємо моделювання інвертора з ННЗЗ з використанням діода Шотткі. На рис.1.48 приведені результати моделювання інвертора з діодом Шотткі в якості ННЗЗ при високому рівні напруги на вході.

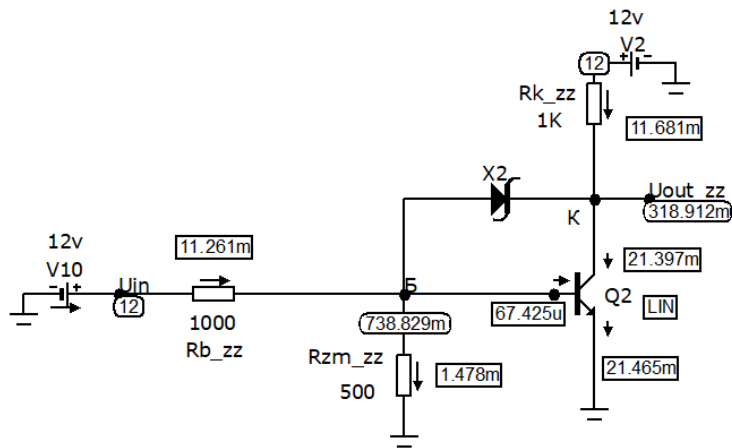


Рис. 1.48. Результати моделювання інвертора з діодом Шотткі при високому рівні вхідної напруги

З результатів моделювання можна побачити, що транзистор перебуває в лінійному режимі, тобто при його вимиканні процес розсмоктування неосновних носії зарядів буде відсутній. Падіння напруги на відкритому діоді Шотткі складає $U_{d33} = U_B - U_K = 0,738B - 0,318B = 0,42B$.

На рис.1.49 приведені результати моделювання динамічних властивостей звичайного інвертора та інвертора з діодом Шотткі.

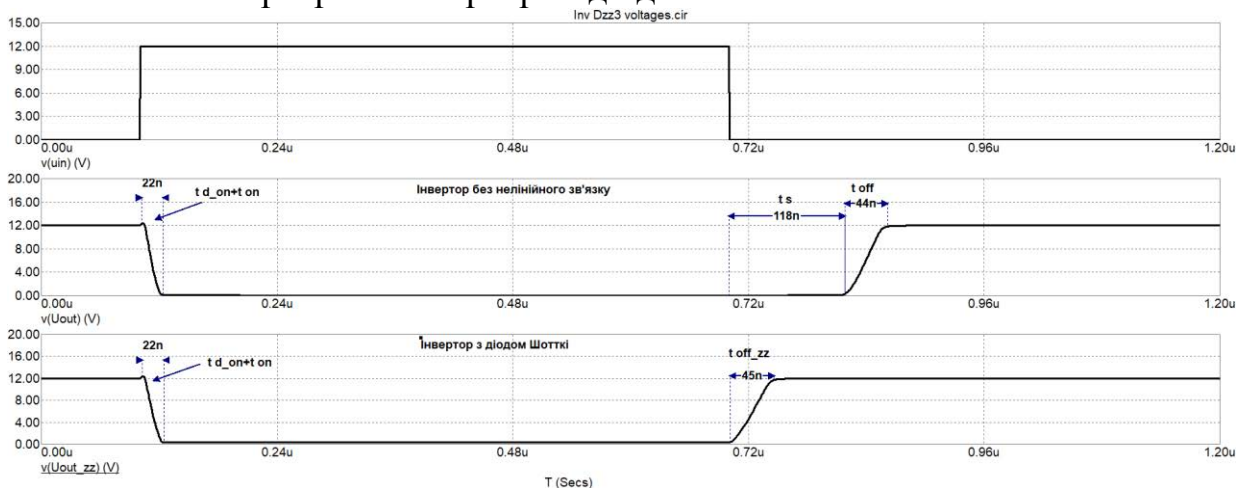


Рис. 1.49. Результати моделювання для визначення динамічних параметрів інверторів

На часових діаграмах видно, що інвертори мають однаковий час вмикання і вимикання, але інвертор з діодом Шотткі має нульовий час розсмоктування.

На рис.1.50 приведені результати моделювання струмів бази інверторів без ННЗЗ та з діодом Шотткі, де видно, що форма струму в інверторі з діодом Шотткі відповідає оптимальній формі струму бази.

В результаті розгляду інверторів з різними способами формування оптимальної форми струму бази можна зробити висновки, що інвертори з ННЗЗ, що утворений за допомогою використання діодів Шотткі, не потребують додаткових джерел живлення, як інвертори з діодом фіксації, не використовують форсувальну ємність, яка може займати достатньо велику площу на чіпі, а також

не мають проблем із забезпеченням струму бази насичення, величина якого сильно залежить від β транзистора.

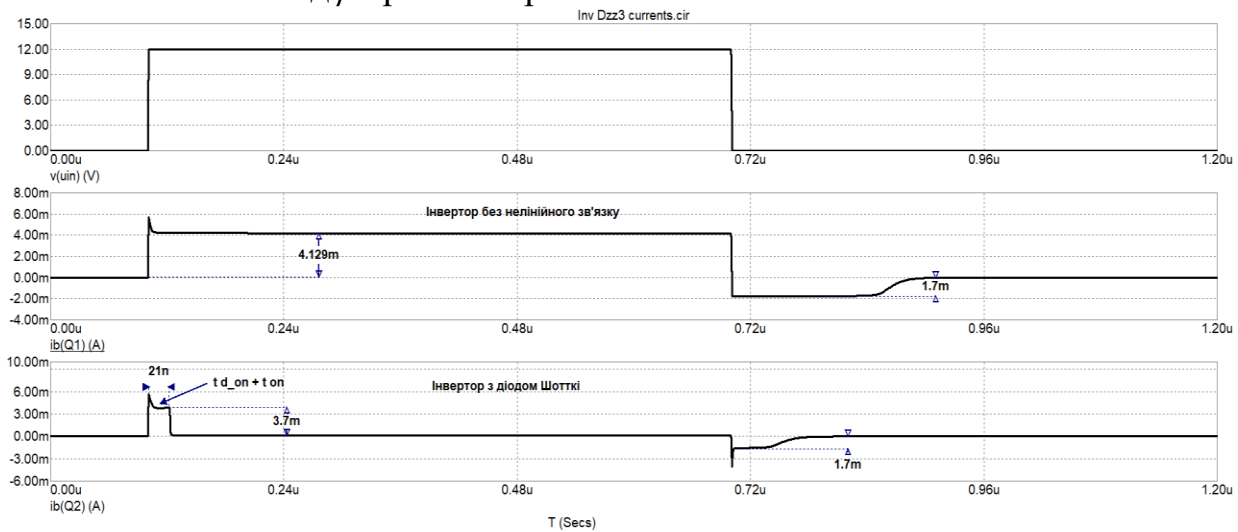


Рис. 1.50. Результати моделювання струмів бази у звичайному інверторі та в інверторі з діодом Шоттки

Недоліком схем з ННЗЗ є невелике підвищення низького рівня напруги (для розглянутого прикладу інвертора на рис.1.48 це підвищення складає приблизно $0,3V$), що знижує завадостійкість низького рівня.

Контрольні завдання та запитання

1. Поясніть термін «ненасичений ключ».
2. Поясніть принцип функціонування інвертора з нелінійним негативним зворотним зв'язком, схема якого приведена на рис.1.35.
3. Приведіть схему інвертора з нелінійним негативним зворотним зв'язком на базі $p-n-p$ -транзистора.
4. Приведіть схему інвертора з нелінійним негативним зворотним зв'язком на базі $n-p-n$ -транзистора.
5. В якому стані перебувають діоди зміщення і зворотного зв'язку при підключенні низького рівня вхідної напруги в інверторі на базі $n-p-n$ -транзистора?
6. В якому стані перебувають діоди зміщення і діод зворотного зв'язку при підключенні високого рівня вхідної напруги в інверторі на базі на базі $p-n-p$ -транзистора?
7. В якому стані перебуває $n-p-n$ -транзистор в інверторі з нелінійним негативним зворотним зв'язком при підключенні низького рівня вхідної напруги?
8. В якому стані перебуває $p-n-p$ -транзистор в інверторі з нелінійним негативним зворотним зв'язком при підключенні високого рівня вхідної напруги?
9. Що відбувається в інверторі на рис.1.35 при переключенні вхідної напруги з низького у високий рівень?

10. Що відбувається в інверторі на рис.1.35 при переключенні вхідної напруги з низького у високий рівень при закритому стані діода зворотного зв'язку?
11. В якому стані перебувають діоди зміщення в інверторі з ННЗЗ на початку перехідного процесу при переключенні вхідної напруги з низького у високий рівень?
12. В якому стані перебуває діод зворотного зв'язку в інверторі з ННЗЗ на початку перехідного процесу при переключенні вхідної напруги з низького у високий рівень?
13. За допомогою якого опору формується вхідний струм інвертора з ННЗЗ на початку перехідного процесу при переключенні вхідної напруги з низького у високий рівень?
14. Як визначити струм бази транзистора при переключенні вхідної напруги з низького у високий рівень при закритому стані діода зворотного зв'язку?
15. Чому на початку перехідного процесу при переключенні вхідної напруги з низького у високий рівень діод зворотного зв'язку перебуває у закритому стані?
16. Що відбувається в інверторі на рис.1.35 в кінці перехідного процесу при переключенні вхідної напруги з низького у високий рівень?
17. Що відбувається в інверторі на рис.1.35 при відкритті діода зворотного зв'язку?
18. Чому зменшується струм бази в інверторі на рис.1.35 при відкритті діода зворотного зв'язку?
19. Доведіть, що при переключенні вхідної напруги з низького у високий рівень в інверторі з ННЗЗ формується оптимальна форма струму бази транзистора?
20. В якому стані перебуває *p-n-p*-транзистор в інверторі з ННЗЗ при підключенні низького рівня вхідної напруги?
21. Що відбувається в інверторі на рис.1.35 при переключенні вхідної напруги з високого у низький рівень?
22. В якому стані перебувають діоди зміщення в інверторі з ННЗЗ на початку перехідного процесу при переключенні вхідної напруги з високого в низький рівень?
23. В якому стані перебуває діод зворотного зв'язку в інверторі з ННЗЗ на початку перехідного процесу при переключенні вхідної напруги з високого в низький?
24. За допомогою якого опору формується вимикальний струм інвертора з ННЗЗ на початку перехідного процесу при переключенні вхідної напруги з високого в низький рівень?
25. Як визначити струм бази транзистора при переключенні вхідної напруги з високого в низький рівень?
26. Що відбувається в інверторі на рис.1.35 в кінці перехідного процесу при переключенні вхідної напруги з високого в низький рівень?

27. Доведіть, що при переключенні вхідної напруги з високого в низький рівень в інверторі з ННЗЗ формується оптимальна форма струму бази транзистора?
28. В якому стані перебуває перехід база-емітер під час вимикання транзистора?
29. Яким чином отримана схема заміщення, приведена на рис.1.36?
30. Поясніть, яким чином отримано вираз (1.15)?
31. Поясніть, яким чином отримано вирази (1.16)?
32. Як визначити напругу у вузлах A і B при високому рівні вхідної напруги і закритому діоді зворотного зв'язку?
33. Поясніть, яким чином отримано вирази (1.18)?
34. В якому стані перебуває транзистор при високому рівні вхідної напруги і відкритому стані діода зворотного зв'язку?
35. З якою метою використовується схема заміщення, приведена на рис.1.37?
36. Як визначити напругу у вузлі A при високому рівні вхідної напруги і відкритому діоді зворотного зв'язку?
37. Як визначити напругу у вузлі A в схемі заміщення на рис.1.37?
38. Як визначити напругу на колекторі транзистора в схемі заміщення на рис.1.37?
39. Як визначити стан діода колектору транзистора в схемі на рис.1.37?
40. Яким чином отримані вирази (1.19)?
41. Прокоментуйте вираз (1.20).
42. Для чого використовується схема заміщення, приведена на рис.1.38?
43. Як визначити струм бази в схемі заміщення на рис.1.38?
44. Яким чином отримані вирази (1.21)?
45. Прокоментуйте вираз (1.22).
46. Які висновки можна зробити, порівнюючи вирази (1.15) і (1.22)?
47. Яким чином визначити струм емітера в інверторі з нелінійним зв'язком при високому рівні вхідної напруги і відкритому діоді зворотного зв'язку?
48. Прокоментуйте вираз (1.25).
49. Яким чином можна визначити струм бази при лінійному режимі роботи транзистора за відомого значення струму емітера?
50. Чому в схемі заміщення на рис.1.39 транзистор з боку бази замінений джерелом напруги $U_{\delta e}$?
51. Як визначити значення вимикального струму бази транзистора при низькому рівні вхідної напруги?
52. Як визначити мінімальну кількість діодів зміщення, достатню для коректної роботи інвертора з нелінійним негативним зворотним зв'язком?
53. Прокоментуйте вираз (1.27).
54. Визначити струми бази в інверторі з ННЗЗ. Параметри схеми інвертора:
 $E_k = 12B$; $R_{\delta} = 1k$; $R_{zm} = 1k$; $n_{dzm} = 1$; $E_{zm} = 0B$; $\beta = 99$;

$U_{\delta e} = U_{d3m} = U_{d0} = U_{d33} = 0,7B$; $U_{кен} = 0,1B$. Параметри вхідного сигналу $U_{in}^H = 12B$; $U_{in}^L = 0,1B$.

55. Визначити струми бази в інверторі з ННЗЗ. Параметри схеми інвертора: $E_k = 5B$; $R_{\delta} = 2k$; $R_{3m} = 1k$; $n_{d3m} = 1$; $E_{3m} = 0B$; $\beta = 99$; $U_{\delta e} = U_{d3m} = U_{d0} = U_{d33} = 0,7B$; $U_{кен} = 0,1B$. Параметри вхідного сигналу $U_{in}^H = 5B$; $U_{in}^L = 0,1B$.
56. Прокоментуйте результати моделювання інвертора, приведені на рис.1.40.
57. Прокоментуйте результати моделювання інвертора, приведені на рис.1.41.
58. Прокоментуйте схеми на рис.1.42.
59. Прокоментуйте результати моделювання інвертора, схема якого приведена на рис.1.43 і порівняйте з результатами аналітичних розрахунків?
60. Проведіть порівняння динамічних параметрів звичайного інвертора і інвертора з ННЗЗ.
61. Чому в інверторі на рис.1.42,а струм бази більше, ніж в інверторі на рис.1.42,б?
62. Чому в інверторі на рис.1.42,а вимикальний струм бази більше, ніж в інверторі на рис.1.42,б?
63. В чому полягає основна перевага інверторів з нелінійним негативним зворотним зв'язком?
64. Прокоментуйте результати моделювання інвертора на рис.1.44 і порівняйте з результатами аналітичних розрахунків?
65. Як визначити мінімальну кількість діодів зміщення при використанні кремнієвих діодів?
66. В якості діода зворотного зв'язку використовується кремнієвий діод. Визначить мінімальну кількість діодів зміщення можна використовувати в інверторі з нелінійним негативним зворотним зв'язком в цьому випадку?
67. В якості діода зворотного зв'язку використовується германієвий діод. Визначить мінімальну кількість діодів зміщення можна використовувати в інверторі з нелінійним негативним зворотним зв'язком в цьому випадку?
68. Приведіть умовне графічне позначення діода Шотткі.
69. Для чого в інверторах з нелінійним негативним зворотним зв'язком використовують діоди Шотткі?
70. В чому полягає перевага використання діода Шотткі в якості діода зворотного зв'язку?
71. Охарактеризуйте параметри діодів Шотткі.
72. Прокоментуйте схему на рис.1.45.
73. Для чого використовується схема інвертора на рис.1.45?
74. Що являє собою транзистор Шотткі?
75. Прокоментуйте утворення транзистора Шотткі на рис.1.46.

76. Прокоментуйте схему на рис.1.47.
77. В чому полягає різниця між інверторами на рис.1.45 і 1.47. Обґрунтуйте відповідь.
78. Прокоментуйте результати моделювання інвертора, схема якого приведена на рис.1.48.
79. Як за результатами моделювання інвертора на рис.1.48 визначити струм діода зворотного зв'язку?
80. Як за результатами моделювання інвертора на рис.1.48 довести, що транзистор перебуває в лінійному режимі?
81. Як за результатами моделювання схеми на рис.1.48 визначити вхідний струм інвертора?
82. Як за результатами моделювання схеми на рис.1.48 визначити β транзистора?
83. Як за результатами моделювання схеми на рис.1.48 визначити струм емітера транзистора інвертора?
84. Прокоментуйте результати моделювання інвертора, схема якого приведена на рис.1.49.
85. Як за результатами моделювання на рис.1.49 визначити час розсмоктування транзистора звичайного інвертора?
86. Як за результатами моделювання на рис.1.49 визначити час розсмоктування транзистора інвертора з нелінійним негативним зворотним зв'язком?
87. За результатами моделювання на рис.1.49 порівняйте час вмикання транзистора в звичайному інверторі та в інверторі з нелінійним негативним зворотним зв'язком?
88. За результатами моделювання на рис.1.49 порівняйте час вимикання транзистора в звичайному інверторі та в інверторі з нелінійним негативним зворотним зв'язком?
89. За результатами моделювання на рис.1.49 порівняйте час розсмоктування транзистора в звичайному інверторі та в інверторі з нелінійним негативним зворотним зв'язком?
90. Прокоментуйте результати моделювання інвертора на рис.1.50.
91. Які недоліки використання діода Шотткі в якості діода зворотного зв'язку?
92. Визначити струми бази в інверторі з ННЗЗ на базі діода Шотткі. Параметри схеми інвертора: $E_k = 12B$; $R_b = 1k$; $R_{зм} = 0,25k$; $n_{дзм} = 0$; $E_{зм} = 0B$; $\beta = 99$; $U_{be} = U_{дзм} = U_{d0} = U_{дзз} = 0,7B$; $U_{кен} = 0,1B$. Параметри вхідного сигналу $U_{in}^H = 9B$; $U_{in}^L = 0,1B$.
93. Як за результатами моделювання інвертора на рис.1.41 обчислити струм діода зворотного зв'язку?
94. Як за результатами моделювання інвертора на рис.1.41 довести, що транзистор перебуває в лінійному режимі?
95. Як за результатами моделювання схеми на рис.1.41 обчислити вхідний струм інвертора?

96. Як за результатами моделювання схеми на рис.1.41 обчислити β транзистора?
97. Як за результатами моделювання схеми на рис.1.41 обчислити струм емітера транзистора інвертора?
98. Як за результатами моделювання інвертора на рис.1.41 довести, що діод зворотного зв'язку відкритий?
99. В чому полягає різниця між схемами, приведеними на рис.1.40 і рис.1.41?
100. Як за результатами моделювання інвертора на рис.1.40 довести, що транзистор перебуває в режимі насичення?
101. Як за результатами моделювання схеми на рис.1.40 обчислити вхідний струм інвертора?
102. Як за результатами моделювання схеми на рис.1.40 обчислити струм колектору транзистора інвертора?
103. Як за результатами моделювання схеми на рис.1.40 обчислити струм бази транзистора інвертора?
104. Як за результатами моделювання схеми на рис.1.40 обчислити струм емітера транзистора інвертора?
105. За результатами моделювання на рис.1.50 порівняйте часові діаграми струмів бази в звичайному інверторі та в інверторі з нелінійним негативним зворотним зв'язком?

ВИСНОВКИ

За матеріалами, наведеними в розділі 1, можна зробити такі висновки:

1. Виконано аналіз способів підвищення швидкодії інвертора на базі біполярного транзистора та визначені вимоги до величин струмів бази транзистора інвертора.
2. Проведений аналіз функціонування інверторів з діодом фіксації, в яких підвищення швидкодії забезпечується за рахунок неповного заряду ємності навантаження.
3. Розглянута схема інвертора з форсувальною ємністю, яка формує струм бази, близький до оптимального. Визначені недоліки цієї схеми.
4. Детально проаналізоване функціонування інвертора з нелінійним негативним зворотним зв'язком, показано, що цифрові схеми з ННЗЗ на даний момент є основним засобом підвищення швидкодії сучасних цифрових схем на базі біполярних транзисторів.
5. Для всіх типів інверторів, розглянутих в розділі 1, приведені приклади розрахунків параметрів цих інверторів. Коректність розрахунків підтверджено за допомогою моделювання.

РОЗДІЛ 2. СИСТЕМИ ЕЛЕМЕНТІВ ЦІС

В першій частині посібника [1] розглядалися базові електронні елементи, що використовуються у складі цифрових інтегральних схем: напівпровідникові діоди і транзистори, які застосовуються для реалізації логічних функцій інверсії на базі транзисторів та кон'юнкції і диз'юнкції на базі діодних логічних елементів, а в попередньому розділі розглядалися способи підвищення швидкодії інверторів на базі біполярних транзисторів.

Далі розглянемо принципи побудови, властивості та способи розрахунків параметрів різних систем елементів цифрових інтегральних схем, які використовуються для реалізації базових логічних функцій в алгебрах Шефера і Пірса.

2.1. Елементи резисторно-транзисторної логіки

Елементи резисторно-транзисторної логіки (РТЛ, резистивно-транзисторна логіка, англ.: *Resistor-transistor Logic, RTL*) являють собою логічні елементи, побудовані з використанням резисторів та біполярних транзисторів [7-12].

Елементи резисторно-транзисторної логіки першими з'явилися на ринку цифрових інтегральних схем. Наприклад, в першому в світі комп'ютері, що був встановлений на космічному апараті (AGC - Apollo Guidance Computer), використовувалися інтегральні схеми, побудовані на елементах РТЛ [13]. В теперішній час елементи РТЛ в якості окремих систем цифрових інтегральних схем вже не використовуються, але складові частини елементів РТЛ застосовуються при побудові більш сучасних систем елементів.

З точки зору схемної побудови розрізняють два типи елементів РТЛ:

- однотранзисторні елементи РТЛ [9-12];
- багатотранзисторні елементи РТЛ [7, 8, 11, 12].

2.1.1. Однотранзисторні елементи РТЛ

Однотранзисторні елементи РТЛ отримали таку назву в зв'язку з тим, що реалізація логічної функції (АБО чи І) виконується за допомогою резисторів, а транзистор забезпечує реалізацію логічної функції інвертування. Далі однотранзисторні елементи РТЛ будемо позначати РТЛ₁.

Схема m -входового елемента РТЛ₁ приведена на рис.2.1.

Схема елемента РТЛ₁ нагадує схему звичайного інвертора [1], але до вузла B підключено m паралельних кіл $U_{ini}, R_{\delta i}$, де i – номер входу. Розглянемо принцип роботи такого елемента.

Якщо на всі входи елемента підключити напруги низького рівня, то опори елемента разом з джерелами живлення повинні забезпечувати роботу транзистора в режимі відсічки. В цьому випадку на виході елемента формується напруга високого рівня [1].

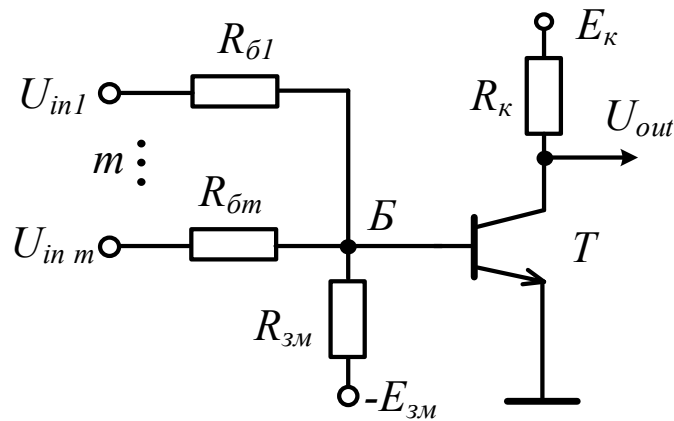


Рис. 2.1. Схема m -входового елемента РТЛ₁

При підключенні хоча б на один вхід елемента напруги високого рівня електричні складові елемента повинні забезпечувати роботу транзистора в режимі насичення. В цьому випадку на виході елемента формується напруга низького рівня [1].

Як правило, в елементах РТЛ₁ опори вхідних кіл однакові ($R_{\delta 1} = R_{\delta i} = R_{\delta m}$), тому далі ці резистори будемо позначати R_{δ} .

В результаті побудуємо таблицю істинності, що приведена в табл.2.1 і що описує функціонування елемента РТЛ₁ за допомогою рівнів напруги, тобто визначимо логічну функцію, що виконує цей логічний елемент. Для зменшення обсягу таблиці істинності будемо вважати, що логічний елемент має 2 входи ($m = 2$).

Таблиця 2.1. Таблиця істинності елемента РТЛ₁

U_{in1}	U_{in2}	U_{out}
L	L	H
L	H	L
H	L	L
H	H	L

З цієї таблиці можна зробити висновок, що елемент РТЛ₁ при використанні кодування сигналів відповідно до логіки високого рівня [1] реалізує логічну функцію Пірса ($2АБО-НН$), а при використанні логіки низького рівня – функцію Шефера ($2I-НН$).

Розглянемо розрахунок струмів і напруг в елементі РТЛ₁. Порядок розрахунку елемента РТЛ₁ полягає у наступному:

1. Визначення еквівалентних параметрів холостого ходу вхідних кіл елемента.
2. Заміна вхідних кіл елемента еквівалентним колом.
3. Розрахунок отриманої схеми відповідно до порядку розрахунку параметрів звичайного інвертора.

Таким чином, спочатку виконаємо спрощення вхідних кіл елемента РТЛ₁. Для цього виконаємо перетворення m вхідних кіл, які на рис.2.2,а обведені пунктиром, в одне еквівалентне коло. Використовуючи метод еквівалентного генератора, вхідні кола (рис.2.2,б) відключаються від вузла B та визначається напруга і опір холостого ходу відключеної ділянки схеми відносно точок розмикання.

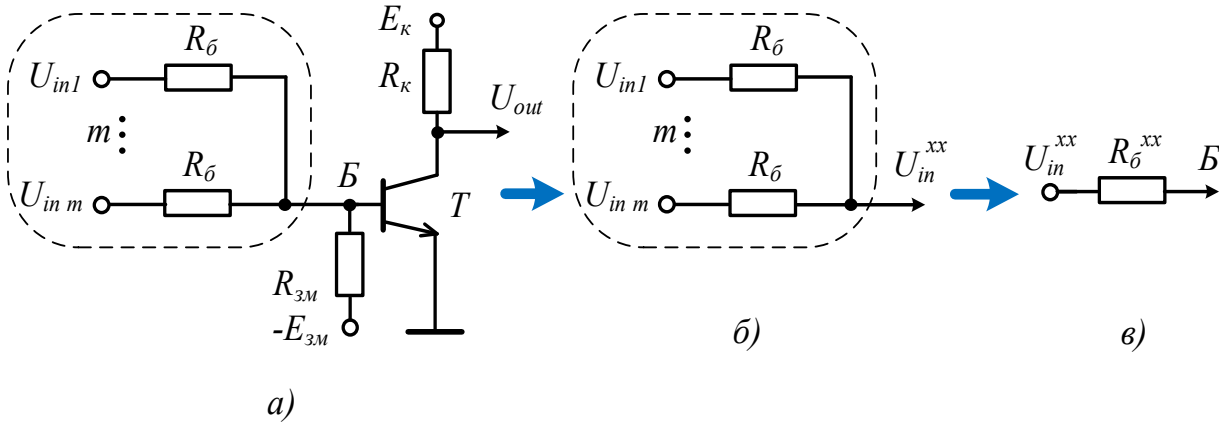


Рис. 2.2. Перетворення вхідного кола РТЛ₁

Відповідно до метода двох вузлів вхідна напруга холостого ходу визначається за виразом:

$$U_{in}^{xx} = \frac{\frac{U_{x1}}{R_{\delta 1}} + \frac{U_{x2}}{R_{\delta 2}} + \dots + \frac{U_{xm}}{R_{\delta m}}}{\frac{1}{R_{\delta 1}} + \frac{1}{R_{\delta 2}} + \dots + \frac{1}{R_{\delta m}}}. \quad (2.1)$$

Відзначимо, що відповідно до точок розмикання опори $R_{\delta 1}, R_{\delta 2}, \dots, R_{\delta m}$ включені паралельно, тому опір холостого ходу визначається за виразом:

$$R_{\delta}^{xx} = R_{\delta 1} \parallel R_{\delta 2} \parallel \dots \parallel R_{\delta m} = \frac{1}{\frac{1}{R_{\delta 1}} + \frac{1}{R_{\delta 2}} + \dots + \frac{1}{R_{\delta m}}}. \quad (2.2)$$

Враховуючи, що $R_{\delta 1} = R_{\delta i} = R_{\delta m} = R_{\delta}$, вирази (2.1) і (2.2) можна спростити:

$$U_{in}^{xx} = \frac{\frac{U_{x1}}{R_{\delta}} + \frac{U_{x2}}{R_{\delta}} + \dots + \frac{U_{xm}}{R_{\delta}}}{\frac{1}{R_{\delta}} + \frac{1}{R_{\delta}} + \dots + \frac{1}{R_{\delta}}} = \frac{U_{x1} + U_{x2} + \dots + U_{xm}}{m}; \quad R_{\delta}^{xx} = \frac{R_{\delta}}{m}. \quad (2.3)$$

В результаті вхідне коло елемента РТЛ₁ може бути представлено у вигляді послідовного з'єднання U_{in}^{xx} і R_{δ}^{xx} , що представлено на рис.2.2,в.

Далі відповідно до кроку 2 порядку розрахунку елементів РТЛ₁, вхідне коло елемента замінюється еквівалентною схемою (рис.2.2,в) з параметрами, визначеними відповідно до (2.3). Спрощена схема елемента РТЛ₁ приведена на рис.2.3.

В результаті схема елемента РТЛ₁ приведена до еквівалентної схеми звичайного інвертора і розрахунок параметрів цієї схеми проводиться відповідно до порядку, приведені в [1].

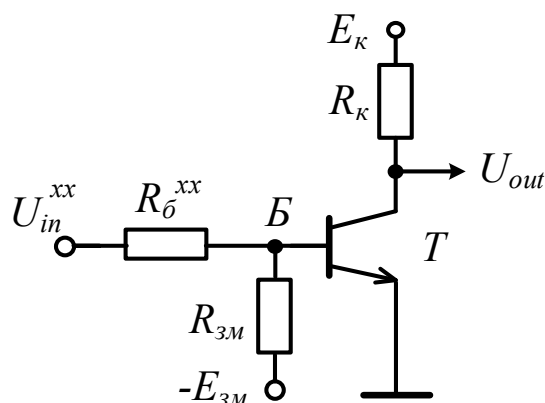


Рис. 2.3. Спрощена схема елемента РТЛ₁

Далі розглянемо приклади розрахунку параметрів елементів РТЛ₁.

Приклад 2.1. Визначити напруги і струми в елементі РТЛ₁ для заданих значень вхідної напруги. Параметри елемента РТЛ₁: $E_к = 12В$; $R_б = 2к$; $R_к = 1к$; $R_зм = 0,5к$; $E_зм = 0В$; $I_км = 0$; $\beta = 100$; $U_{бе} = 0,75В$; $m = 3$; $U_{in1} = 12В$; $U_{in2} = 2В$; $U_{in3} = 0В$.

Розв'язок.

Відповідно до виразів (2.3) визначимо параметри еквівалентної схеми вхідних кіл елемента РТЛ₁.

$$U_{in}^{xx} = \frac{\frac{U_{x1}}{R_б} + \frac{U_{x2}}{R_б} + \dots + \frac{U_{xm}}{R_б}}{\frac{1}{R_б} + \frac{1}{R_б} + \dots + \frac{1}{R_б}} = \frac{\frac{12}{2} + \frac{2}{2} + \frac{0}{2}}{\frac{3}{2}} = 4,67В; \quad R_б^{xx} = \frac{2}{3} = 0,67к.$$

Таким чином, далі виконуємо розрахунок звичайного інвертора, на вхід якого підключена напруга $U_{in}^{xx} = 4,67В$, а опір вхідного кола складає $R_б^{xx} = 0,67к$.

Спочатку відповідно до методу двох вузлів визначимо напругу холостого ходу U_B^{xx} у вузлі Б, для чого відключимо транзистор від цього вузла [1]:

$$U_B^{xx} = \frac{\frac{U_{in}^{xx}}{R_б^{xx}} + \frac{E_{зм}}{R_{зм}}}{\frac{1}{R_б^{xx}} + \frac{1}{R_{зм}}} = \frac{\frac{4,67}{0,67} + \frac{0}{0,5}}{\frac{1}{0,67} + \frac{1}{0,5}} = \frac{6,97}{3,5} \approx 2В.$$

З результату розрахунку можна побачити, що U_B^{xx} перевищує $0,55В$. Це означає, що діод емітера транзистора відкритий [1], тобто транзистор може бути замінений збоку бази джерелом напруги $U_{бе} = 0,75В$, а схема заміщення інвертора приведена на рис.2.4.

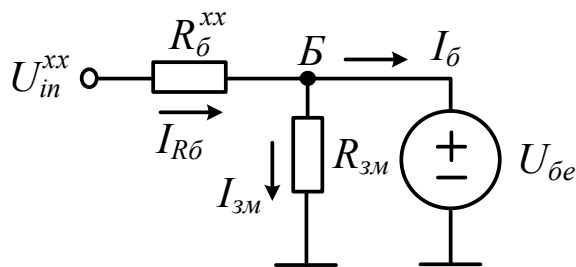


Рис. 2.4. Схема заміщення вхідного кола елемента РТЛ₁ для прикладу 2.1

Відповідно до схеми заміщення, величина напруги у вузлі B обчислюється за другим законом Кірхгофа $U_B = U_{\bar{o}e} = 0,75V$. Після цього за допомогою закону Ома можна обчислити струми в колах $R_{зм}$ і $R_{\bar{o}}$:

$$I_{зм} = \frac{U_{\bar{o}e}}{R_{зм}} = \frac{0,75}{0,5} = 1,5mA; \quad I_{R\bar{o}} = \frac{U_{in}^{xx} - U_{\bar{o}e}}{R_{\bar{o}}^{xx}} = \frac{4,67 - 0,75}{0,67} = 5,85mA.$$

Струм бази транзистора визначається згідно з першим законом Кірхгофа $I_{\bar{o}} = I_{R\bar{o}} - I_{зм} = 5,85 - 1,5 = 4,35mA$.

Відкритий стан діода емітера транзистора означає, що транзистор може перебувати як в лінійному режимі, так і в насиченні. Для конкретизації стану транзистора необхідно визначити стан діода колектору транзистора.

Виконаємо порівняння струму бази транзистора $I_{\bar{o}}$ і струму бази насичення $I_{\bar{o}н}$. За умови виконання нерівності $I_{\bar{o}} \geq I_{\bar{o}н}$ транзистор перебуває в режимі насичення [1]. Нагадаємо, що струм $I_{\bar{o}н}$ являє собою мінімальний (пороговий) струм бази, який забезпечує перебування транзистора на межі насичення, тобто коефіцієнт насичення при цьому $S = I_{\bar{o}}/I_{\bar{o}н} = 1$.

Величина струму бази насичення $I_{\bar{o}н}$ залежить від коефіцієнта посилення по струму β та струму колектору насичення, який залежить від E_k і R_k : $I_{\bar{o}н} = I_{кн}/\beta$, де $I_{кн}$ – струм колектору насичення. Струм $I_{кн}$, в свою чергу, визначається за законом Ома

$$I_{кн} = \frac{E_k - U_{кен}}{R_k} = \frac{12 - 0,1}{1} = 11,9mA.$$

Таким чином, $I_{\bar{o}н} = I_{кн}/\beta = 11,9/100 = 0,119mA$. У зв'язку з тим, що $I_{\bar{o}} > I_{\bar{o}н}$, то транзистор перебуває в режимі насичення.

Для визначення вихідної напруги елемента РТЛ₁ замінимо транзистор схемою заміщення з боку колектору для насичення (рис.2.5), звідки можна отримати, що $U_{out} = U_{кен} = 0,1V$.

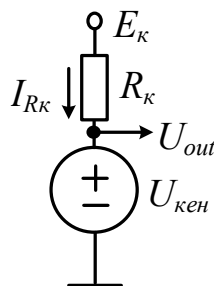


Рис. 2.5. Схема заміщення вихідного кола елемента РТЛ₁ для прикладу 2.1

Для перевірки проведених розрахунків виконаємо моделювання функціонування елемента РТЛ₁ відповідно до схеми на рис.2.1. Результати моделювання приведені на рис.2.6. Окрім схеми елемента РТЛ₁ (рис.2.6,а), також приведені результати моделювання інвертора відповідно до схеми на рис.2.3 яка є еквівалентною елементу РТЛ₁ (рис.2.6,б).

Результати моделювання струмів і напруг як в елементі РТЛ₁, так і в еквівалентному інверторі, збігаються з результатами розрахунків.

На цьому виконання прикладу 2.1 завершено.

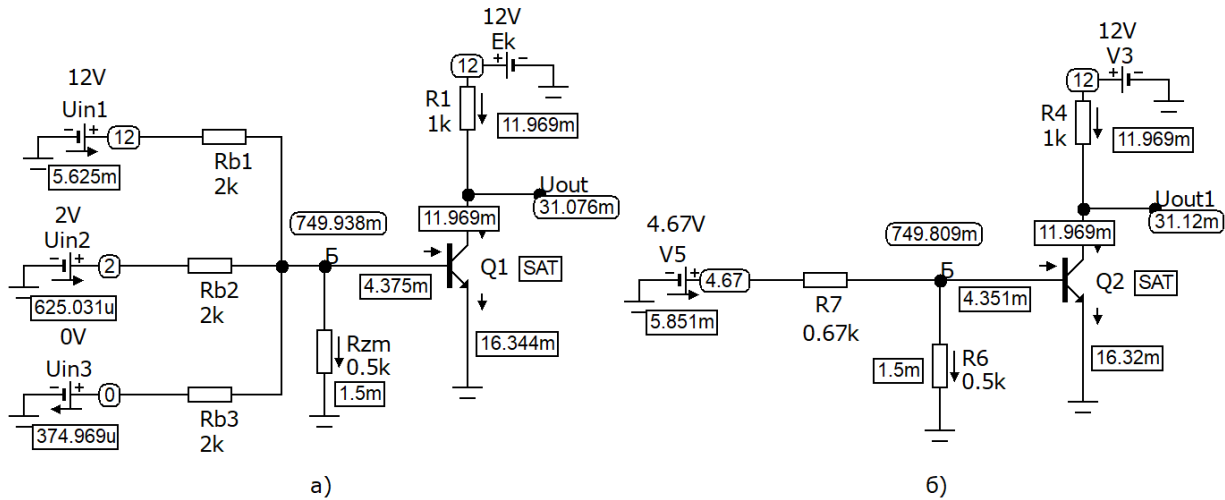


Рис. 2.6. Результати моделювання елемента РТЛ₁ для прикладу 2.1

Приклад 2.2. Визначити напруги і струми в елементі РТЛ₁ для заданих значень вхідної напруги. Параметри елемента РТЛ₁: $E_k = 12B$; $R_{\bar{o}} = 2k$; $R_k = 1k$; $R_{3m} = 0,5k$; $E_{3m} = 0B$; $I_{km} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,75B$; $m = 3$; $U_{in1} = 5B$; $U_{in2} = 0B$; $U_{in3} = 0B$.

Розв'язок.

Відповідно до виразів (2.3) визначимо параметри еквівалентної схеми вхідних кіл елемента РТЛ₁.

$$U_{in}^{xx} = \frac{\frac{U_{x1}}{R_{\bar{o}}} + \frac{U_{x2}}{R_{\bar{o}}} + \dots + \frac{U_{xm}}{R_{\bar{o}}}}{\frac{1}{R_{\bar{o}}} + \frac{1}{R_{\bar{o}}} + \dots + \frac{1}{R_{\bar{o}}}} = \frac{\frac{5}{2} + \frac{0}{2} + \frac{0}{2}}{\frac{3}{2}} = 1,67B; \quad R_{\bar{o}}^{xx} = \frac{2}{3} = 0,67k.$$

Далі виконуємо розрахунок звичайного інвертора, на вхід якого підключена напруга $U_{in}^{xx} = 1,67B$, а опір вхідного кола складає $R_{\bar{o}}^{xx} = 0,67k$.

Далі визначимо напругу холостого ходу U_B^{xx} у вузлі B

$$U_B^{xx} = \frac{\frac{U_{in}^{xx}}{R_{\bar{o}}^{xx}} + \frac{E_{3m}}{R_{3m}}}{\frac{1}{R_{\bar{o}}^{xx}} + \frac{1}{R_{3m}}} = \frac{\frac{1,67}{0,67} + \frac{0}{0,5}}{\frac{1}{0,67} + \frac{1}{0,5}} = \frac{2,49}{3,5} \approx 0,7B.$$

З результату розрахунку можна побачити, що U_B^{xx} перевищує $0,55B$, тобто діод емітера транзистора відкритий, а схема заміщення приведена на рис.2.4. Зверніть увагу, що в зв'язку з тим, що $U_B^{xx} < 0,75B$, то в якості значення $U_{\bar{o}e}$ приймаємо значення U_B^{xx} , тобто $U_B = U_B^{xx} = 0,7B$.

Далі визначаємо струми в колах R_{3m} і $R_{\bar{o}}$:

$$I_{3m} = \frac{U_B}{R_{3m}} = \frac{0,7}{0,5} = 1,4mA; \quad I_{R_{\bar{o}}} = \frac{U_{in}^{xx} - U_B}{R_{\bar{o}}^{xx}} = \frac{1,67 - 0,7}{0,67} \approx 1,45mA.$$

Струм бази транзистора визначається згідно з першим законом Кірхгофа $I_{\bar{o}} = I_{R_{\bar{o}}} - I_{3m} = 1,45 - 1,4 = 0,05mA$.

Далі виконаємо порівняння струмів $I_{\bar{o}}$ і $I_{\bar{o}H}$. Величина струму бази насичення $I_{\bar{o}H}$ визначається таким же чином, як в прикладі 2.1:

$$I_{\bar{o}H} = \frac{E_K - U_{KEH}}{\beta \cdot R_K} = \frac{12 - 0,1}{100} = 0,119mA.$$

В результаті на відміну від прикладу 2.1 $I_{\bar{o}} < I_{\bar{o}H}$, тобто транзистор перебуває в лінійному режимі. Для визначення вихідної напруги скористуємося схемою заміщення, приведеною на рис.2.7.

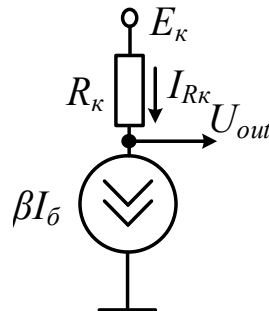


Рис. 2.7. Схема заміщення елемента РТЛ₁ для визначення вихідної напруги в прикладі 2.2

Відповідно до другого закону Кірхгофа вихідна напруга елемента РТЛ₁ визначається наступним чином

$$U_{out} = E_K - \beta \cdot I_{\bar{o}} \cdot R_K = 12 - 100 \cdot 0,05 \cdot 1 = 7V.$$

Для перевірки проведених розрахунків виконаємо моделювання функціонування елемента РТЛ₁ відповідно до схеми на рис.2.1. На рис.2.8 приведені результати моделювання елемента РТЛ₁ (рис.2.8,а) і еквівалентного інвертора (рис.2.8,б).

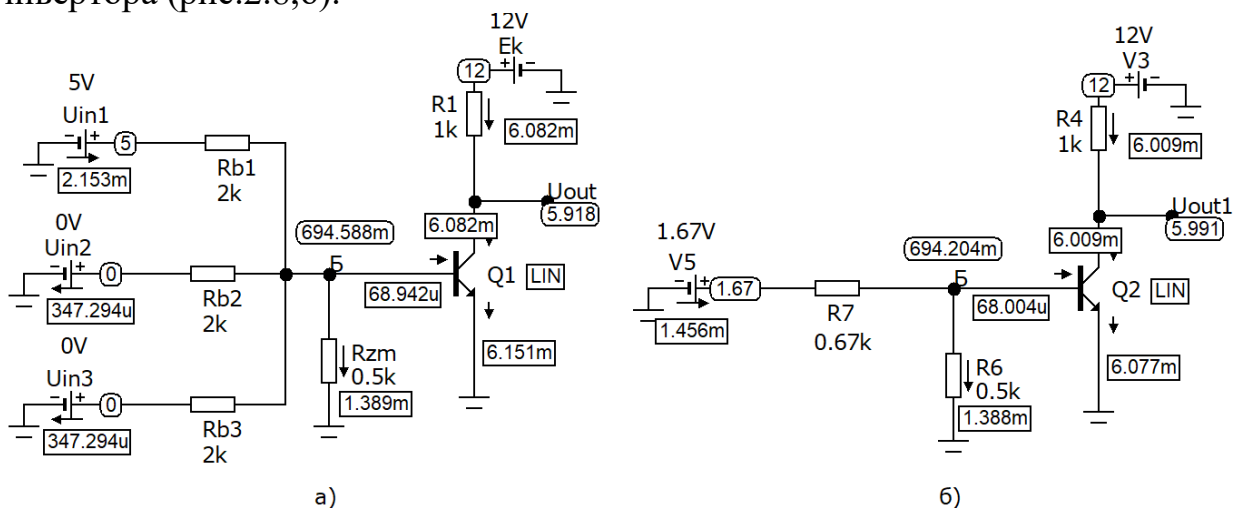


Рис. 2.8. Результати моделювання елемента РТЛ₁ для прикладу 2.2

Результати моделювання струмів і напруг як в елементі РТЛ₁, так і в еквівалентному інверторі, в основному збігаються з результатами розрахунків. Різниця у значенні вихідної напруги (5,9В при моделюванні і 7В в розрахунках) пояснюється тим, що параметри транзисторів в системі моделювання трохи відрізняються від параметрів, що використовувалися в розрахунках. Тому різниця в значеннях струмів бази в 0,01mA приводить до зміни струму колектору

на I_{mA} (нагадаємо, що в лінійному режимі $I_{\kappa} = \beta \cdot I_{\delta}$), а відповідно для параметрів колекторного кола в прикладі 2.2 – до зміни вихідної напруги на $1B$.

На цьому виконання прикладу 2.2 завершено.

Приклад 2.3. Визначити напруги і струми в елементі РТЛ₁ для заданих значень вхідної напруги. Параметри елемента РТЛ₁: $E_{\kappa} = 12B$; $R_{\delta} = 2k$; $R_{\kappa} = 1k$; $R_{3m} = 0,5k$; $E_{3m} = 0B$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\delta e} = 0,75B$; $m = 3$; $U_{in1} = 3B$; $U_{in2} = 0B$; $U_{in3} = 0B$.

Розв’язок.

Відповідно до виразів (2.3) визначимо параметри еквівалентної схеми вхідних кіл елемента РТЛ₁.

$$U_{in}^{xx} = \frac{\frac{U_{x1}}{R_{\delta}} + \frac{U_{x2}}{R_{\delta}} + \dots + \frac{U_{xm}}{R_{\delta}}}{\frac{1}{R_{\delta}} + \frac{1}{R_{\delta}} + \dots + \frac{1}{R_{\delta}}} = \frac{\frac{3}{2} + \frac{0}{2} + \frac{0}{2}}{\frac{3}{2}} = 1B; \quad R_{\delta}^{xx} = \frac{2}{3} = 0,67k.$$

Далі виконуємо розрахунок звичайного інвертора, на вхід якого підключена напруга $U_{in}^{xx} = 1B$, а опір вхідного кола складає $R_{\delta}^{xx} = 0,67k$.

Далі визначимо напругу холостого ходу U_B^{xx} у вузлі B

$$U_B^{xx} = \frac{\frac{U_{in}^{xx}}{R_{\delta}^{xx}} + \frac{E_{3m}}{R_{3m}}}{\frac{1}{R_{\delta}^{xx}} + \frac{1}{R_{3m}}} = \frac{\frac{1}{0,67} + \frac{0}{0,5}}{\frac{1}{0,67} + \frac{1}{0,5}} = \frac{1,5}{3,5} \approx 0,43B.$$

З результату розрахунку можна побачити, що U_B^{xx} не перевищує $0,55B$, тобто діод емітера транзистора закритий, а транзистор перебуває в режимі відсічки. Схема заміщення інвертора з боку бази приведена на рис.2.9.

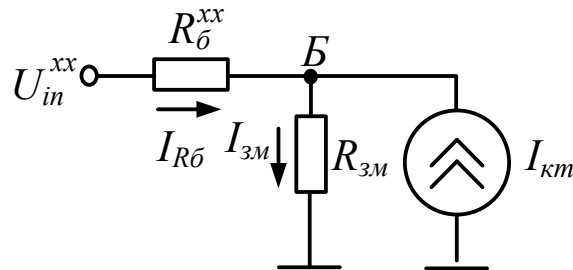


Рис. 2.9. Схема заміщення вхідного кола елемента РТЛ₁ для прикладу 2.3

Відповідно до завдання $I_{\kappa m} = 0$ (тепловий струм транзистора не враховується), тобто можна вважати, що $I_{R\delta} = I_{3m}$ і визначити ці струми за законом Ома

$$I_{3m} = I_{R\delta} = \frac{U_{in}^{xx}}{R_{\delta}^{xx} + R_{3m}} = \frac{1}{0,67 + 0,5} \approx 0,854mA.$$

Вихідна напруга елемента РТЛ₁ визначається за допомогою схеми заміщення з боку колектору, яка приведена на рис.2.10.

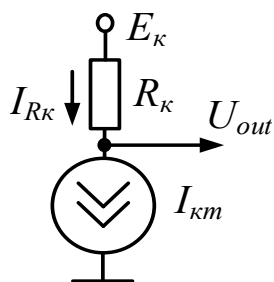


Рис. 2.10. Схема заміщення елемента РТЛ₁ для визначення вихідної напруги в прикладі 2.3

Відповідно до схеми заміщення на основі другого закону Кірхгофа вихідна напруга елемента РТЛ₁ визначається наступним чином

$$U_{out} = E_k - I_{km} \cdot R_k \approx E_k = 12V.$$

Для перевірки проведених розрахунків виконаємо моделювання функціонування елемента РТЛ₁ відповідно до схеми на рис.2.1. На рис.2.11 приведені результати моделювання елемента РТЛ₁ (рис.2.11,а) і еквівалентного інвертора (рис.2.11,б).

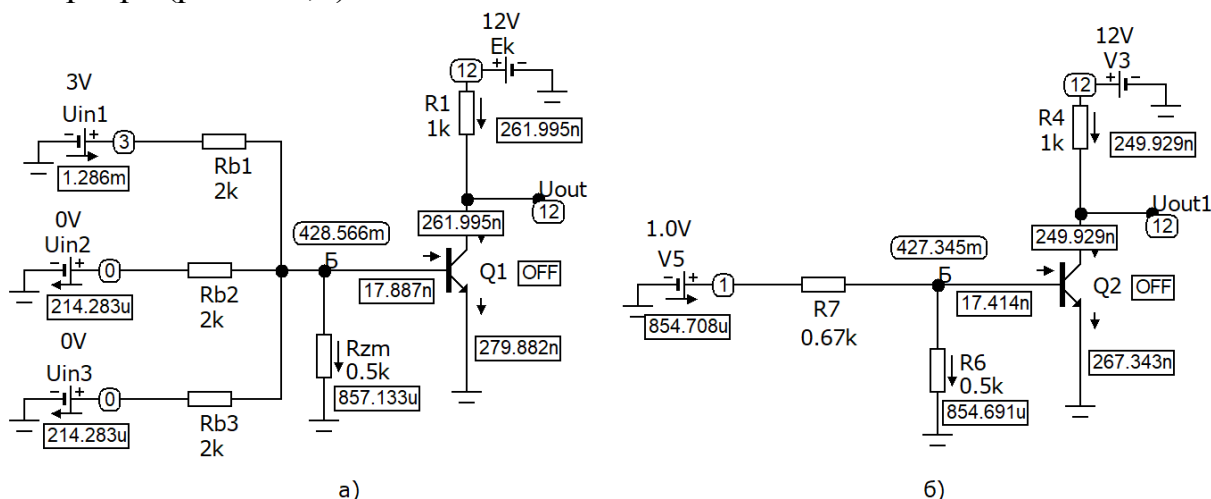


Рис. 2.11. Результати моделювання елемента РТЛ₁ для прикладу 2.3

Результати моделювання струмів і напруг як в елементі РТЛ₁, так і в еквівалентному інверторі, збігаються з результатами розрахунків.

На цьому виконання прикладу 2.3 завершено.

Для забезпечення коректного функціонування резистори елемента РТЛ₁ необхідно розраховувати таким чином, щоб транзистор елемента перемикався в режим насичення за наявності високого рівня напруги хоча б на одному вході. Таким чином, найскладнішими випадками для роботи елемента РТЛ₁ є наявність низьких рівнів вхідної напруги для забезпечення відсічки транзистора і наявність хоча б одного високого рівня напруги на вході для забезпечення насичення транзистора.

У зв'язку з тим, що аналіз функціонування елемента РТЛ₁ зводиться до розрахунку параметрів звичайного інвертора, то в елементах РТЛ можна використовувати діоди фіксації, форсувальну ємність (наприклад, за схемою на

рис.2.12) або негативний нелінійний зворотний зв'язок, як у звичайному інверторі.

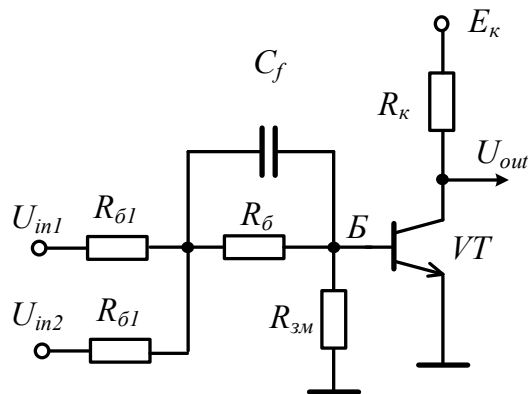


Рис. 2.12. Двовходовий елемент РТЛ₁ з C_f

Контрольні завдання та запитання

1. На які типи можна поділити елементи РТЛ з точки зору схемної реалізації?
2. В чому полягає принцип роботи логічного елемента, побудованого на базі однострижорного елемента РТЛ?
3. Поясніть принцип роботи логічного елемента, схема якого приведена на рис.2.1.
4. Яку логічну функцію при використанні логіки високого рівня виконує елемент РТЛ на рис.2.1?
5. Яку логічну функцію при використанні логіки низького рівня виконує елемент РТЛ на рис.2.1?
6. В якому режимі перебуває транзистор в схемі на рис.2.1, якщо на один з входів підключити вхідну напругу високого рівня, а на решту входів – напругу низького рівня?
7. В якому режимі перебуває транзистор в схемі на рис.2.1, якщо на всі входи підключити вхідну напругу високого рівня?
8. В якому режимі перебуває транзистор в схемі на рис.2.1, якщо на всі входи підключити вхідну напругу низького рівня?
9. Яку роль в елементі РТЛ₁ виконують резистори R_δ ?
10. Яку роль в елементі РТЛ₁ виконує транзистор?
11. Яку роль в елементі РТЛ₁ виконує коло зміщення?
12. Вихідний сигнал якого рівня формується на виході елемента РТЛ₁, якщо транзистор перебуває в режимі відсічки?
13. Вихідний сигнал якого рівня формується на виході елемента РТЛ₁, якщо транзистор перебуває в режимі насичення?
14. Який сигнал формується на виході елемента РТЛ₁, якщо транзистор перебуває в лінійному режимі?
15. Прокоментуйте таблицю 2.1.
16. Яким чином з таблиці 2.1 отримати таблицю істинності для кодування сигналів відповідно до логіки високого рівня?

17. Яким чином з таблиці 2.1 отримати таблицю істинності для кодування сигналів відповідно до логіки низького рівня?
18. В чому полягає послідовність розрахунку струмів і напруг в елементі РТЛ₁?
19. В чому полягає суть метода еквівалентного генератора?
20. Прокоментуйте перетворення на рис.2.2.
21. Яким чином відбувається визначення еквівалентних параметрів холостого ходу вхідних кіл елемента РТЛ₁?
22. Що являє собою еквівалентне вхідне коло елемента РТЛ₁?
23. За допомогою якого метода визначається величина U_{in}^{xx} ?
24. Яким чином визначається величина R_{σ}^{xx} ?
25. Прокоментуйте вираз (2.1).
26. Прокоментуйте вираз (2.2).
27. Прокоментуйте вирази (2.3).
28. Прокоментуйте схему на рис.2.2,в.
29. Яким чином отримано схему на рис.2.3?
30. Що являє собою схема на рис.2.3?
31. Для чого необхідно приводити схему елемента РТЛ₁ до схеми звичайного інвертора?
32. Як визначити величину U_B^{xx} інвертора?
33. Як визначити стан діода колектору в транзисторі?
34. В якому стані перебуває транзистор, якщо виконується умова $I_{\sigma} \geq I_{\sigma n}$?
35. В якому стані перебуває транзистор, якщо не виконується умова $I_{\sigma} \geq I_{\sigma n}$?
36. Що відбувається в транзисторі, якщо $I_{\sigma} = I_{\sigma n}$?
37. Як визначити вихідну напругу елемента РТЛ₁, якщо транзистор елемента перебуває в режимі насичення?
38. Як визначити вихідну напругу елемента РТЛ₁, якщо транзистор елемента перебуває в режимі відсічки?
39. Прокоментуйте результати моделювання на рис.2.6,а.
40. Прокоментуйте результати моделювання на рис.2.6,б.
41. Прокоментуйте схему заміщення на рис.2.7.
42. Чому лінійний режим роботи транзистора не доцільно використовувати в логічних елементах?
43. Прокоментуйте результати моделювання на рис.2.8,а.
44. Прокоментуйте результати моделювання на рис.2.8,б.
45. Прокоментуйте схему заміщення на рис.2.9.
46. Прокоментуйте схему заміщення на рис.2.10.
47. Прокоментуйте результати моделювання на рис.2.11,а.
48. Прокоментуйте результати моделювання на рис.2.11,б.
49. Які комбінації вхідних сигналів є найскладнішими для забезпечення насичення транзистора?
50. Приведіть схему елемента РТЛ₁ з діодом фіксації.
51. Поясніть принцип роботи схеми на рис.2.12.
52. Приведіть схему елемента РТЛ₁ з нелінійним зв'язком.

2.1.2. Параметри елементів РТЛ₁

В якості параметрів логічних елементів різних систем цифрових інтегральних схем будемо визначати коефіцієнт розгалуження, завадостійкість та споживану потужність [1]. Як вже було відзначено раніше, розрахунок струмів і напруг в елементі РТЛ₁ приводиться до аналізу еквівалентної схеми звичайного інвертора. В зв'язку з цим визначення вказаних вище параметрів не відрізняється від розрахунку таких параметрів звичайного інвертора.

Далі визначимо ще один параметр, який визначає максимальну кількість входів логічного елемента (m_{max}), за якої елемент РТЛ₁ ще коректно працює. Для цього розглянемо два випадки:

1. На всі входи елемента надходять низькі рівні вхідної напруги.
2. На один з входів елемента надходить високий рівень, а на решту входів – низький рівень вхідної напруги.

Розглянемо перший випадок. При надходженні низького рівня напруги на всі входи необхідно забезпечити режим відсічки транзистора елемента РТЛ₁. Для цього потрібно забезпечити виконання нерівності $U_B^{xx} < U_{\pi}$, де U_{π} – порогова напруга відпирання діода емітера транзистора ($U_{\pi} = 0,55V$). Але для забезпечення надійного запирання транзистора будемо використовувати умову $U_B^{xx} < 0,3V$.

Схема для розрахунку із зазначенням напрямів струмів приведена на рис.2.13.

Зі схеми можна побачити, що при додатних значеннях вхідної напруги через вхідний опір R_{δ} кожного входу протікає струм до вузла B , підвищуючи потенціал бази транзистора, що може привести до відкриття діода емітера.

Відповідно до метода двох вузлів при відключеному транзисторі від вузла B , можна записати:

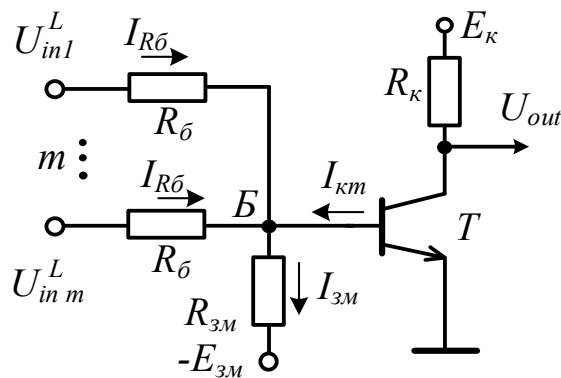


Рис. 2.13. Напрями струмів при низьких рівнях вхідної напруги

$$U_B^{xx} = \frac{\frac{m_L U_{in}^L}{R_{\delta}} + \frac{E_{3M}}{R_{3M}}}{\frac{m_L}{R_{\delta}} + \frac{1}{R_{3M}}} < 0,3V,$$

де m_L – кількість входів елемента РТЛ₁ при низьких рівнях вхідної напруги. Визначимо m_L .

$$U_B^{xx} = \frac{\frac{m_L U_{in}^L R_{3M}}{R_{\bar{\sigma}} R_{3M}} + \frac{E_{3M} R_{\bar{\sigma}}}{R_{\bar{\sigma}} R_{3M}}}{\frac{m_L R_{3M}}{R_{\bar{\sigma}} R_{3M}} + \frac{R_{\bar{\sigma}}}{R_{\bar{\sigma}} R_{3M}}} \leq 0,3B; \quad \frac{m_L U_{in}^L R_{3M} + E_{3M} R_{\bar{\sigma}}}{m_L R_{3M} + R_{\bar{\sigma}}} \leq 0,3B;$$

$$m_L U_{in}^L R_{3M} + E_{3M} R_{\bar{\sigma}} \leq 0,3(m_L R_{3M} + R_{\bar{\sigma}});$$

$$m_L U_{in}^L R_{3M} - 0,3m_L R_{3M} \leq 0,3R_{\bar{\sigma}} - E_{3M} R_{\bar{\sigma}};$$

$$m_L R_{3M} (U_x^L - 0,3) \leq 0,3R_{\bar{\sigma}} - E_{3M} R_{\bar{\sigma}};$$

В результаті, маємо

$$m_L \leq \frac{(0,3 - E_{3M}) R_{\bar{\sigma}}}{(U_x^L - 0,3) R_{3M}}, \text{ якщо } U_{in}^L \geq 0,3B; \quad (2.4)$$

$$m_L \geq \frac{(0,3 - E_{3M}) R_{\bar{\sigma}}}{(U_x^L - 0,3) R_{3M}}, \text{ якщо } U_{in}^L < 0,3B. \quad (2.5)$$

Враховуючи, що $m_L > 0$, з нерівності (2.5) випливає, що при $U_{in}^L < 0,3B$ знаменник є від'ємним, тобто елемент коректно функціонує з будь-якою кількістю входів.

З нерівності (2.4) випливає, що при $U_{in}^L = 0,3B$ знаменник дорівнює нулю, тобто $m_L < \infty$ і теж елемент коректно функціонує з будь-якою кількістю входів.

Таким чином, обмеження на кількість входів елемента існує тільки за умови $U_{in}^L > 0,3B$. При цьому дробовий результат округлюється до найближчого меншого цілого.

Далі розглянемо другий режим, за яким на один з входів підключений високий рівень напруги, а на інші входи – низький рівень. В цьому випадку необхідно забезпечити насичення транзистора. Схема для розрахунку із зазначенням напрямів струмів приведена на рис.2.14.

Нехай високий рівень напруги підключений до першого входу елемента. Тоді зі схеми на рис.2.14 можна побачити, що через резистори $R_{\bar{\sigma}}$ входів, що підключені до низького рівня напруги (входи 2, ..., m), протікають струми, які зменшують струм бази транзистора. Це може привести до того, що струм бази $I_{\bar{\sigma}}$ транзистора стане менше струму бази насичення $I_{\bar{\sigma}H}$, в результаті чого транзистор вийде з насичення, вихідна напруга буде збільшуватися, тобто логіка роботи елемента буде порушена.

Таким чином, для забезпечення роботи транзистора в режимі насичення необхідно забезпечити виконання умови $I_{\bar{\sigma}} \geq I_{\bar{\sigma}H}$ [1]. Відповідно до першого закону Кірхгофа запишемо

$$I_{R_{\bar{\sigma}H}} - (m_H - 1) \cdot I_{R_{\bar{\sigma}L}} - I_{3M} \geq I_{\bar{\sigma}H}, \quad (2.6)$$

де m_H – максимальна кількість входів при підключенні високого рівня вхідної напруги на один з входів елемента РТЛ₁;

$I_{R_{\bar{\sigma}H}}$ – струм вхідного кола елемента РТЛ₁, на який підключений високий рівень вхідної напруги;

$I_{R_{\bar{\sigma}L}}$ – струм вхідного кола елемента РТЛ₁, на який підключений низький рівень вхідної напруги.

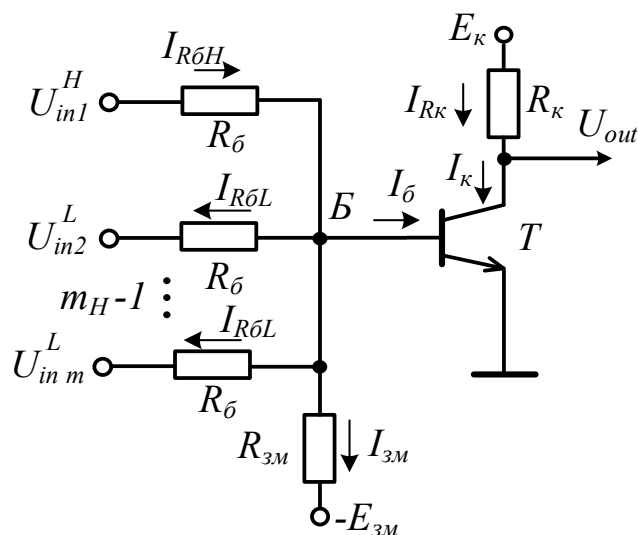


Рис. 2.14. Напрями струмів при високому рівні напруги на першому вході елемента РТЛ₁

Розв'яжемо нерівність (2.6) відносно m_H .

$$\begin{aligned} I_{R\delta H} - I_{3M} - I_{\delta H} &\geq (m_H - 1) \cdot I_{R\delta L}; \\ (m_H - 1) \cdot I_{R\delta L} &\leq I_{R\delta H} - I_{3M} - I_{\delta H}; \\ m_H &\leq \frac{I_{R\delta H} - I_{3M} - I_{\delta H}}{I_{R\delta L}} + 1. \end{aligned} \quad (2.7)$$

Визначивши струми у виразі (2.7) за законом Ома, отримаємо

$$\begin{aligned} m_H &\leq \frac{\frac{U_{in1}^H - U_B}{R_\delta} - \frac{U_B - E_{3M}}{R_{3M}} - \frac{E_\kappa - U_{out}}{\beta \cdot R_\kappa}}{\frac{U_B - U_{in}^L}{R_\delta}} + 1; \\ m_H &\leq \frac{(U_{in1}^H - U_B) - \frac{R_\delta}{R_{3M}}(U_B - E_{3M}) - \frac{R_\delta}{\beta \cdot R_\kappa}(E_\kappa - U_{out})}{U_B - U_{in}^L} + 1, \end{aligned} \quad (2.8)$$

де $U_B = U_{\delta e}$; $U_{out} = U_{кен}$.

З виразу (2.8) витікає, що при $U_{in}^L = U_{\delta e} = 0,75B$ знаменник дорівнює нулю, тобто $m_H < \infty$, і елемент РТЛ₁ коректно функціонує за будь-якої кількості входів.

Крім того, з нерівності (2.8) витікає, що при $U_{in}^L > U_{\delta e}$ знаменник стає від'ємним, а чисельник залишається додатним, тобто елемент РТЛ₁ коректно функціонує за будь-якої кількості входів.

Таким чином, обмеження на кількість входів елемента існує тільки за умови $U_{in}^L < U_{\delta e}$.

Після розрахунку значень m_H і m_L в якості результату обирається мінімальне з них $m_{max} = \min(m_H, m_L)$.

В результаті розрахунків можна зробити висновок, що якщо $U_{in}^L \geq 0,75B$, то для m_{max} достатньо розраховувати тільки m_L , а якщо $U_{in}^L \leq 0,3B$, то достатньо розраховувати тільки m_H . В разі, якщо виконується умова $0,3B < U_{in}^L < 0,75B$, то необхідно визначати обидва параметри і обирати мінімальний з них.

Приклад 2.4. Визначити максимальну кількість входів елемента РТЛ₁ для заданих значень вхідної напруги. Параметри елемента РТЛ₁: $E_K = 12B$; $R_{\delta} = 2k$; $R_K = 1k$; $R_{3M} = 0,5k$; $E_{3M} = 0B$; $I_{KM} = 0$; $\beta = 100$; $U_{be} = 0,75B$; $U_{in}^H = 5B$; $U_{in}^L = 0,5B$.

Розв'язок.

У зв'язку з тим, що величина низького рівня вхідної напруги відповідає умові $0,3B < U_{in}^L < 0,75B$, то необхідно визначати m_H і m_L . Відповідно до виразу (2.8), маємо

$$m_H \leq \frac{(U_{in}^H - U_B) - \frac{R_{\delta}}{R_{3M}}(U_B - E_{3M}) - \frac{R_{\delta}}{\beta \cdot R_K}(E_K - U_{out})}{U_B - U_{in}^L} + 1;$$

$$m_H \leq \frac{(5 - 0,75) - \frac{2}{0,5}(0,75) - \frac{2}{100 \cdot 1}(12 - 0,1)}{0,75 - 0,5} + 1;$$

$$m_H \leq 5,048; \quad m_H = 5.$$

Відповідно до виразу (2.4), можна отримати

$$m_L \leq \frac{(0,3 - E_{3M})R_{\delta}}{(U_x^L - 0,3)R_{3M}}; \quad m_L \leq \frac{0,3 \cdot 2}{0,2 \cdot 0,5}; \quad m_L \leq 6; \quad m_L = 6.$$

Таким чином, $m_{max} = \min(m_H, m_L) = 5$.

Виконаємо перевірку розрахунків за допомогою моделювання, результати якого приведені на рис.2.15. При цьому на рис.2.15,а приведені результати моделювання 5-входового елемента РТЛ₁ з високим рівнем напруги на першому вході і низькою напругою на решті входів. На результатах моделювання можна побачити, що транзистор елемента перебуває в режимі насичення.

Для зменшення обсягу схеми при моделюванні вхідні кола, що відповідають входам з низьким рівнем напруги, можна замінити еквівалентною схемою на основі метода еквівалентного генератора. При цьому вхідна еквівалентна напруга залишається на рівні $0,5B$ (відповідно до умови завдання), а еквівалентний вхідний опір визначається за виразом $R_{beq} = R_b / k$, де k – кількість об'єднаних вхідних кіл (для прикладу 2.4 $k = 4$), тобто $R_{beq} = 0,5k$. Еквівалентна схема приведена на рис.2.15,б, де вхідне коло з резистором R_{beq} заміняє чотири вхідних кола (входи 2-5) схеми на рис.2.15,а.

Результати моделювання показують еквівалентність схем на рис.2.15,а і рис.2.15,б.

Відповідно до розрахунків під час розв'язку прикладу 2.4 було отримано, що максимальна кількість входів заданого елемента РТЛ₁ дорівнює 5. На рис.2.16 приведені результати моделювання 6-входового елемента РТЛ₁, де на перший вхід надходить високий рівень напруги, а на решту входів (входи 2-6) – низький рівень, причому вхідні кола входів 2-6 замінені еквівалентним колом з $R_{beq} = R_b / k$, де $k = 5$, тобто $R_{beq} = 0,4k$.

З результатів моделювання на рис.2.16 можна побачити, що додавання шостого входу приводить до переходу транзистор в лінійний режим, підвищенню вихідної напруги і порушенню логіки роботи елемента.

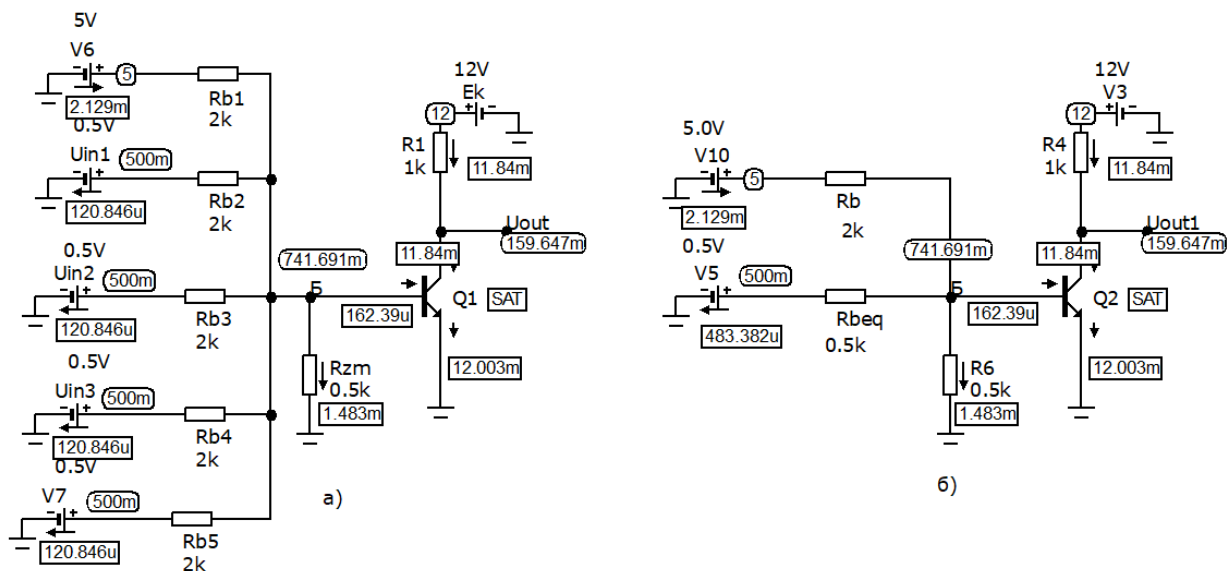


Рис. 2.15. Результати моделювання елемента РТЛ₁ при високому рівні напруги на першому вході (приклад 2.4)

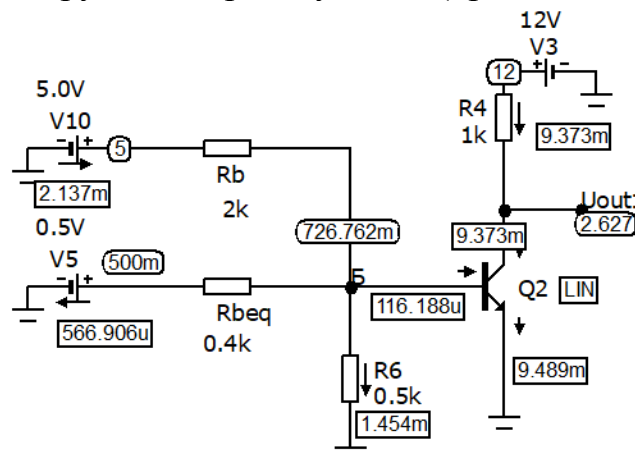


Рис. 2.16. Результати моделювання 6-входового елемента РТЛ₁ при високому рівні напруги на першому вході (приклад 2.4)

Таким чином, результати моделювання підтвердили коректність розрахунків максимальної кількості входів елемента РТЛ₁.

На цьому виконання прикладу 2.4 завершено.

Контрольні завдання та запитання

1. Як визначити коефіцієнт розгалуження елемента РТЛ₁?
2. Для якого стану транзистора елемента-джерела необхідно обчислювати коефіцієнт розгалуження?
3. Що відбувається в елементі РТЛ₁ при перевантаженні?
4. Як визначити завадостійкість елемента РТЛ₁?
5. Як визначити споживану потужність елемента РТЛ₁?
6. Для яких режимів необхідно визначати максимальну m_{max} кількість входів елемента РТЛ₁?
7. Як визначити m_{max} елемента РТЛ₁, якщо на входи надходять напруги низького рівня?

8. Як визначити m_{max} елемента РТЛ₁, якщо високий рівень напруги надходить тільки на один вхід?
9. Чому при надходженні напруг низького рівня на всі входи транзистор може відкритися?
10. Яку умову необхідно виконати, щоб забезпечити коректне функціонування елемента РТЛ₁ при надходженні низьких рівнів вхідної напруги?
11. Прокоментуйте схему на рис.2.13.
12. Прокоментуйте вирази (2.4) і (2.5).
13. Яким чином величина U_{in}^L впливає на максимальну кількість входів РТЛ₁ при низькому рівні вхідної напруги на всіх входах?
14. Як визначається m_{max} при низькому рівні вхідної напруги на всіх входах, якщо $U_{in}^L < 0,3V$?
15. Як визначається m_{max} при низькому рівні вхідної напруги на всіх входах, якщо $U_{in}^L = 0,3V$?
16. Як визначається m_{max} при низькому рівні вхідної напруги на всіх входах, якщо $U_{in}^L > 0,3V$?
17. Який режим роботи транзистора необхідно забезпечити при надходженні високого рівня вхідної напруги тільки на один вхід елемента РТЛ₁?
18. Який режим роботи транзистора необхідно забезпечити при надходженні високого рівня вхідної напруги тільки на всі входи елемента РТЛ₁?
19. Поясніть напрями струмів в схемі на рис.2.14.
20. Що буде відбуватися в елементі РТЛ₁ при високому рівня вхідної напруги на одному з входів, якщо кількість входів цього елемента перевищує m_{max} ?
21. Прокоментуйте вираз (2.6).
22. Виконайте аналіз нерівності (2.8).
23. Як визначається m_{max} при високому рівні вхідної напруги на одному вході, якщо $U_{in}^L = U_{be}$?
24. Як визначається m_{max} при високому рівні вхідної напруги на одному вході, якщо $U_{in}^L > U_{be}$?
25. Як визначається m_{max} при високому рівні вхідної напруги на одному вході, якщо $U_{in}^L < U_{be}$?
26. Як визначити максимальну кількість входів елемента РТЛ₁ за відомих значень m_H і m_L ?
27. В якому випадку достатньо розраховувати тільки m_H ?
28. В якому випадку достатньо розраховувати тільки m_L ?
29. В якому випадку необхідно розраховувати як m_H , так і m_L ?
30. Прокоментуйте результати моделювання на рис.2.15,а?
31. Прокоментуйте результати моделювання на рис.2.15,б?

32. В чому полягає різниця між результатами моделювання на рис.2.15,а і рис.2.15,б?
33. Прокоментуйте результати моделювання на рис.2.16?
34. Яким чином схема, що приведена на рис.2.16, відображує 6- входовий елемент РТЛ₁?
35. Яким чином схема, що приведена на рис.2.15,б, відображує 5- входовий елемент РТЛ₁?
36. Якими параметрами характеризується функціонування цифрових елементів?
37. Яким чином можна отримати еквівалентну схему елемента РТЛ₁, щоб не моделювати багату кількість входів?
38. За допомогою яких способів можна забезпечити підвищення швидкодії елемента РТЛ₁?

2.1.3. Багатотранзисторні елементи РТЛ

Як вже відзначалося в попередньому підрозділі, в елементах РТЛ₁ багатовходова логічна функція (наприклад, АБО) реалізується за допомогою резисторів, а транзистор забезпечує реалізацію логічної функції інвертування. В багатотранзисторних елементах РТЛ кожний транзистор також реалізує функцію інвертування, а багатовходова логічна функція утворюється за рахунок різних способів з'єднання транзисторів. Далі багатотранзисторні елементи РТЛ будемо позначати РТЛ_n.

При цьому розрізняють:

- елементи РТЛ з використанням паралельного з'єднання транзисторів (паралельні РТЛ_n);
- елементи РТЛ з використанням послідовного з'єднання транзисторів (послідовні РТЛ_n).

2.1.3.1. Елементи РТЛ з паралельним з'єднанням транзисторів

В паралельних елементах РТЛ_n колектори транзисторів об'єднані в один вузол. Таке паралельне з'єднання транзисторів забезпечує реалізацію багатовходової логічної функції.

Схема *m*-входового паралельного елемента РТЛ_n приведена на рис.2.17.

Як можна побачити зі схеми елемента РТЛ_n колектори транзисторів T_1, \dots, T_m з'єднані в один вузол, а емітери підключені на землю, тобто також підключені в один вузол.

Розглянемо принцип роботи такого елемента.

Якщо на всі входи елемента підключити напруги низького рівня, то транзистори T_1, \dots, T_m перебувають в режимі відсічки, а на виході елемента формується напруга високого рівня.

При підключенні на хоча б один вхід елемента напруги високого рівня відповідний транзистор перебуває в режимі насичення, а на виході елемента формується напруга низького рівня. Завдяки паралельному з'єднанню

транзисторів на виході формується низький рівень, якщо хоча б один з транзисторів буде працювати в режимі насичення.

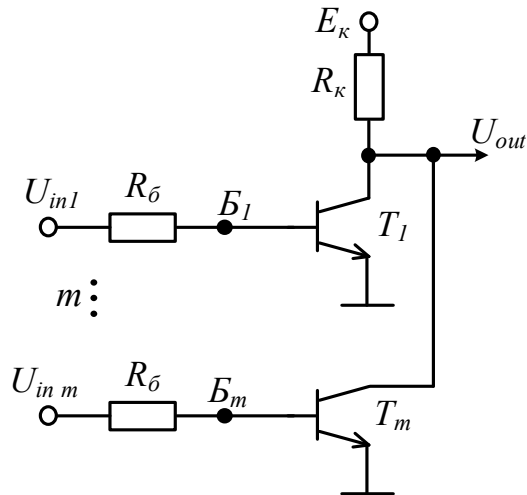


Рис. 2.17. Схема m -входового паралельного елемента РТЛ_n

В результаті розгляду принципу функціонування можна скласти таблицю істинності, наприклад для двовходового елемента ($m = 2$), яка буде виглядати таким же чином, як табл.2.1.

Таким чином, елемент РТЛ_n при використанні кодування сигналів відповідно до логіки високого рівня реалізує логічну функцію Пірса (2АБО-НІ), а для логіки низького рівня – функцію Шефера (2І-НІ). При цьому, на відміну від елементів РТЛ₁, в яких спочатку на резисторах реалізується функція АБО (для логіки високого рівня), а потім – функція інверсії, в елементах РТЛ_n спочатку виконується інвертування вхідних сигналів за допомогою транзисторів, а потім реалізується фактично функція І (для логіки високого рівня) відносно колекторів транзисторів (формується напруга низького рівня, якщо хоча б один транзистор перебуває в режимі насичення, тобто, якщо хоча б на одному колекторі буде низький рівень). В результаті в загальному випадку для логіки високого рівня можна записати $y = \overline{x_1} \cdot \overline{x_2} \cdot \dots \cdot \overline{x_m} = \overline{x_1 \vee x_2 \vee \dots \vee x_m}$, тобто логічний елемент реалізує функцію АБО-НІ. Реалізація логічної функції за допомогою безпосереднього з'єднання виходів логічних елементів в електричний вузол називається монтажною логікою.

Розрахунок струмів і напруг в m -входовому елементі РТЛ_n будемо проводити для двох випадків:

- на всі входи надходять сигнали низького рівня;
- на один з входів (наприклад, на перший) надходить високий рівень напруги, а на решту входів – низький рівень.

Розглянемо перший випадок.

На всі входи елемента РТЛ_n надходить напруга, що відповідає низькому рівню.

В цьому випадку всі транзистори елемента РТЛ_n повинні перебувати в режимі відсічки. В зв'язку з тим, що вхідні кола елемента не залежать одне від одного, то схема заміщення елемента з боку бази для відсічки транзисторів може

бути представлена окремо для кожного входу. Схема заміщення приведена на рис.2.18, на якому i – номер входу елемента РТЛ_п.

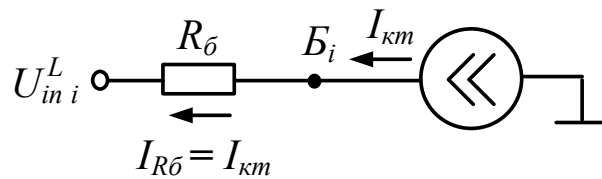


Рис. 2.18. Схема заміщення i -того вхідного кола з боку бази транзистора при низькому рівні напруги на вході

Для забезпечення відсічки транзистора в складі i -того вхідного кола необхідно забезпечити виконання умови $U_{Bi}^{xx} < 0,5B$, де U_{Bi}^{xx} – напруга холостого ходу у вузлі B i -того входу, причому $U_{Bi}^{xx} = U_{in i}^L$. В цьому випадку транзистор з боку бази представляється джерелом струму $I_{км}$ [1]. У зв'язку з тим, що схема складається з однієї електричної гілки, то $I_{R\delta} = I_{км}$.

Напругу у вузлі бази можна визначити за виразом відповідно до другого закону Кірхгофа $U_{\delta i} = U_{in i}^L + I_{км} \cdot R_{\delta}$. З цього виразу випливає, що зі збільшенням $I_{км}$ (наприклад, при підвищенні температури) напруга у вузлі B збільшується, що теоретично може привести до відкриття діода емітера транзистора. Тому для забезпечення більш надійної відсічки транзистора доцільно використовувати умову $U_{in i}^L + I_{км max} \cdot R_{\delta} < 0,5B$, де $I_{км max}$ – значення теплового струму колектору при максимальній температурі, яка відповідає умовам використання елемента РТЛ.

Для розрахунку вихідної напруги будемо використовувати схему заміщення (рис.2.19) колекторного кола елемента РТЛ для стану відсічки всіх транзисторів. Відповідно до другого закону Кірхгофа вихідна напруга визначається за виразом $U_{out} = E_{к} - I_{Rк} \cdot R_{к}$.

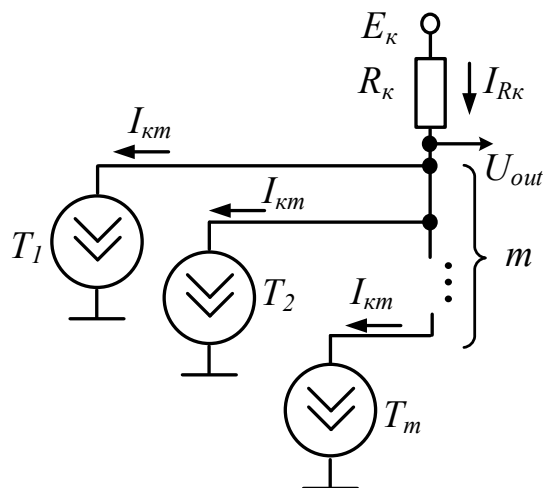


Рис. 2.19. Схема заміщення колекторного кола елемента РТЛ_п при низькому рівні напруги на всіх входах

В свою чергу, відповідно до першого закону Кірхгофа $I_{Rк} = m \cdot I_{км}$, тобто $U_{out} = E_{к} - m \cdot I_{км} \cdot R_{к}$. Якщо $I_{км}$ набагато менше інших струмів, то $U_{out} \approx E_{к}$. Але в загальному випадку для забезпечення правильної роботи елемента РТЛ_п

необхідно забезпечити виконання умови $U_{out} \geq U_{min}^H$, де U_{min}^H – мінімальне значення напруги, яке відповідає високому рівню.

Далі розглянемо випадок, коли на один з входів надходить високий рівень напруги, а на інші – низькі рівні. Нехай високий рівень напруги надходить на перший вхід елемента РТЛ_n.

В цьому випадку транзистор T_1 елемента РТЛ_n повинен перебувати в режимі насичення, а інші – в режимі відсічки.

В зв'язку з тим, що вхідні кола елемента не залежать одне від одного, то схема заміщення кола для першого входу, на який підключений високий рівень напруги, приведена на рис.2.20. Схеми заміщення для входів з низьким рівнем вхідної напруги були приведені на рис.2.18.

Для забезпечення насичення транзистора першого входу елемента необхідно забезпечити виконання умови $U_{B1}^{xx} \geq 0,75B$, де U_{B1}^{xx} – напруга холостого ходу у вузлі B_1 першого входу, причому $U_{B1}^{xx} = U_{in1}^H$. В цьому випадку транзистор з боку бази представляється джерелом напруги U_{be} [1]. У зв'язку з тим, що схема складається з однієї електричної гілки, то $I_{R\bar{o}} = I_{\bar{o}}$.

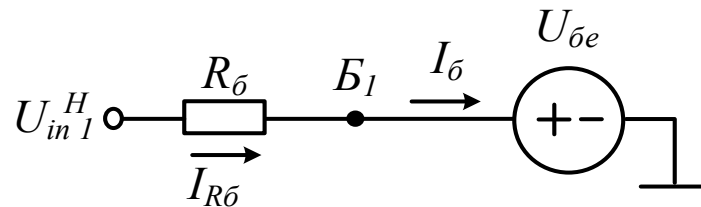


Рис. 2.20. Схема заміщення кола для першого входу з боку бази транзистора при високому рівні напруги на вході

Відповідно до другого закону Кірхгофа напруга у вузлі B_1 визначається за виразом $U_{B1} = U_{be} = 0,75B$. В результаті можна визначити струм бази транзистора відповідно до закону Ома:

$$I_{R\bar{o}} = I_{\bar{o}} = \frac{U_{in1}^H - U_{be}}{R_{\bar{o}}}.$$

Для забезпечення насичення транзистора необхідно виконати умову $I_{\bar{o}} \geq I_{\bar{o}n}$, де $I_{\bar{o}n}$ – струм бази насичення, який визначається за виразом $I_{\bar{o}n} = I_{кн} / \beta$ [1]. В свою чергу струм колектору насичення $I_{кн}$ визначається за допомогою схеми заміщення вихідного кола елемента РТЛ_n, яка приведена на рис.2.21,а.

Відповідно до другого закону Кірхгофа $U_{out} = U_{кен} = 0,1B$. Згідно з першим законом Кірхгофа $I_{кн} = I_{Rк} - (m-1) \cdot I_{км}$, де $I_{Rк}$ визначається відповідно до закону Ома

$$I_{Rк} = \frac{E_k - U_{out}}{R_k}.$$

Якщо $I_{\bar{o}} < I_{\bar{o}n}$ і $U_{B1}^{xx} \geq 0,75B$, то транзистор перебуває в лінійному режимі. Схема заміщення для цього випадку приведена на рис.2.21,б.

Вихідна напруга визначається за другим законом Кірхгофа

$$U_{out} = E_k - \beta \cdot I_{\bar{o}} \cdot R_k.$$

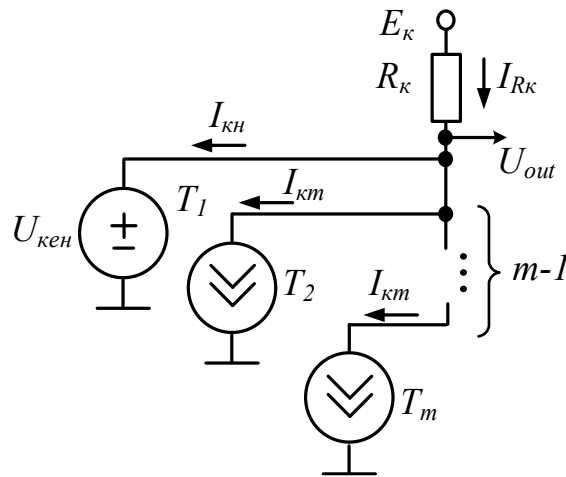


Рис. 2.21,а. Схема заміщення вихідного кола елемента РТЛ_н при високому рівні напруги на першому вході

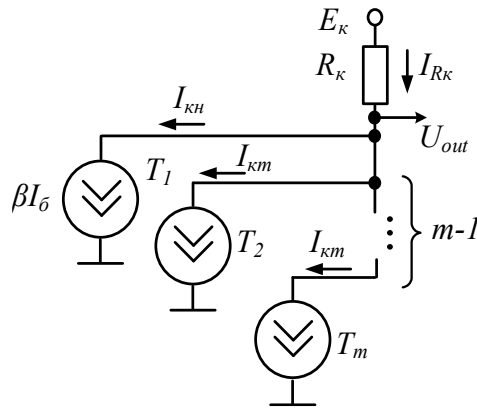


Рис. 2.21,б. Схема заміщення вихідного кола елемента РТЛ_н при високому рівні напруги на першому вході та лінійному режимі роботи транзистора T_1

Далі розглянемо випадок, коли на кілька входів (наприклад, на всі входи) надходять напруги високого рівня. В цьому випадку всі транзистори, на базу яких підключено високий рівень, перебувають в режимі насичення. Схема заміщення вихідного кола елемента РТЛ_н для цього випадку приведена на рис.2.22.

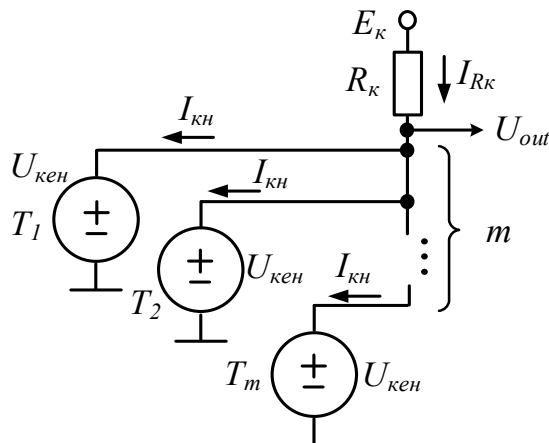


Рис. 2.22. Схема заміщення вихідного кола елемента РТЛ_н при високих рівнях напруги на входах

Відповідно до першого закону Кірхгофа $I_{Rk} = m \cdot I_{kn}$, тобто $I_{kn} = I_{Rk} / m$, де величина I_{Rk} визначається таким же чином, що і для випадку з високим рівнем напруги на одному з входів. Це означає, що для випадку кількох високих рівнів на вході відбувається зменшення струму I_{kn} , а відповідно до цього зменшення струму бази насичення, необхідного для переключення транзистора в режим насичення.

Розглянемо приклади розрахунку елементів РТЛ_n.

Приклад 2.5. Визначити напруги і струми в паралельному елементі РТЛ_n для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12V$; $R_{\sigma} = 2k$; $R_k = 1k$; $I_{knt} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $m = 3$; $U_{in1} = 0,1V$; $U_{in2} = 0,4V$; $U_{in3} = 0,1V$.

Розв'язок.

Всі значення вхідної напруги відповідають низькому рівню $U_{Bi}^{xx} < 0,5V$. Схема заміщення для вхідних кіл приведена на рис.2.18, а для вихідного кола – на рис.2.19.

Вихідна напруга визначається за виразом $U_{out} = E_k - m \cdot I_{knt} \cdot R_k \approx E_k = 12V$. Результати моделювання приведені на рис.2.23 і підтверджують коректність розрахунків.

Приклад 2.6. Визначити напруги і струми в паралельному елементі РТЛ_n для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12V$; $R_{\sigma} = 2k$; $R_k = 1k$; $I_{knt} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $m = 3$; $U_{in1} = 5V$; $U_{in2} = 0,4V$; $U_{in3} = 0,1V$.

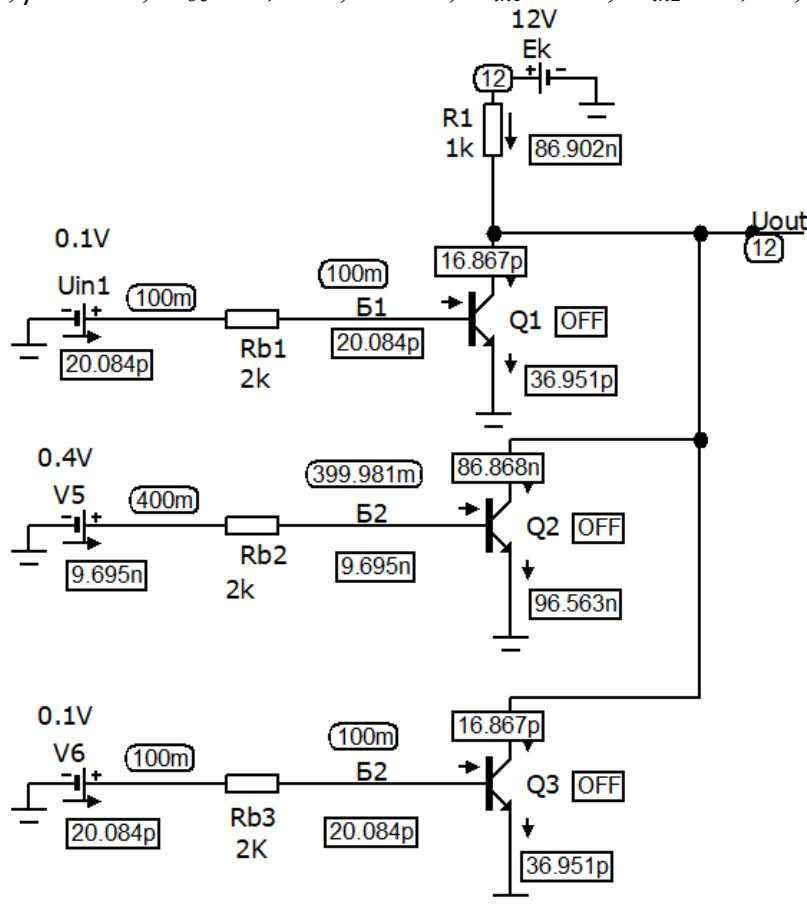


Рис. 2.23. Результати моделювання елемента РТЛ_n при низьких рівнях напруги на входах

Розв'язок.

На перший вхід елемента надходить вхідна напруга високого рівня, тому діод емітера транзистора відкритий. Схема заміщення вхідного кола приведена на рис.2.20. Визначимо струм бази за законом Ома

$$I_{R\delta} = I_{\delta} = \frac{U_{in1} - U_{\delta e}}{R_{\delta}} = \frac{5 - 0,75}{2} = 2,125mA \approx 2,13mA .$$

Далі визначимо струм бази насичення.

$$I_{\delta n} = \frac{I_{кн}}{\beta} = \frac{E_{к} - U_{кен}}{\beta \cdot R_{к}} = \frac{12 - 0,1}{100 \cdot 1} = 0,119mA .$$

У зв'язку з тим, що $I_{\delta} > I_{\delta n}$ транзистор перебуває в режимі насичення, а вихідна напруга елемента складає $U_{out} = U_{кен} = 0,1V$. Результати моделювання приведені на рис.2.24 і підтверджують коректність розрахунків.

Приклад 2.7. Визначити напруги і струми в паралельному елементі РТЛ_n для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_{к} = 12V$; $R_{\delta} = 2k$; $R_{к} = 1k$; $I_{кн} = 0$; $\beta = 100$; $U_{\delta e} = 0,7V$; $m = 3$; $U_{in1} = 0,9V$; $U_{in2} = 0V$; $U_{in3} = 0V$.

Розв'язок.

Напруга на першому вході елемента вище $0,5V$ ($U_{\delta I}^{xx} > 0,5V$), тобто діод емітера транзистора відкритий, а схема заміщення приведена на рис.2.20.

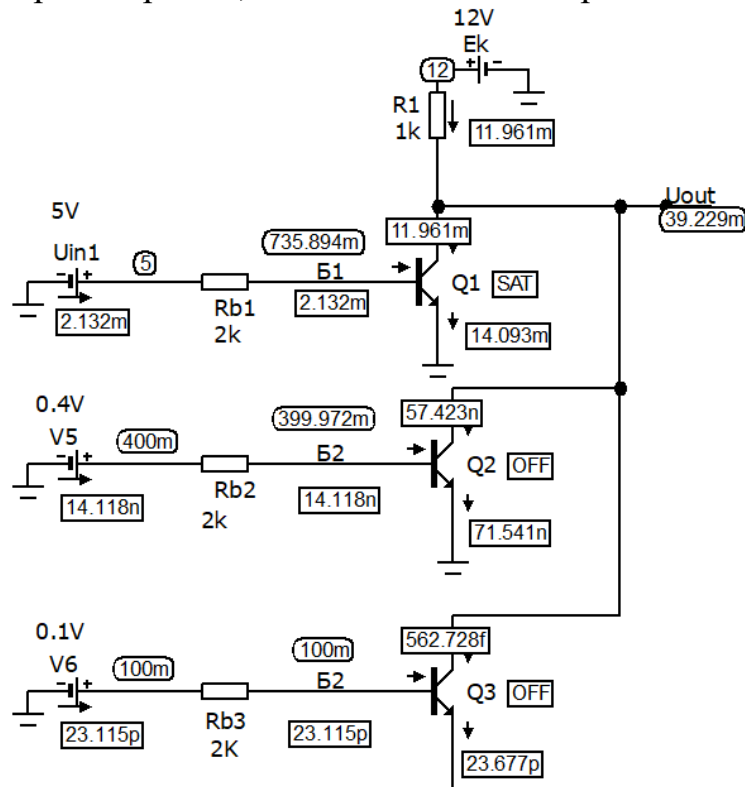


Рис. 2.24. Результати моделювання елемента РТЛ_n при високому рівні напруги на першому вході

Визначимо струм бази за законом Ома

$$I_{R\delta} = I_{\delta} = \frac{U_{in1} - U_{\delta e}}{R_{\delta}} = \frac{0,9 - 0,7}{2} = 0,1mA .$$

Струм бази насичення був визначений в прикладі 2.6 дорівнює $I_{\beta n} = 0,119mA$.

У зв'язку з тим, що $I_{\beta} < I_{\beta n}$ транзистор перебуває в лінійному режимі, а вихідна напруга елемента складає $U_{out} = E_k - \beta \cdot I_{\beta} \cdot R_k = 12 - 100 \cdot 0,1 \cdot 1 = 2V$ [1].

Результати моделювання приведені на рис.2.25 і підтверджують коректність розрахунків.

Приклад 2.8. Визначити напруги і струми в паралельному елементі РТЛ_n для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12V$; $R_{\beta} = 2k$; $R_k = 1k$; $I_{k\tau} = 0$; $\beta = 100$; $U_{\beta e} = 0,7V$; $m = 3$; $U_{in1} = 0,9V$; $U_{in2} = 0,9V$; $U_{in3} = 0V$.

Розв'язок.

За умови завдання напруга $0,9V$ надходить на перші два входи елемента. Для транзисторів T_1 і T_2 виконується умова $U_{\beta i}^{xx} > 0,5V$, тобто діод емітера транзистора відкритий, а схема заміщення для кожного з цих входів приведена на рис.2.20.

Струм бази був визначений в прикладі 2.7 для кожного з транзисторів T_1 і T_2 та дорівнює $I_{\beta} = 0,1mA$.

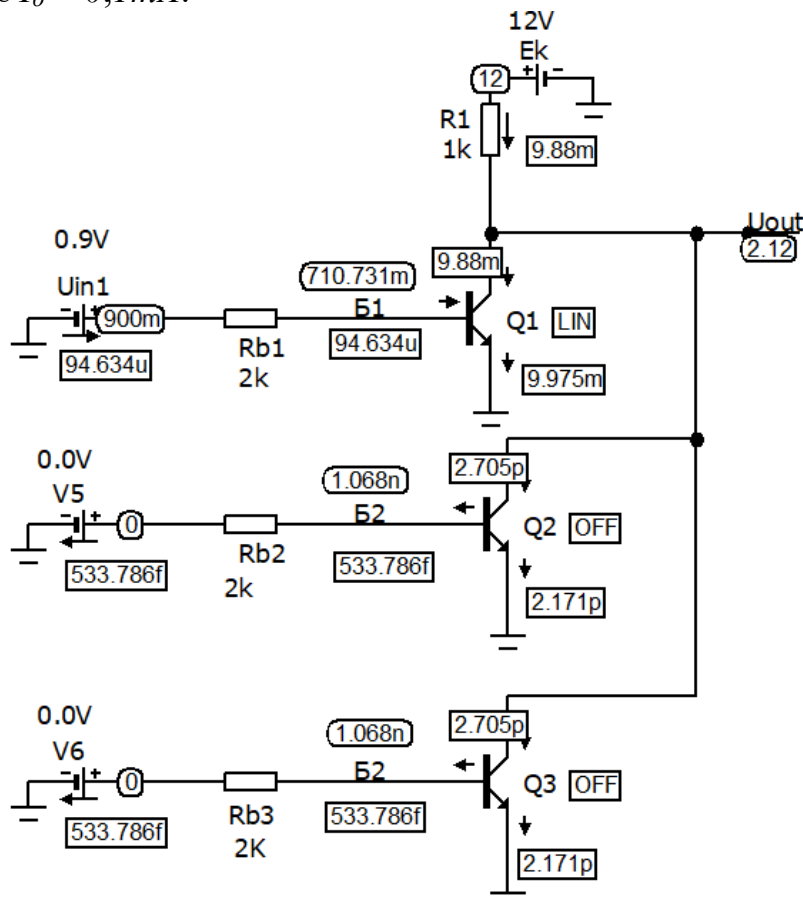


Рис. 2.25. Результати моделювання елемента РТЛ_n при високому рівні напруги на першому вході та лінійному режимі роботи транзистора

Струм I_{Rk} розгалужується між відкритими транзисторами, тому струм колектору насичення I_{kn} кожного відкритого транзистора можна визначити в загальному випадку за виразом $I_{kn} = I_{Rk} / k$, де k – кількість відкритих транзисторів (для прикладу 2.8: $k = 2$).

$$I_{KH} = \frac{I_{Rk}}{k} = \frac{E_k - U_{out}}{k \cdot R_k} = \frac{12 - 0,1}{2 \cdot 1} = 5,95mA.$$

В результаті струм бази насичення $I_{\delta n} = I_{KH} / \beta \approx 0,06mA$. Таким чином, виконується умова $I_{\delta} > I_{\delta n}$ і обидва транзистори перебувають в режимі насичення. Результати моделювання приведені на рис.2.26 і підтверджують коректність розрахунків.

На цьому розв'язок прикладів 2.5-2.8 завершено.

З розрахунків та результатів моделювання можна зробити висновок, що функціонування приведеної схеми елемента РТЛ_n характеризується низькою завадостійкістю низького рівня. Так, з результатів моделювання на рис.2.25 видно, що вхідна напруга $0,9V$ вже виводить транзистор з режиму відсічки в лінійний режим.

Порогові напруги переключення елемента РТЛ_n можуть бути визначені аналітично або за допомогою передатної характеристики [1], яка визначає залежність вихідної напруги елемента від вхідної напруги. Передатна характеристика залежності вихідної напруги елемента РТЛ_n від вхідної напруги на першому вході за умови, що на інших входах елемента підключені напруги низького рівня, приведена на рис.2.27.

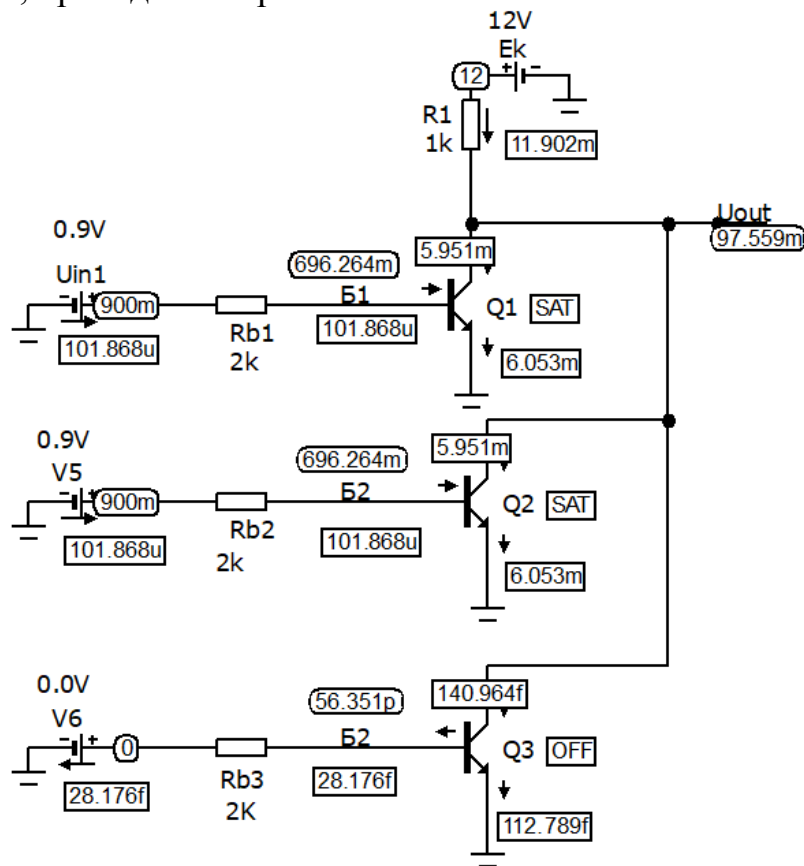


Рис. 2.26. Результати моделювання елемента РТЛ_n (приклад 2.8)

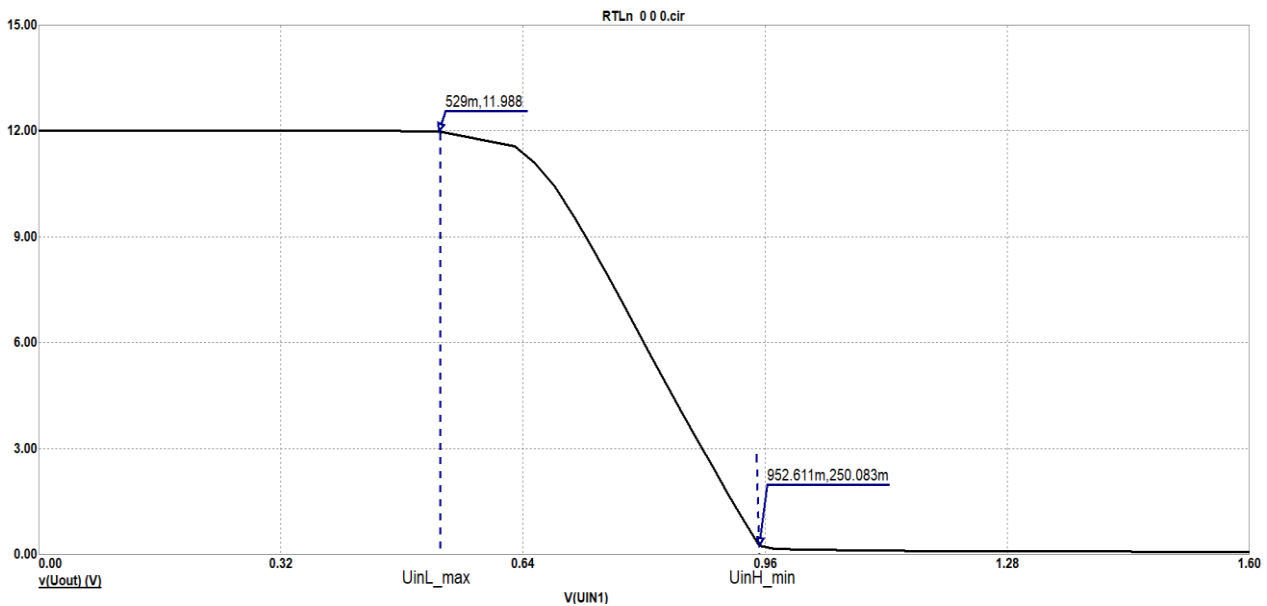


Рис. 2.27. Визначення порогових напруг переключення за передатною характеристикою елемента РТЛ_n

З передатної характеристики видно, що максимальне значення низького рівня U_{inL_max} дорівнює $0,53V$, тобто будь-яка вхідна напруга вище цього значення не відповідає низькому рівню. Аналогічно мінімальне значення високого рівня U_{inH_min} дорівнює $0,95V$. Будь-яка вхідна напруга $U_{inL_max} < U_{in} < U_{inH_min}$ є неробочою, залишаючи транзистор в лінійному режимі.

Для збільшення завадостійкості низького рівня у вхідних колах кожного інвертора елемента РТЛ_n використовується коло зміщення за аналогією побудови відповідного кола елемента РТЛ₁. Схема такого елемента і результати його моделювання приведені на рис.2.28.

З результатів моделювання витікає, що транзистор починає переключатися з режиму відсічки при більш високій (в даному випадку біля $3V$), ніж в попередній схемі, вхідній напрузі.

Передатна характеристика інвертора з колами зміщення на першому вході елемента РТЛ_n за умови, що на інших входах елемента підключені напруги низького рівня, приведена на рис.2.29.

З передатної характеристики можна побачити, що величини U_{inL_max} і U_{inH_min} збільшилися відповідно до $2,9V$ та $3,8V$.

Контрольні завдання та запитання

1. Яким чином в багатотранзисторних елементах РТЛ реалізується логічна формула?
2. Як розподіляються багатотранзисторні елементи РТЛ з точки зору способів з'єднання транзисторів?
3. Яким чином реалізується паралельне з'єднання транзисторів?
4. Прокоментуйте схему на рис.2.17.
5. В чому полягає принцип роботи логічного елемента, побудованого на базі багатотранзисторного паралельного елемента РТЛ?

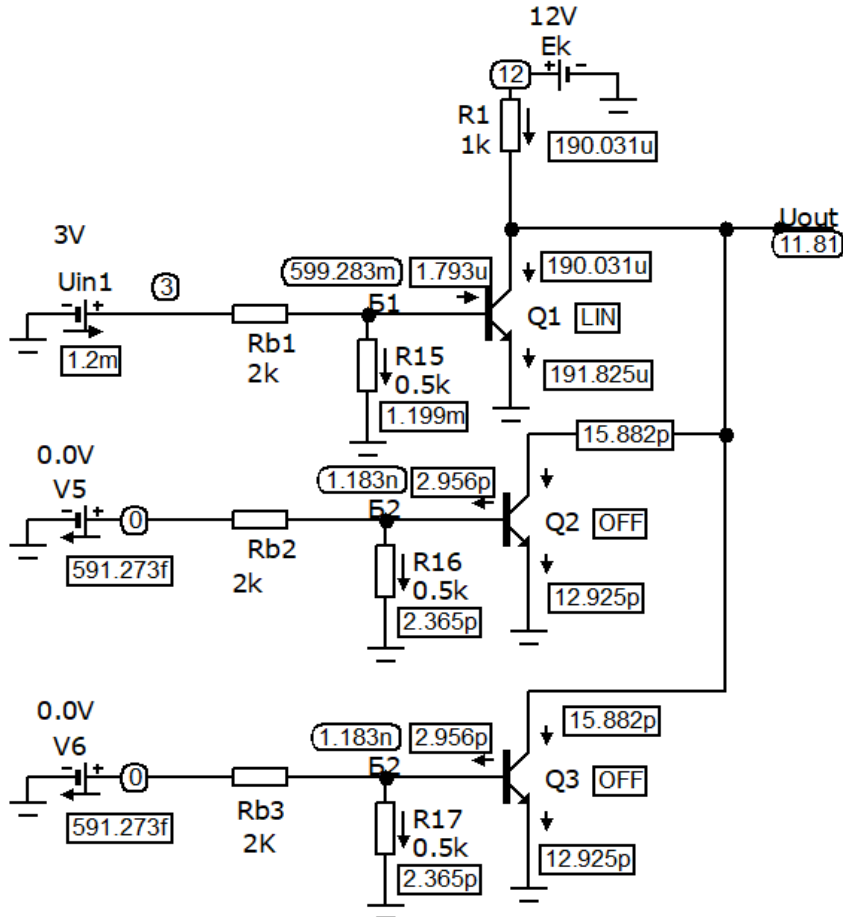


Рис. 2.28. Результати моделювання елемента РТЛ_n з колами зміщення

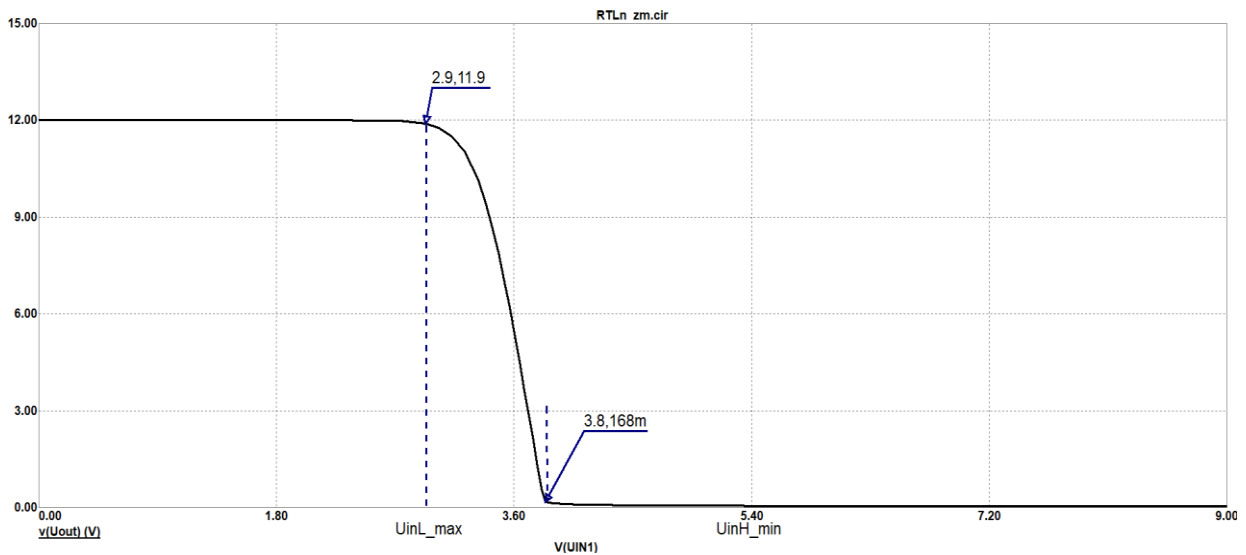


Рис. 2.29. Визначення порогових напруг переключення за передатною характеристикою елемента РТЛ_n з колом зміщення

6. Поясніть принцип роботи логічного елемента, схема якого приведена на рис.2.17.
7. Яку логічну функцію при використанні логіки високого рівня виконує елемент, схема якого приведена на рис.2.17?

8. Яку логічну функцію при використанні логіки низького рівня виконує елемент, схема якого приведена на рис.2.17?
9. В якому режимі перебувають транзистори в схемі на рис.2.17, якщо на один з входів підключити вхідну напругу високого рівня, а на решту входів – напругу низького рівня?
10. В якому режимі перебувають транзистори в схемі на рис.2.17, якщо на всі входи підключити вхідну напругу високого рівня?
11. В якому режимі перебувають транзистори в схемі на рис.2.17, якщо на всі входи підключити вхідну напругу низького рівня?
12. Приведіть таблицю істинності логічного елемента на рис.2.17 при використанні логіки високого рівня?
13. Приведіть таблицю істинності логічного елемента на рис.2.17 при використанні логіки низького рівня?
14. Яка логічна функція виконується при об'єднанні колекторів транзисторів?
15. Поясніть термін «монтажна логіка».
16. Вихідний сигнал якого рівня формується на виході паралельного елемента РТЛ_n, якщо транзистор перебуває в режимі відсічки?
17. Вихідний сигнал якого рівня формується на виході паралельного елемента РТЛ_n, якщо транзистор перебуває в режимі насичення?
18. Який сигнал формується на виході паралельного елемента РТЛ_n, якщо транзистор перебуває в лінійному режимі?
19. Доведіть, що логічний елемент на рис.2.17 виконує логічну функцію АБО-НІ логіки високого рівня.
20. Доведіть, що логічний елемент на рис.2.17 виконує логічну функцію І-НІ логіки низького рівня.
21. Яким чином з таблиці 2.1 можна отримати таблицю істинності для кодування сигналів відповідно до логіки високого рівня?
22. Яким чином з таблиці 2.1 можна отримати таблицю істинності для кодування сигналів відповідно до логіки низького рівня?
23. Для яких комбінацій значень вхідних сигналів необхідно розраховувати струми і напруги в елементі РТЛ на рис.2.17?
24. Прокоментуйте схему заміщення на рис.2.18.
25. Яку умову необхідно виконати, щоб забезпечити відсічку транзистора в складі *i*-того вхідного кола?
26. Яка схема заміщення використовується для заміни транзистора в режимі відсічки з боку бази?
27. Чому в схемі заміщення на рис.2.18 $I_{R\bar{o}} = I_{км}$?
28. Яким чином можна визначити напругу у вузлу *B* в схемі заміщення на рис.2.18?
29. Що відбувається в паралельному елементі РТЛ_n при збільшенні величини теплового струму колектору?
30. Прокоментуйте вираз $U_{in i}^L + I_{км max} \cdot R_{\bar{o}} < 0,5B$ для паралельного елемента РТЛ_n?

31. Як визначити величину вихідної напруги в паралельному елементі РТЛ_n при низькому рівні вхідної напруги на всіх входах елемента?
32. Поясніть схему заміщення на рис.2.19?
33. Прокоментуйте вираз $U_{out} = E_k - m \cdot I_{km} \cdot R_k$ в паралельному елементі РТЛ_n при низькому рівні вхідної напруги на всіх входах елемента.
34. Що являє собою схема заміщення транзистора з боку колектору в режимі відсічки?
35. За допомогою якого методу визначається вихідна напруга в схемі заміщення на рис.2.19?
36. Чому необхідно забезпечити виконання умови $U_{out} \geq U_{min}^H$ в паралельному елементі РТЛ_n при низькому рівні вхідної напруги на всіх входах елемента?
37. В яких станах перебувають транзистори паралельного m -входового елемента РТЛ_n при підключенні на третій вхід напруги високого рівня за умови, що на решту входів підключений низький рівень напруги?
38. В яких станах перебувають транзистори паралельного m -входового елемента РТЛ_n при підключенні на другий і четвертий входи напруги високого рівня за умови, що на решту входів підключений низький рівень напруги?
39. Поясніть схему заміщення на рис.2.20.
40. Приведіть схему заміщення базових кіл в трьохвходовому паралельному елементі РТЛ_n при підключенні на другий вхід напруги високого рівня за умови, що на решту входів підключений низький рівень напруги?
41. Яку умову необхідно виконати, щоб забезпечити насичення транзистора в складі i -того вхідного кола паралельного елемента РТЛ_n?
42. Яка схема заміщення використовується для заміни транзистора в режимі насичення з боку бази?
43. Яка схема заміщення використовується для заміни транзистора в лінійному режимі з боку бази?
44. Як визначити струм бази в схемі заміщення на рис.2.20?
45. Як визначити напругу на базі транзистора в схемі заміщення на рис.2.20?
46. Яку умову потрібно виконати для забезпечення режиму насичення транзистора?
47. Як визначити струм бази насичення в схемі заміщення на рис.2.20?
48. Як визначити струм колектору насичення в схемі заміщення на рис.2.21,а?
49. Поясніть вираз $I_{kn} = I_{Rk} - (m-1) \cdot I_{km}$ в паралельному елементі РТЛ_n при високому рівні вхідної напруги на одному з входів.
50. За виконання якої умови в схемі заміщення на рис.2.20 транзистор перебуває в лінійному режимі?
51. Поясніть схему заміщення на рис.2.21,а.
52. Як визначається вихідна напруга елемента РТЛ в схемі заміщення на рис.2.21,а?
53. Поясніть схему заміщення на рис.2.21,б.

54. Як визначається вихідна напруга елемента РТЛ в схемі заміщення на рис.2.21,б?
55. Поясніть схему заміщення на рис.2.22.
56. В чому полягає різниця між схемами заміщення, приведеними на рис.2.21,а і рис.2.22?
57. Чому при збільшенні кількості входів з високим рівнем напруги відбувається зменшення струму $I_{кн}$ в кожному відкритому транзисторі?
58. Чому при збільшенні кількості входів з високим рівнем напруги відбувається зменшення струму бази насичення в кожному відкритому транзисторі?
59. В якому стані перебувають транзистори паралельного елемента РТЛ_n за вхідних сигналів, заданих в прикладі 2.5?
60. Прокоментуйте результати моделювання на рис.2.23.
61. Яку схему заміщення транзисторів з боку бази необхідно використовувати за умов прикладу 2.5?
62. Яку схему заміщення транзисторів з боку колектору необхідно використовувати за умов прикладу 2.5?
63. Як визначити вихідну напругу елемента РТЛ, якщо вхідні сигнали відповідають умовам прикладу 2.5?
64. В якому стані перебувають транзистори паралельного елемента РТЛ_n за вхідних сигналів, заданих в прикладі 2.6?
65. Прокоментуйте результати моделювання на рис.2.24.
66. Які схеми заміщення транзисторів з боку бази необхідно використовувати за умов прикладу 2.6?
67. Яку схему заміщення транзисторів з боку колектору необхідно використовувати за умов прикладу 2.6?
68. З якою метою при виконанні прикладу 2.6 визначається струм бази насичення?
69. Як визначити вихідну напругу елемента РТЛ, якщо вхідні сигнали відповідають умовам прикладу 2.6?
70. В якому стані перебувають транзистори паралельного елемента РТЛ_n за вхідних сигналів, заданих в прикладі 2.7?
71. Прокоментуйте результати моделювання на рис.2.25.
72. Які схеми заміщення транзисторів з боку бази необхідно використовувати за умов прикладу 2.7?
73. Яку схему заміщення транзисторів з боку колектору необхідно використовувати за умов прикладу 2.7?
74. З якою метою при виконанні прикладу 2.7 визначається струм бази насичення?
75. Як визначити вихідну напругу елемента РТЛ, якщо вхідні сигнали відповідають умовам прикладу 2.7?
76. Прокоментуйте вираз $U_{out} = E_k - \beta \cdot I_{\sigma} \cdot R_k$ за умов прикладу 2.7.
77. В чому полягає різниця між результатами моделювання, приведеними на рис.2.24 і рис.2.25?

78. В якому стані перебувають транзистори паралельного елемента РТЛ_n за вхідних сигналів, заданих в прикладі 2.8?
79. Які схеми заміщення транзисторів з боку бази необхідно використовувати за умов прикладу 2.8?
80. Яку схему заміщення транзисторів з боку колектору необхідно використовувати за умов прикладу 2.8?
81. Для чого при виконанні прикладу 2.8 визначається струм бази насичення?
82. Як визначити вихідну напругу елемента РТЛ, якщо вхідні сигнали відповідають умовам прикладу 2.8?
83. Прокоментуйте результати моделювання на рис.2.26.
84. В чому полягає різниця між результатами моделювання, приведеними на рис.2.25 і рис.2.26?
85. Як визначити величину струму колектору насичення у відкритих транзисторах за умови прикладу 2.8.
86. Чому за умови прикладу 2.7 відкритий транзистор перебуває в лінійному режимі, а прикладу 2.8 – в режимі насичення?
87. Яким недоліком з точки зору завадостійкості характеризуються паралельні елементи РТЛ?
88. Яким чином підвищити завадостійкість низького рівня паралельного елемента РТЛ?
89. Яку залежність описує передатна характеристика логічних елементів?
90. Як визначити порогові напруги переключення логічного елемента, використовуючи передатну характеристику.
91. Поясніть, як можна визначити завадостійкість елемента РТЛ, передатна характеристика якого приведена на рис.2.27.
92. Поясніть фізичний сенс напруг U_{inL_max} і U_{inH_min} .
93. В якому режимі перебуває транзистор в паралельному елементі РТЛ, якщо виконується умова $U_{inL_max} \leq U_{in} < U_{inH_min}$?
94. В якому режимі перебуває транзистор в паралельному елементі РТЛ, якщо виконується умова $U_{in} \geq U_{inH_min}$?
95. В якому режимі перебуває транзистор в паралельному елементі РТЛ, якщо виконується умова $U_{in} < U_{inH_min}$?
96. Прокоментуйте результати моделювання, приведені на рис.2.28.
97. Поясніть різницю в паралельних елементах РТЛ, схеми яких приведені на рис.2.26 і рис.2.28.
98. Прокоментуйте передатну характеристику на рис.2.29.
99. В чому полягає різниця в передатних характеристиках на рис.2.27 і рис.2.29?
100. Як визначити величину U_{inL_max} , використовуючи вхідну характеристику паралельного елемента РТЛ?

2.1.3.2. Елементи РТЛ з послідовним з'єднанням транзисторів

В послідовних елементах РТЛ_n транзистори з'єднані таким чином, що емітер одного транзистора підключається до колектору іншого транзистора і так далі, утворюючи ланцюжок транзисторів. Таке послідовне з'єднання транзисторів забезпечує реалізацію багатовходової логічної функції.

Схема m -входового послідовного елемента РТЛ приведена на рис.2.30.

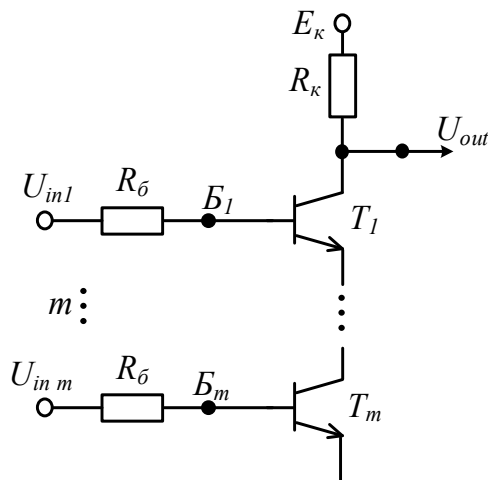


Рис. 2.30. Схема m -входового послідовного елемента РТЛ_n

Розглянемо принцип функціонування такого елемента.

Якщо хоча б на один вхід елемента підключити напругу низького рівня, то відповідний транзистор буде перебувати в режимі відсічки, розмикаючи шлях для протікання струму $I_{Rк}$. В цьому випадку на виході елемента формується напруга високого рівня.

При підключенні на всі входи напруги високого рівня транзистори елемента перебувають в режимі насичення, а на виході формується напруга низького рівня.

Відповідно до розглянутого вище принципу функціонування елемента можна скласти таблицю істинності, наприклад для двовходового елемента ($m = 2$), яка приведена в табл.2.2. З цієї таблиці можна зробити висновок, що послідовний елемент РТЛ_n при використанні кодування сигналів відповідно до логіки високого рівня [1] реалізує логічну функцію Шефера ($2I-NI$), а при використанні логіки низького рівня – функцію Пірса ($2АБО-NI$).

Таблиця 2.2. Таблиця істинності послідовного елемента РТЛ_n

U_{in1}	U_{in2}	U_{out}
L	L	H
L	H	H
H	L	H
H	H	L

Розрахунок струмів і напруг в m -входовому послідовному елементі РТЛ_n будемо проводити для двох випадків:

- на один з входів надходить низький рівень напруги, а на решту входів – високий рівень;
- на всі входи надходять сигнали високого рівня.

Якщо, на один з входів (наприклад, на перший) надходить напруга низького рівня, то відповідний транзистор (T_1) інвертора буде перебувати в режимі відсічки, а інші транзистори – в режимі насичення. Схеми заміщення та вирази для розрахунку вхідних кіл інвертора з транзистором T_1 нічим не відрізняється від аналогічного розрахунку інвертора паралельного РТЛ_n (рис.2.18). Схема заміщення вихідних кіл послідовного елемента РТЛ приведена на рис.2.31.

На рис.2.31,а приведені схеми заміщення транзисторів елемента РТЛ з боку колектору, а на рис.2.31,б – спрощена схема заміщення. Відповідно до другого закону Кірхгофа та відсутності навантаження вихідна напруга визначається за виразом $U_{out} = E_K - I_{Rk} \cdot R_K = E_K - I_{km} \cdot R_K \approx E_K$. За наявності навантаження, як і для паралельного РТЛ, необхідно забезпечити виконання умови $U_{out} \geq U_{min}^H$.

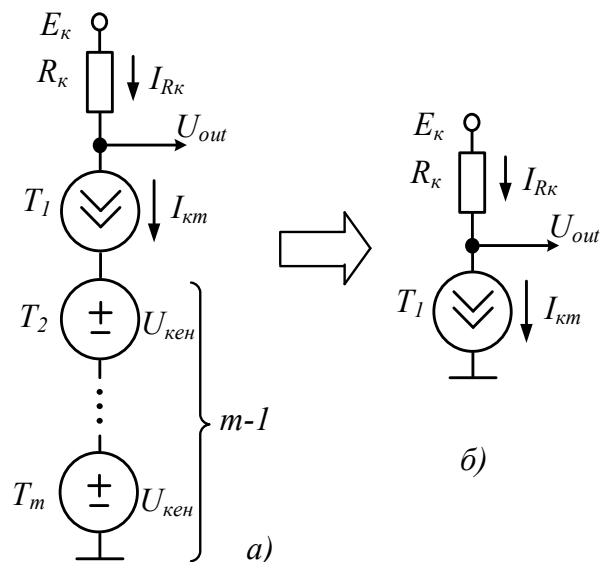


Рис. 2.31. Схема заміщення вихідного кола послідовного елемента РТЛ_n при низькому рівні напруги на першому вході

Далі розглянемо випадок, коли на всі входи надходить високий рівень напруги. В цьому випадку всі транзистори повинні перебувати в режимі насичення. Схема заміщення та розрахунок вхідного кола транзистора T_i приведена на рис.2.32, де U_e^{Ti} – напруга на емітері транзистора T_i . Відповідно до схеми послідовного елемента РТЛ напруга на емітері T_i дорівнює напрузі на колекторі наступного транзистора T_{i+1} ($U_e^{Ti} = U_K^{T_{i+1}}$), причому $U_e^{Tm} = 0V$, а $U_K^{Ti} = U_e^{Ti} + U_{ken}$.

Повна схема заміщення послідовного елемента РТЛ приведена на рис.2.33,а, а схема заміщення вихідного кола елемента приведена на рис.2.33,б.

На схемі заміщення (рис.2.33,а) транзистори представлені повною схемою заміщення з боку бази для насичення [1]. Для цієї схеми заміщення вихідна

напруга елемента визначається відповідно до другого закону Кірхгофа і відповідає низькому рівню напруги:

$$U_{out} = m(U_{\delta e} - U_{\delta k}) = m \cdot U_{кен}. \quad (2.9)$$

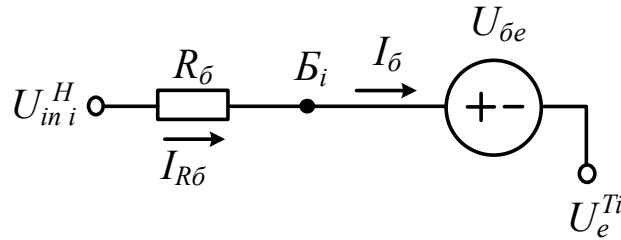


Рис. 2.32. Схема заміщення вхідного кола послідовного елемента РТЛ при високому рівні напруги на вході i

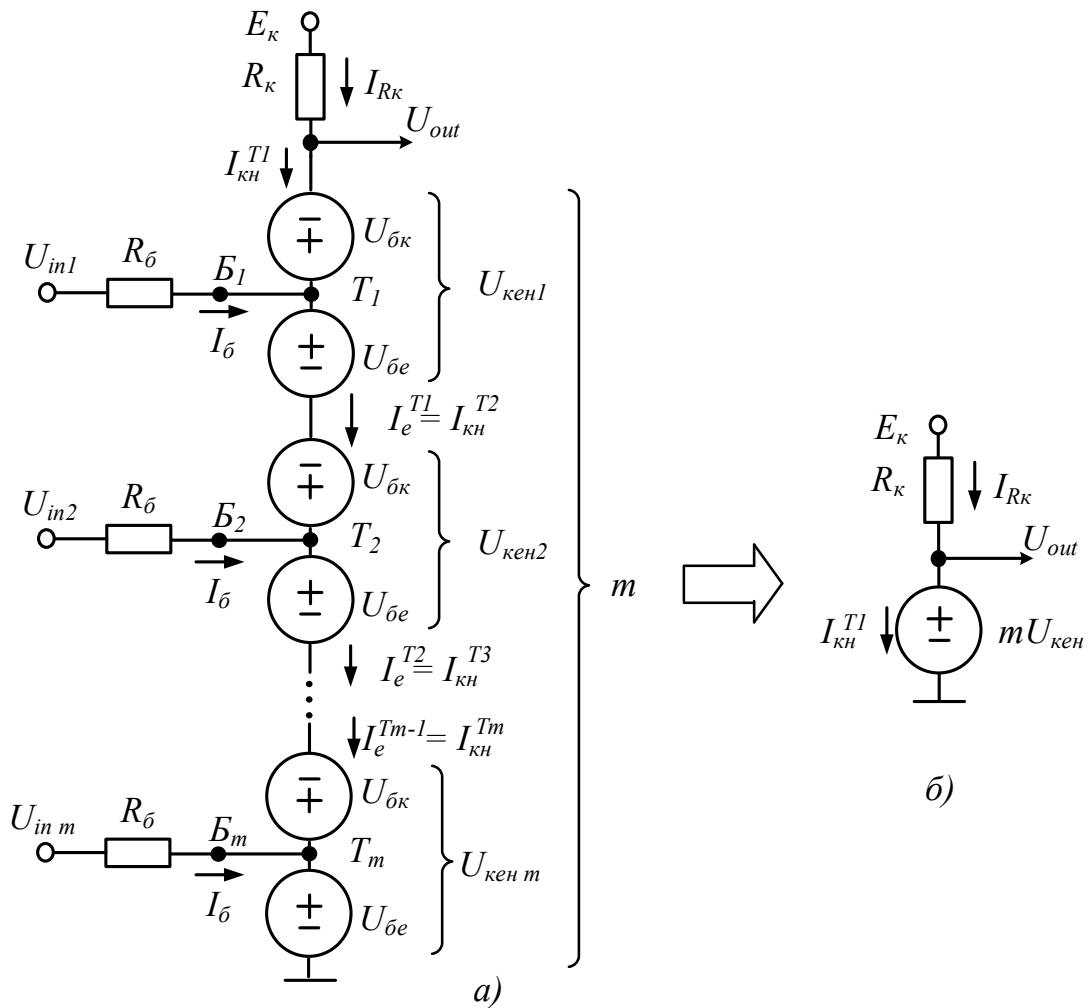


Рис. 2.33. Схема заміщення вихідного кола послідовного елемента РТЛ_n при високому рівні напруги на всіх входах

Це дозволяє спростити схему заміщення і представити її у вигляді, як показано на рис.2.33,б. Відповідно до цієї схеми можна визначити струм I_{Rk} за законом Ома:

$$I_{Rk} = I_{кн}^{T1} = \frac{E_k - mU_{кен}}{R_k}.$$

Враховуючи послідовне з'єднання транзисторів, можна визначити струми транзисторів $T_1 - T_m$, для чого необхідно використовувати схему заміщення на рис.2.33,а, з якої можна отримати такі вирази:

$$\begin{aligned} U_{кен1} = U_{кен2} = \dots = U_{кен m} = U_{бе} - U_{бк}. \\ I_e^{T1} = I_{кн}^{T2}; I_e^{T2} = I_{кн}^{T3}; \dots I_e^{Tm-1} = I_{кн}^{Tm}, \end{aligned} \quad (2.10)$$

тобто в загальному випадку $I_e^{Ti-1} = I_{кн}^{Ti}$, $i = 2, \dots, m$; $I_{кн}^{Ti}, I_e^{Ti}$ – відповідно струм колектору насичення і струм емітера транзистора T_i .

Для визначення струму емітера необхідно за допомогою закону Ома обчислити струм бази кожного транзистора:

$$I_{Rб}^{Ti} = I_b^{Ti} = \frac{U_{in} - U_{Bi}^{Ti}}{R_b}, \quad (2.11)$$

де U_{Bi}^{Ti} – напруга на базі транзистора T_i .

В свою чергу, величина U_{Bi}^{Ti} визначається за другим законом Кірхгофа:

$$U_{Bi}^{Ti} = (m-i) \cdot U_{кен} + U_{бе}, \quad i = 1, \dots, m; \quad (2.12)$$

В результаті $I_e^{Ti} = I_{Rб}^{Ti} + I_{кн}^{Ti}$.

Відповідно до виразу (2.9) низький рівень вихідної напруги підвищується при збільшенні кількості транзисторів у складі елемента РТЛ, що приводить до зменшення завадостійкості низького рівня.

Приклад 2.9. Визначити напруги і струми в послідовному елементі РТЛ_n для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12B$; $R_b = 2k$; $R_k = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{бе} = 0,75B$; $m = 3$; $U_{in1} = 0B$; $U_{in2} = 5B$; $U_{in3} = 5B$.

Розв'язок.

Напруга на першому вході відповідає низькому рівню ($U_{Bi}^{xx} < 0,5B$), а напруга на решті входів – високому рівню. В результаті транзистор T_1 перебуває в стані відсічки. Схема заміщення для вхідного кола транзистора T_1 приведена на рис.2.18. Схема заміщення для вхідних кіл транзисторів T_2 і T_3 приведена на рис.2.32.

Схема заміщення для визначення вихідної напруги елемента приведена на рис.2.31,б. В результаті

$$U_{out} = E_k - I_{Rk} \cdot R_k = E_k - I_{км} \cdot R_k = E_k = 12B.$$

Результати моделювання приведені на рис.2.34 і підтверджують коректність розрахунків.

Приклад 2.10. Визначити напруги і струми в послідовному елементі РТЛ_n для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12B$; $R_b = 2k$; $R_k = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{бе} = 0,75B$; $U_{кен} = 0,04B$; $m = 3$; $U_{in1} = U_{in2} = U_{in3} = 5B$.

Розв'язок.

На всі входи елемента підключений високий рівень напруги. Всі транзистори перебувають в режимі насичення. В цьому випадку вихідна напруга визначається за виразом (2.9):

$$U_{out} = m \cdot U_{кен} = 3 \cdot 0,04 = 0,12B.$$

Далі виконаємо перевірку перебування транзисторів елемента РТЛ в стані насичення.

Спочатку відповідно до виразу (2.12) визначимо величину напруги на базі кожного транзистора:

$$U_{B1}^{T1} = 2 \cdot U_{кен} + U_{бе} = 2 \cdot 0,04 + 0,75 = 0,83B;$$

$$U_{B2}^{T2} = U_{кен} + U_{бе} = 0,04 + 0,75 = 0,79B; \quad U_{B3}^{T3} = U_{бе} = 0,75B.$$

Далі визначимо струми бази кожного транзистора відповідно до виразів (2.11):

$$I_{б}^{T1} = \frac{U_{in} - U_{B1}^{T1}}{R_{б}} = \frac{5 - 0,83}{2} = 2,085mA;$$

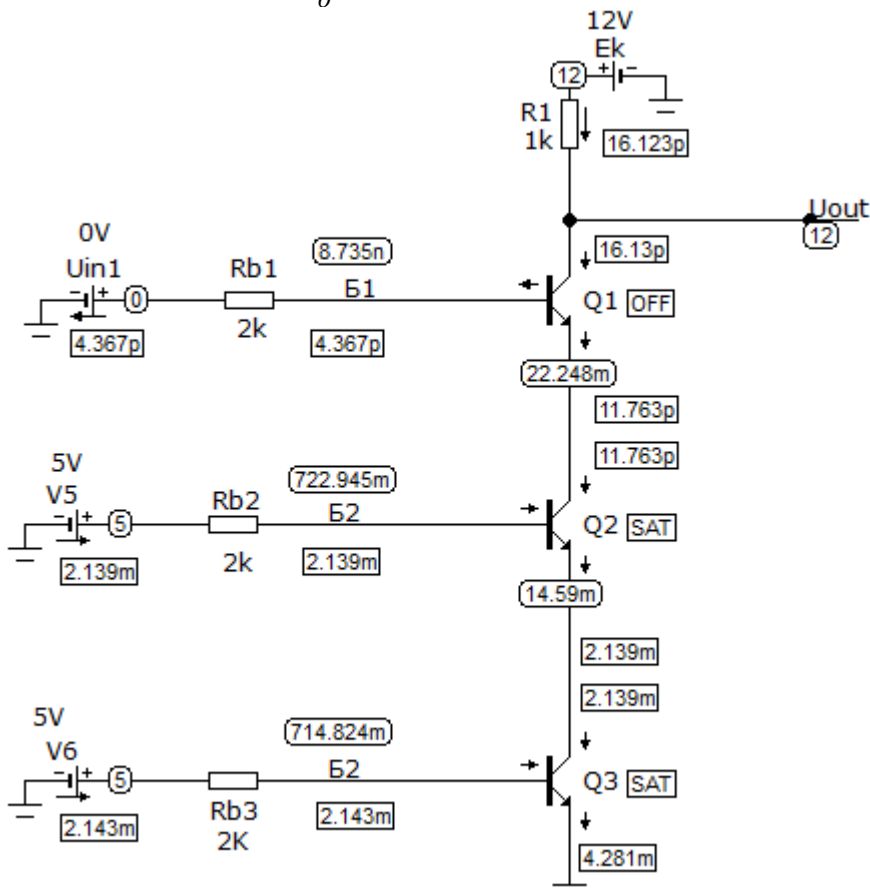


Рис. 2.34. Результати моделювання послідовного елемента РТЛ при низькому рівні напруги на першому вході

$$I_{б}^{T2} = \frac{U_{in} - U_{B2}^{T2}}{R_{б}} = \frac{5 - 0,79}{2} = 2,105mA;$$

$$I_{б}^{T3} = \frac{U_{in} - U_{B3}^{T3}}{R_{б}} = \frac{5 - 0,75}{2} = 2,125mA;$$

Струм колектору насичення транзистора T_1 визначається за допомогою закону Ома:

$$I_{Rк} = I_{кн}^{T1} = \frac{E_{к} - mU_{кен}}{R_{к}} = \frac{12 - 0,12}{1} = 11,88mA.$$

Після цього визначимо струми колектору насичення транзисторів T_2 і T_3 згідно з виразами (2.10)

$$I_e^{T1} = I_{KH}^{T2} = I_{\bar{b}}^{T1} + I_{KH}^{T1} = 2,085 + 11,88 = 13,965mA;$$

$$I_e^{T2} = I_{KH}^{T3} = I_{\bar{b}}^{T2} + I_{KH}^{T2} = 2,105 + 13,965 = 16,07mA.$$

Струми бази насичення транзисторів $T_1 - T_3$ можуть бути розраховані за виразами:

$$I_{\bar{b}}^{T1} = \frac{I_{KH}^{T1}}{\beta} = \frac{11,88}{100} = 0,12mA; \quad I_{\bar{b}}^{T2} = \frac{I_{KH}^{T2}}{\beta} = \frac{13,965}{100} = 0,14mA;$$

$$I_{\bar{b}}^{T3} = \frac{I_{KH}^{T3}}{\beta} = \frac{16,07}{100} = 0,16mA.$$

В результаті можна побачити, що для всіх транзисторів виконується умова $I_{\bar{b}} > I_{\bar{b}n}$, тобто всі транзистори перебувають в режимі насичення.

Результати моделювання приведені на рис.2.35 і підтверджують коректність розрахунків.

На цьому виконання прикладів 2.9 і 2.10 завершено.

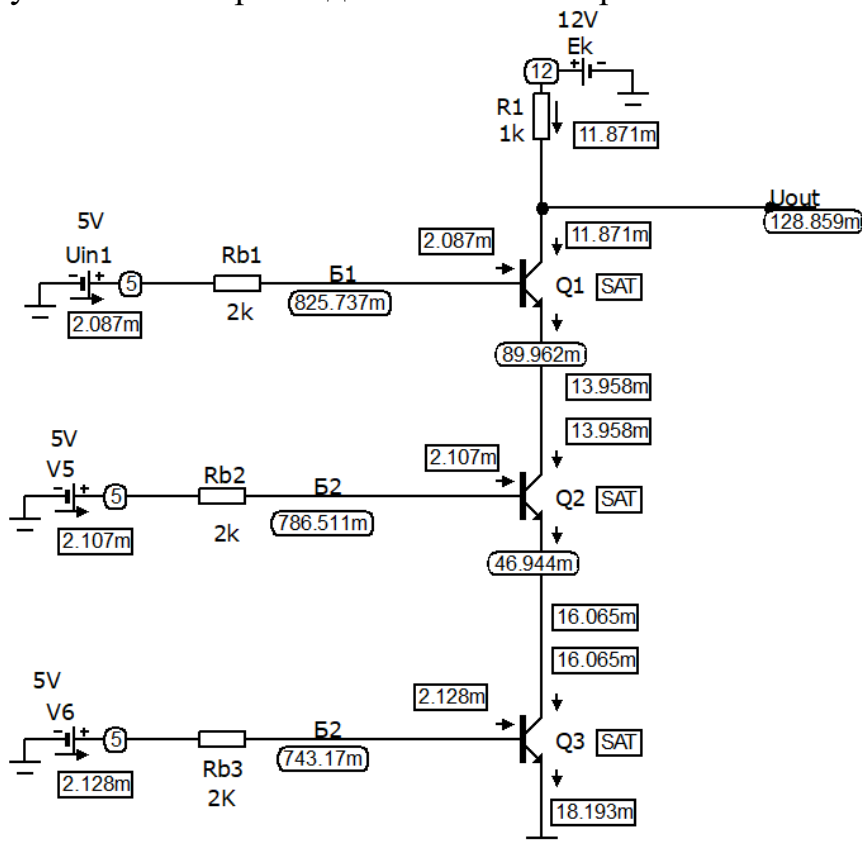


Рис. 2.35. Результати моделювання послідовного елемента РТЛ при високому рівні напруги на всіх входах

В результаті розгляду властивостей елементів РТЛ можна відзначити, що до переваг цих елементів відноситься достатня простота реалізації, надійну задовільність, приблизно однакові апаратні витрати для реалізації функцій АБО-НІ та І-НІ в паралельних РТЛ.

Серед недоліків елементів РТЛ можна відзначити:

- достатньо великий вихідний опір, що приводить до зниження швидкодії за рахунок збільшення часу на перезаряд монтажної ємності;

- невеликий коефіцієнт розгалуження;
- елементи РТЛ₁ мають недостатню логічну гнучкість, виконуючи тільки логічну функцію АБО-НІ;
- в паралельних РТЛ_n для підвищення завадостійкості низького рівня необхідно підключати додаткове коло зміщення;
- в послідовних РТЛ_n знижується завадостійкість низького рівня при збільшенні кількості входів.

Контрольні завдання та запитання

1. Яким чином реалізується послідовне з'єднання транзисторів в елементах РТЛ?
2. З якою метою реалізується послідовне з'єднання транзисторів в елементах РТЛ?
3. Приведіть схему *m*-входового послідовного елемента РТЛ.
4. В чому полягає принцип роботи логічного елемента, побудованого на базі багатотранзисторного послідовного елемента РТЛ?
5. Поясніть принцип роботи логічного елемента, схема якого приведена на рис.2.30.
6. Яку логічну функцію при використанні логіки високого рівня виконує елемент, схема якого приведена на рис.2.30?
7. Яку логічну функцію при використанні логіки низького рівня виконує елемент, схема якого приведена на рис.2.30?
8. В якому режимі перебувають транзистори в схемі на рис.2.30, якщо на один з входів підключити вхідну напругу низького рівня, а на решту входів – напругу високого рівня?
9. В якому режимі перебувають транзистори в схемі на рис.2.30, якщо на всі входи підключити вхідну напругу високого рівня?
10. В якому режимі перебувають транзистори в схемі на рис.2.30, якщо на всі входи підключити вхідну напругу низького рівня?
11. Приведіть таблицю істинності логічного елемента на рис.2.30 при використанні логіки високого рівня?
12. Приведіть таблицю істинності логічного елемента на рис.2.30 при використанні логіки низького рівня?
13. Яка логічна функція виконується при послідовному з'єднанні транзисторів?
14. Вихідний сигнал якого рівня формується на виході послідовного елемента РТЛ_n, якщо транзистор перебуває в режимі відсічки?
15. Вихідний сигнал якого рівня формується на виході послідовного елемента РТЛ_n, якщо транзистор перебуває в режимі насичення?
16. Який сигнал формується на виході послідовного елемента РТЛ_n, якщо транзистор перебуває в лінійному режимі?
17. Доведіть, що логічний елемент на рис.2.30 виконує логічну функцію *I-NI* логіки високого рівня.

18. Доведіть, що логічний елемент на рис.2.30 виконує логічну функцію АБО-НІ логіки низького рівня.
19. Яким чином з таблиці 2.2 можна отримати таблицю істинності для кодування сигналів відповідно до логіки високого рівня?
20. Яким чином з таблиці 2.2 можна отримати таблицю істинності для кодування сигналів відповідно до логіки низького рівня?
21. Для яких комбінацій значень вхідних сигналів необхідно розраховувати струми і напруги в елементі РТЛ на рис.2.30?
22. Яким чином отримано схему заміщення на рис.2.31,а?
23. Яким чином отримано схему заміщення на рис.2.31,б?
24. Яку умову необхідно виконати, щоб забезпечити відсічку транзистора в складі i -того вхідного кола?
25. Яка схема заміщення використовується для заміни транзистора в режимі відсічки з боку бази?
26. Як визначити величину вихідної напруги в послідовному елементі РТЛ при низькому рівні вхідної напруги на одному з входів елемента?
27. Поясніть, для чого використовується умова $U_{out} \geq U_{min}^H$?
28. Поясніть, яким чином отримано схему заміщення на рис.2.32?
29. Що являє собою схема заміщення транзистора з боку колектору в режимі відсічки?
30. В яких станах перебувають транзистори послідовного m -входового елемента РТЛ при підключенні на третій вхід напруги низького рівня за умови, що на решту входів підключений високий рівень напруги?
31. В яких станах перебувають транзистори послідовного m -входового елемента РТЛ при підключенні на другий і четвертий входи напруги низького рівня за умови, що на решту входів підключений високий рівень напруги?
32. Поясніть, яким чином отримано схему заміщення на рис.2.33,а?
33. Поясніть, яким чином отримано схему заміщення на рис.2.33,б?
34. В чому полягає різниця в схемах заміщення на рис.2.33,а і рис.2.33,б?
35. Поясніть, яким чином отримано вираз (2.9)?
36. Як визначити струм колектору насичення транзистора T_1 послідовного елемента РТЛ?
37. Як визначити струми колектору насичення транзисторів $T_2 - T_m$ послідовного елемента РТЛ?
38. Прокоментуйте вираз (2.10).
39. Як визначити струми емітера транзисторів $T_1 - T_{m-1}$ послідовного елемента РТЛ?
40. Як визначити струми бази транзисторів $T_1 - T_m$ послідовного елемента РТЛ?
41. Як визначити струми бази насичення транзисторів $T_1 - T_m$ послідовного елемента РТЛ?
42. Яким чином отримано вираз (2.11)?

43. Як визначити напругу на базі транзисторів $T_1 - T_m$ послідовного елемента РТЛ при високих рівнях напруги на всіх входах?
44. Яким чином отримано вираз (2.12)?
45. Чому відбувається підвищення низького рівня вихідної напруги в послідовному елементі РТЛ?
46. Прокоментуйте результати моделювання на рис.2.34.
47. Чому при однаковій вхідній напрузі на всіх входах послідовного РТЛ струми бази кожного транзистора відрізняються один від одного?
48. Для чого необхідно визначати струм бази насичення?
49. Прокоментуйте результати моделювання на рис.2.35.
50. Визначити напруги і струми в послідовному елементі РТЛ для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12B$; $R_{\bar{o}} = 2k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,75B$; $U_{кен} = 0,1B$; $m = 3$; $U_{in1} = 5B$; $U_{in2} = 0B$; $U_{in3} = 5B$.
51. Визначити напруги і струми в послідовному елементі РТЛ для заданих значень вхідної напруги. Параметри елемента РТЛ: $E_k = 12B$; $R_{\bar{o}} = 2k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,75B$; $U_{кен} = 0,1B$; $m = 3$; $U_{in1} = 5B$; $U_{in2} = 5B$; $U_{in3} = 0B$.
52. Визначити стани транзисторів $T_1 - T_m$ за умов прикладу 2.9.
53. Які властивості можна віднести до переваг елементів РТЛ?
54. Які властивості можна віднести до недоліків елементів РТЛ?
55. Чому в послідовних РТЛ знижується завадостійкість низького рівня при збільшенні кількості входів?
56. Як підвищити завадостійкість низького рівня в паралельних РТЛ?
57. Як підвищити швидкодію елементів РТЛ?
58. Як зменшити споживану потужність елементів РТЛ?
59. Приведіть схему заміщення базових кіл в трьохвходовому послідовному елементі РТЛ при підключенні на другий вхід напруги низького рівня за умови, що на решту входів підключений високий рівень напруги?
60. Яку умову необхідно виконати, щоб забезпечити насичення транзистора в складі i -того вхідного кола послідовного елемента РТЛ?
61. Яка схема заміщення з боку бази використовується для заміни транзистора в режимі насичення?
62. Яка схема заміщення з боку бази використовується для заміни транзистора в лінійному режимі?
63. Яка схема заміщення з боку бази використовується для заміни транзистора в стані відсічки?
64. Чому при збільшенні кількості входів відбувається підвищення низького рівня вихідної напруги?
65. Яким недоліком з точки зору завадостійкості характеризуються послідовні елементи РТЛ?
66. В якому режимі перебуває транзистор в послідовному елементі РТЛ, якщо виконується умова $U_{inL_max} \leq U_{in} < U_{inH_min}$?

67. В якому режимі перебуває транзистор в послідовному елементі РТЛ, якщо виконується умова $U_{in} \geq U_{inH_min}$?
68. В якому режимі перебуває транзистор в послідовному елементі РТЛ, якщо виконується умова $U_{in} < U_{inH_min}$?
69. Як збільшити величину порогової напруги переключення в послідовних елементах РТЛ?
70. Який рівень напруги буде формуватися на виході послідовного РТЛ, якщо один з транзисторів буде перебувати в лінійному режимі?

2.2. Елементи діодно-транзисторної логіки

Елементи діодно-транзисторної логіки (ДТЛ, англ.: *Diode-transistor Logic, DTL*) являють собою логічні елементи, побудовані з використанням резисторів, діодів та біполярних транзисторів [5,9,14-18]. В елементах ДТЛ реалізація багатовходової логічної функції виконується за допомогою діодів, а транзистор забезпечує реалізацію логічної функції інвертування.

З точки зору схемної побудови розрізняють два типи елементів ДТЛ:

- елементи ДТЛ з переключенням напруги (ДТЛ ПН);
- елементи ДТЛ з переключенням струму (ДТЛ ПС).

Структурна схема m -входового елемента ДТЛ приведена на рис.2.36. Відповідно до структурної схеми елемент ДТЛ являє собою послідовне з'єднання діодного логічного елемента (ДЛЕ) [1] і інвертора. ДЛЕ реалізує логічну функцію f (АБО чи І), а інвертор забезпечує інвертування значення логічної функції f . Таким чином, в залежності від типу ДЛЕ елементи ДТЛ забезпечують реалізацію функції Шефера або Пірса.

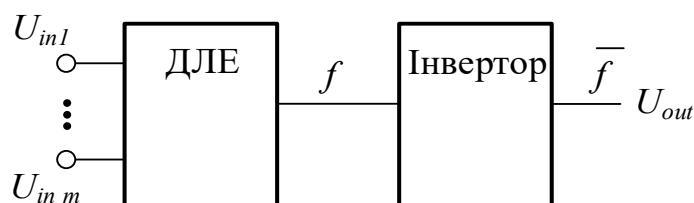


Рис. 2.36. Структурна схема m -входового елемента ДТЛ

2.2.1. Елементи ДТЛ з переключенням напруги

В елементах ДТЛ ПН в якості інвертора використовується звичайний інвертор, розглянутий в [1]. Далі розглянемо властивості, характеристики та визначення параметрів елементів ДТЛ ПН, що виконують логічні функції І- НІ та АБО-НІ логіки високого рівня.

2.2.1.1. Елементи ДТЛ ПН І-НІ логіки високого рівня

Схема m -входового елемента ДТЛ ПН І-НІ логіки високого рівня приведена на рис.2.37.

При використанні логіки низького рівня цей же елемент буде виконувати функцію АБО-НІ.

Розглянемо принцип роботи цього елемента.

Якщо хоча б на один вхід елемента підключена напруга низького рівня, то відповідний діод буде відкритий, на вхід інвертора елемента ДТЛ надходить низький рівень, транзистор повинен перебувати в режимі відсічки, а на виході елемента формується високий рівень. Якщо на кілька входів елемента підключена напруга низького рівня, то діоди, що підключені до найбільш негативної напруги, будуть відкриті [1], а на виході елемента також формується високий рівень напруги.

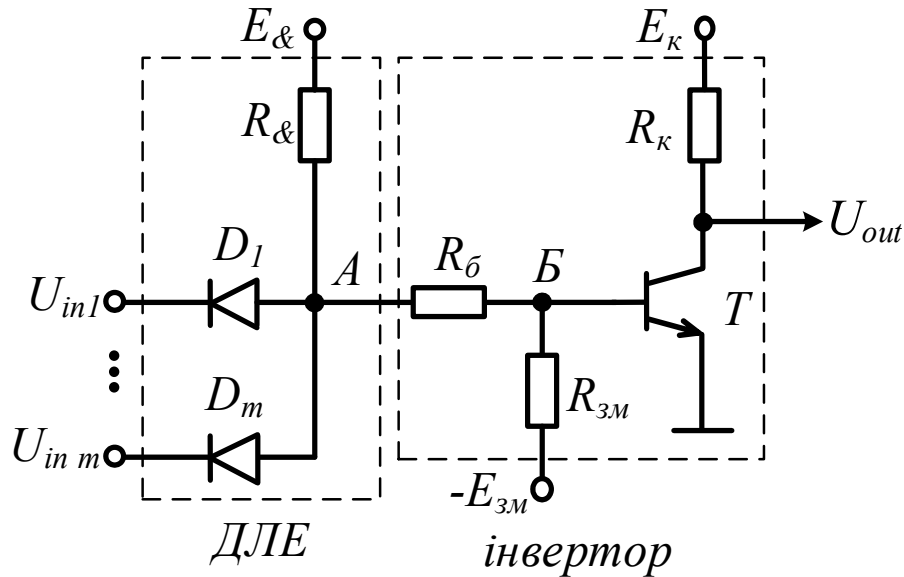


Рис. 2.37. Схема m -входового елемента ДТЛ ПН І-НІ

У випадку, якщо на всі входи елемента ДТЛ підключена напруга високого рівня, то в залежності від величини цієї напруги, вхідні діоди можуть бути закриті (режим *A* роботи діодів [1]) або один чи кілька діодів можуть бути відкритими (режим *B* роботи діодів [1]), але в будь-якому випадку транзистор перебуває в режимі насичення, а на виході формується напруга низького рівня.

Таблиця істинності функціонування двовходового елемента ДТЛ ПН І-НІ приведена в табл.2.2.

Розглянемо розрахунок струмів і напруг в елементі ДТЛ ПН І-НІ. Порядок розрахунку полягає у наступному:

1. Визначення стану вхідних діодів.
2. Заміна діодів відповідними схемами заміщення.
3. Визначення стану транзистора.
4. Заміна транзистора відповідними схемами заміщення.
5. Визначення струмів і напруг в елементі.

Визначення стану вхідних діодів (крок 1) відбувається за допомогою виконання такої послідовності дій:

- 1.1. На основі методу еквівалентного генератора відключення вхідних діодів з вхідного кола елемента (відключення діодів від вузла *A*).
- 1.2. На основі методу еквівалентного генератора відключення транзистора від вузла *B* та визначення напруги холостого ходу у вузлі *B* U_B^{xx} .

- 1.3. Визначення стану діода емітера транзистора в режимі холостого ходу (при відключених вхідних діодах).
- 1.4. Представлення транзистора відповідною схемою заміщення.
- 1.5. Розрахунок напруги холостого ходу на аноді вхідних діодів (вузол A) U_A^{xx} .
- 1.6. Визначення стану вхідних діодів.

Розглянемо спочатку процедуру визначення стану вхідних діодів елемента ДТЛ ПН (кроки 1.1-1.6).

- 1.1. Відключаємо вхідні діоди від вузла A (рис.2.38,а), в результаті чого отримуємо схему приведену на рис.2.38,б.

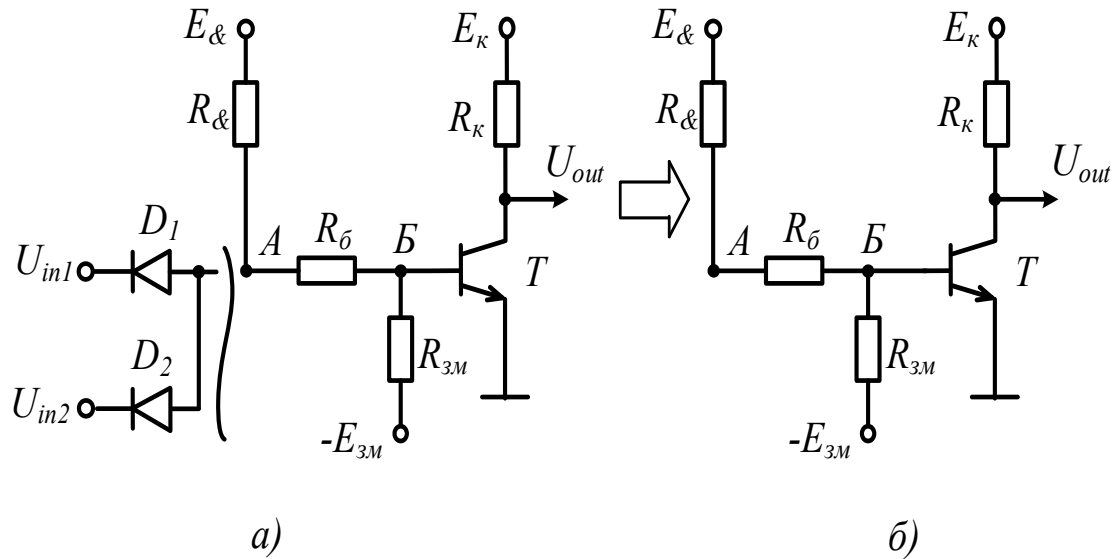


Рис. 2.38. Відключення діодів від вузла A

Фактично схема на рис.2.38,б являє собою звичайний інвертор, на вхід якого підключена напруга $E_{\&}$, а вхідний опір утворюється послідовним з'єднанням резисторів $R_{\&}$ і $R_{\text{б}}$.

1.2. Для отриманого інвертора визначимо напругу холостого ходу у вузлі B , для чого відповідно до методу еквівалентного генератора відключаємо транзистор від вузла B (рис.2.39,а). В результаті відключення транзистора утворюється схема, приведена на рис.2.39,б, яка є звичайним дільником напруги.

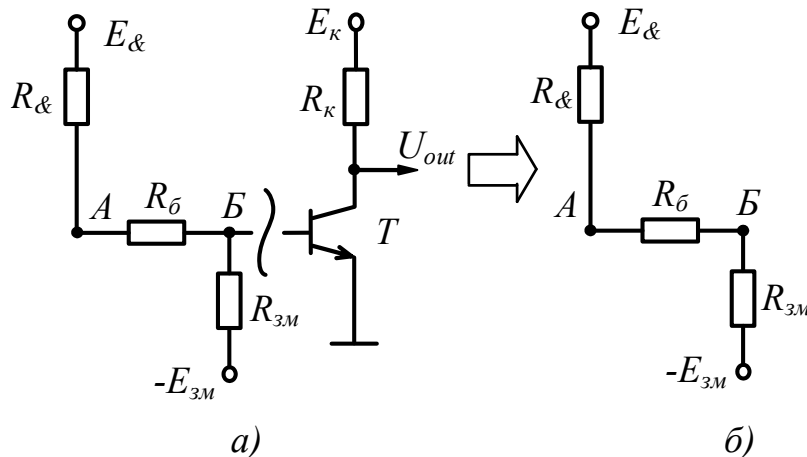


Рис. 2.39. Відключення транзистора від вузла B

Використовуючи метод двох вузлів, визначимо напругу холостого ходу у вузлі B :

$$U_B^{xx} = \frac{\frac{E_{\&}}{R_{\&} + R_{\bar{\sigma}}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\&} + R_{\bar{\sigma}}} + \frac{1}{R_{3M}}}. \quad (2.13)$$

1.3. У зв'язку з тим, що на вхід інвертора на рис.2.38,б фактично підключений високий рівень напруги ($E_{\&}$), то у випадку коректних номіналів резисторів елемента ДТЛ напруга U_B^{xx} повинна задовольняти умові $U_B^{xx} \geq 0,75B$, тобто діод емітера транзистора відкритий. Якщо ця умова не виконується, то елемент ДТЛ ПН спроектований неправильно.

1.4. За виконання умови $U_B^{xx} \geq 0,75B$ заміняємо транзистор схемою заміщення з боку бази для насичення (рис.2.40).

1.5. Відповідно до схеми на рис.2.40, за допомогою методу двох вузлів визначаємо напругу холостого ходу у вузлі A :

$$U_A^{xx} = \frac{\frac{E_{\&}}{R_{\&}} + \frac{U_{\bar{\sigma}e}}{R_{\bar{\sigma}}}}{\frac{1}{R_{\&}} + \frac{1}{R_{\bar{\sigma}}}}. \quad (2.14)$$

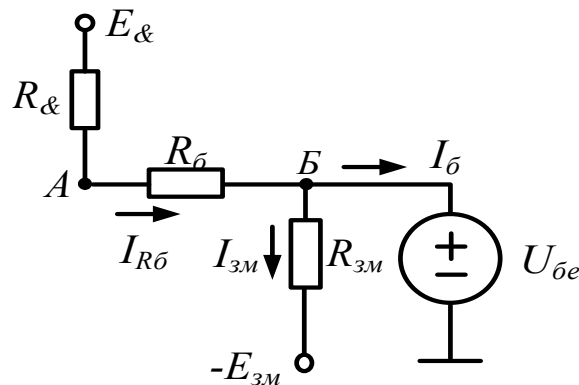


Рис. 2.40. Схема заміщення вхідного кола інвертора в складі ДТЛ ПН

1.6. В результаті обчислення U_A^{xx} визначаємо стани вхідних діодів, виконуючи порівняння вхідних напруг та U_A^{xx} . Якщо хоча б для одного входу виконується умова $U_A^{xx} - U_{in\ min} \geq 0,55B$, де $U_{in\ min}$ – максимальна за амплітудою негативна вхідна напруга, то відповідний діод (або діоди, якщо ця напруга подається на кілька входів) буде відкритий. В протилежному випадку, якщо для всіх входів $U_A^{xx} - U_{in\ min} < 0,3B$, то всі діоди будуть закриті. Якщо $0,3B \leq U_A^{xx} - U_{in\ min} < 0,55B$, то стан діодів залежить від технологічних розкидів параметрів цих діодів.

На цьому виконання першого кроку розрахунку елемента ДТЛ ПН завершується.

Виконання наступних кроків розрахунку елемента ДТЛ ПН залежить від станів вхідних діодів. Тому розрахунок будемо проводити для двох випадків:

- a) хоча б один діод відкритий;
- b) всі діоди закриті.

Далі, таким чином, до позначення кроків розрахунку елемента ДТЛ ПН будемо додавати позначення випадку, що визначає стан діодів (наприклад, 2а, 4б тощо).

Спочатку виконаємо розрахунок для випадку *a*, тобто принаймні один з діодів відкритий.

Далі продовжимо процедуру розрахунку значень струмів і напруг для двовходового елемента ДТЛ ПН ($m = 2$).

2а. Нехай в результаті виконання першого кроку розрахунків було визначено, що діод D_1 відкритий, а D_2 – закритий. Заміняємо діоди відповідними схемами заміщення, в результаті чого для подальших розрахунків отримаємо схему, приведену на рис.2.41:

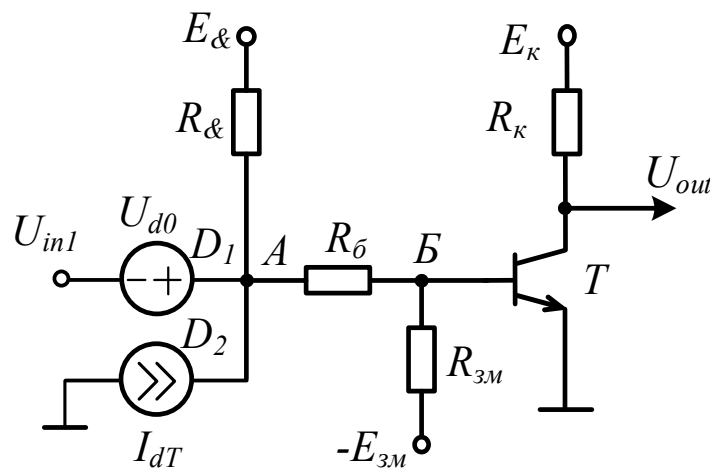


Рис. 2.41. Елемент ДТЛ ПН зі схемами заміщення діодів

Для представлення діодів в схемі на рис.2.41 використовується друга схема заміщення діодів [1]. Відповідно до другого закону Кірхгофа напруга у вузлі *A* визначається за виразом $U_A = U_{in1} + U_{d0}$, тобто при відкритому вхідному діоді напруга U_A не залежить від інших складових елемента ДТЛ ПН. Це означає, що далі розрахунок елемента ДТЛ ПН зводиться до розрахунку звичайного інвертора [1], на вхід якого під'єднана напруга $U_{in1} + U_{d0}$, тому подальші кроки розрахунку *3a*, *4a*, *5a* тут не розглядаються. Схема для подальшого розрахунку елемента ДТЛ ПН для цього випадку приведена на рис.2.42.

2б. Нехай в результаті виконання першого кроку розрахунків було визначено, що всі діоди закриті. Для розрахунків заміняємо закриті діоди першою схемою заміщення [1], в результаті чого отримаємо схему, приведену на рис.2.38,б.

Аналізуючи схему на рис.2.38,б, можна зробити висновок, що розрахунок елемента ДТЛ ПН також зводиться до розрахунку звичайного інвертора [1], на вхід якого надходить напруга $E_&$, а вхідний опір інвертора визначається послідовним з'єднанням резисторів $R_&$ і $R_б$. Таким чином, і для цього випадку подальші кроки розрахунку *3b*, *4b*, *5b* не розглядаються.

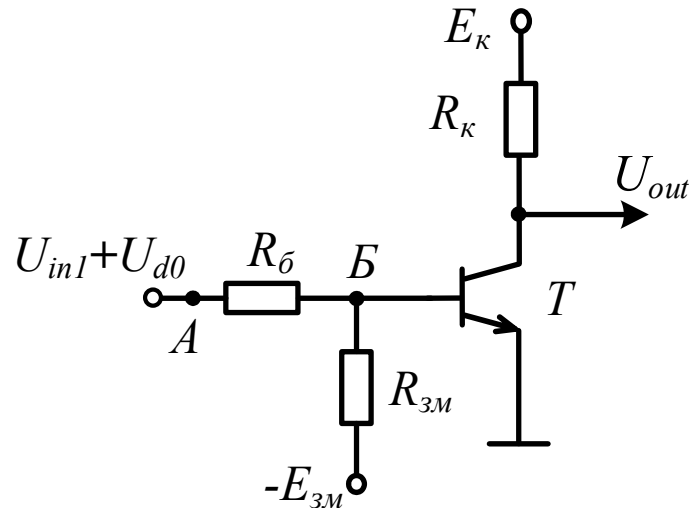


Рис. 2.42. Схема для розрахунку елемента ДТЛ ПН при відкритому вхідному діоді

Далі розглянемо приклади розрахунку елемента ДТЛ ПН.

Приклад 2.11. Визначити напруги і струми в елементі ДТЛ ПН І-НІ для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_к = 5B$; $E_к = 5B$; $E_зм = -5B$; $R_б = 1k$; $R_зм = 5k$; $R_к = 2k$; $R_к = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{бе} = 0,75B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 2$; $U_{in1} = 0B$; $U_{in2} = 5B$.

Розв'язок.

1. Визначення стану вхідних діодів.

1.1. Відключаємо вхідні діоди та отримуємо схему, що приведена на рис.2.38,б.

1.2. Для схеми, приведеної на рис.2.39,б відповідно до виразу (2.13) визначимо U_B^{xx} :

$$U_B^{xx} = \frac{\frac{E_к}{R_к + R_б} + \frac{E_зм}{R_зм}}{\frac{1}{R_к + R_б} + \frac{1}{R_зм}} = \frac{\frac{5}{2+1} + \frac{-5}{5}}{\frac{1}{2+1} + \frac{1}{5}} = 1,25B.$$

1.3. Умова $U_B^{xx} > 0,75B$ виконується, тобто діод емітера відкритий.

1.4. Отримуємо схему заміщення, що приведена на рис.2.40.

1.5. Відповідно до схеми на рис.2.40 та виразу (2.14) визначимо напругу холостого ходу у вузлі А U_A^{xx} :

$$U_A^{xx} = \frac{\frac{E_к}{R_к} + \frac{U_{бе}}{R_б}}{\frac{1}{R_к} + \frac{1}{R_б}} = \frac{\frac{5}{2} + \frac{0,7}{1}}{\frac{1}{2} + \frac{1}{1}} = 2,13B.$$

1.6. Таким чином, відповідно до умови завдання та значення U_A^{xx} , можна зробити висновок, що в зв'язку з тим, що виконується умова $U_A^{xx} - U_{in} \geq U_{d0}$, то діод D_1 відкритий, а діод D_2 закритий.

На рис.2.43,а і рис.2.43,б відповідно показані результати моделювання напруг U_B^{xx} і U_A^{xx} , визначених аналітично на першому кроці розрахунку.

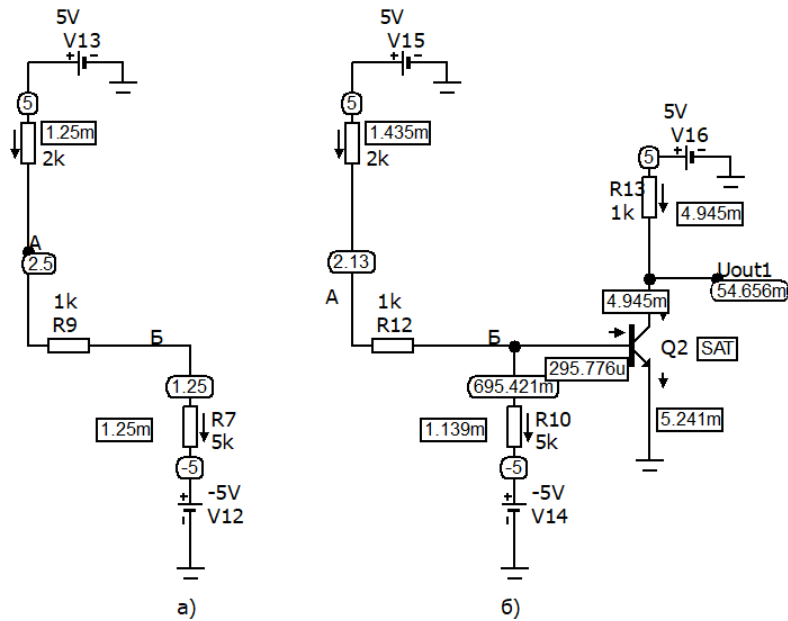


Рис. 2.43. Результати моделювання першого кроку процедури розрахунку елемента ДТЛ ПН (приклад 2.11)

Результати моделювання, що приведені на рис.2.43, підтверджують коректність розрахунків.

В результаті розрахунків виявлено, що один з діодів відкритий, що відповідає випадку *a*, зазначеному вище.

2а. Схема заміщення для подальших розрахунків приведена на рис.2.42.

3а. Визначимо стан транзистора в схемі на рис.2.42, для чого визначимо напругу холостого ходу у вузлі *B* за допомогою методу двох вузлів:

$$U_B^{xx} = \frac{\frac{U_{inI} + U_{d0}}{R_{\bar{\sigma}}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\bar{\sigma}}} + \frac{1}{R_{3M}}} = \frac{\frac{0+0,7}{1} + \frac{-5}{5}}{\frac{1}{1} + \frac{1}{5}} = -0,25B.$$

В результаті розрахунків $U_B^{xx} < 0,7B$, тобто транзистор перебуває в режимі відсічки.

4а. Схеми заміщення вхідного і колекторного кіл інвертора, приведеного на рис.4.42, для закритого транзистора приведені на рис.2.44,а і рис.2.44,б відповідно.

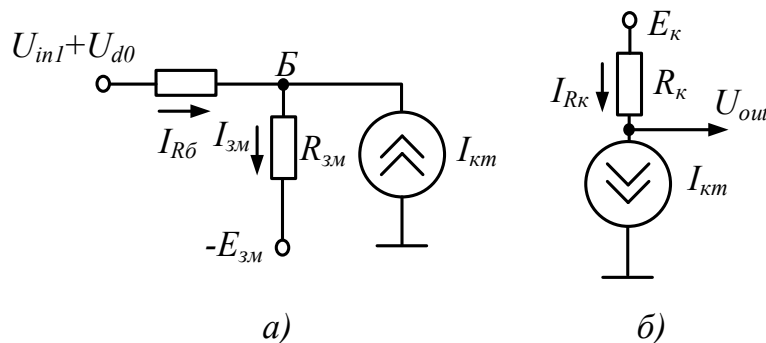


Рис. 2.44. Схеми заміщення вхідного і колекторного кіл інвертора (приклад 2.11)

5а. Відповідно до цієї схеми визначимо напругу у вузлі *B*. Враховуючи, що за умовою завдання $I_{км} = 0$, то $U_B = U_B^{xx} = -0,25V$. Далі за законом Ома розрахуємо струми I_{R6} і $I_{зм}$:

$$I_{R6} = \frac{U_{in1} + U_{d0} - U_B}{R_6} = \frac{0,7 - (-0,25)}{1} = 0,95mA; I_{зм} = \frac{U_B - E_{зм}}{R_{зм}} = \frac{-0,25 - (-5)}{5} = 0,95mA;$$

Вихідна напруга визначається за другим законом Кірхгофа:

$$U_{out} = E_{к} - I_{км} \cdot R_{к} = 5 - 0 \cdot 1 = 5V.$$

Результати моделювання еквівалентної схеми елемента ДТЛ ПН при відкритих вхідних діодах приведена на рис.2.45.

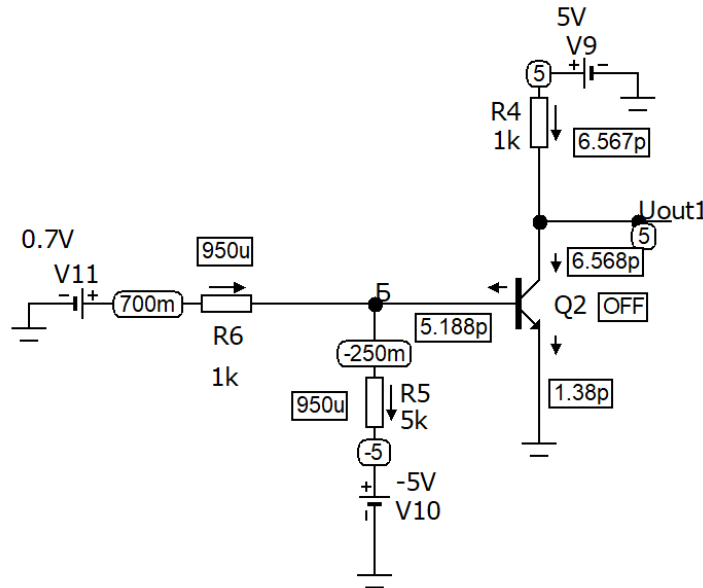


Рис. 2.45. Результати моделювання елемента ДТЛ ПН при відкритому діоді (приклад 2.11)

На рис.2.46 приведені результати моделювання елемента ДТЛ ПН при відкритому діоді D_1 за умовою прикладу 2.11, на яких видно, що транзистор перебуває в режимі відсічки, тобто на виході формується високий рівень напруги, що підтверджує коректність розрахунків, проведених під час розв'язання завдання.

На цьому виконання прикладу 2.11 завершено.

Приклад 2.12. Визначити напруги і струми в елементі ДТЛ ПН I-НІ для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_{к} = 5V$; $E_{\&} = 5V$; $E_{зм} = -5V$; $R_6 = 1k$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_{к} = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $U_{d0} = 0,7V$; $U_{кен} = 0,1V$; $m = 2$; $U_{in1} = 1,4V$; $U_{in2} = 5V$.

Розв'язок.

1. Визначення стану вхідних діодів розглянуто в прикладі 2.11. Напруга $U_A^{xx} = 2,13V$. Умова $U_A^{xx} - U_{in} \geq U_{d0}$ ($2,13 - 1,4 = 0,73 \geq 0,7V$) виконується для діода D_1 , тобто цей діод відкритий, а для діода D_2 не виконується, тобто D_2 закритий.

Подальший розрахунок відповідає випадку *a*, як і в прикладі 2.11.

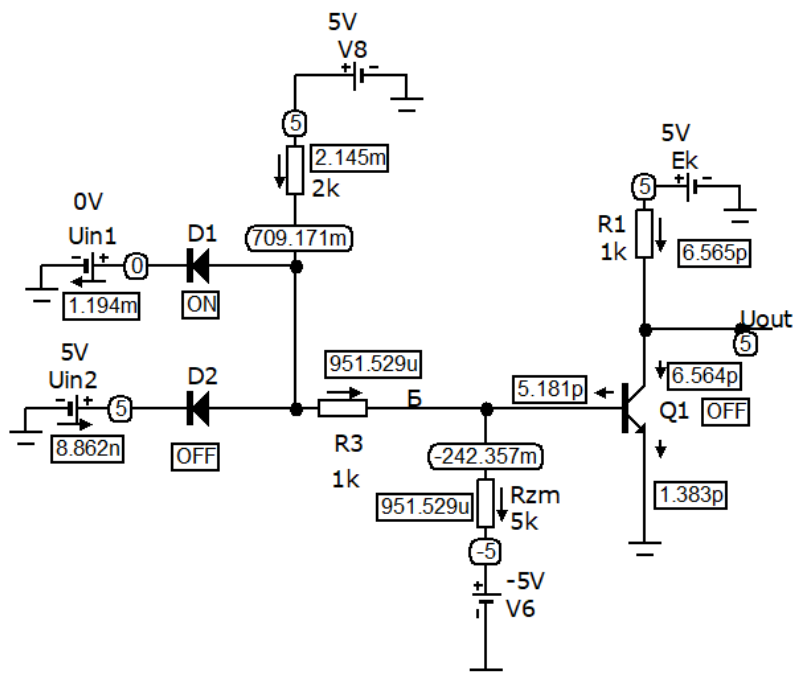


Рис. 2.46. Результати моделювання елемента ДТЛ ПН за умовою прикладу 2.11

2а. Схема заміщення для подальших розрахунків приведена на рис.2.42, тобто розрахунок елемента ДТЛ ПН зводиться до розрахунку інвертора, на вхід якого підключена напруга $U_{in1} + U_{d0} = 2,1В$.

3а, 4а, 5а. Визначимо стан транзистора в схемі на рис.2.42, для чого визначимо напругу холостого ходу у вузлі Б за допомогою методу двох вузлів:

$$U_B^{xx} = \frac{\frac{U_{in1} + U_{d0}}{R_{\bar{\delta}}} + \frac{E_{zm}}{R_{zm}}}{\frac{1}{R_{\bar{\delta}}} + \frac{1}{R_{zm}}} = \frac{1,4 + 0,7}{1} + \frac{-5}{5} = 0,91В.$$

В результаті розрахунків $U_B^{xx} > 0,7В$, тобто діод емітера транзистора відкритий. Далі визначимо стан діода колектору транзистора. Для цього необхідно визначити струм бази $I_{\bar{\delta}}$ і струм бази насичення $I_{\bar{\delta}n}$ з метою їх подальшого порівняння. Схема заміщення з боку бази для відкритого діода емітера приведена на рис.2.47.

Струм $I_{\bar{\delta}}$ обчислюється за першим законом Кірхгофа відповідно до виразу $I_{\bar{\delta}} = I_{R\bar{\delta}} - I_{zm}$, де струми $I_{R\bar{\delta}}$ і I_{zm} визначаються за законом Ома:

$$I_{R\bar{\delta}} = \frac{U_{in1} + U_{d0} - U_{\bar{\delta}e}}{R_{\bar{\delta}}} = \frac{1,4 + 0,7 - 0,75}{1} = 1,35mA;$$

$$I_{zm} = \frac{U_{\bar{\delta}e} - E_{zm}}{R_{zm}} = \frac{0,75 - (-5)}{5} = 1,15mA;$$

$$I_{\bar{\delta}} = I_{R\bar{\delta}} - I_{zm} = 1,35 - 1,15 = 0,2mA.$$

Далі визначимо струм бази насичення $I_{\bar{\delta}n} = I_{кн} / \beta$, де $I_{кн}$ – струм колектору насичення:

$$I_{кн} = \frac{E_{к} - U_{кен}}{R_{к}} = \frac{5 - 0,1}{1} = 4,9mA; I_{\bar{\delta}n} = \frac{I_{кн}}{\beta} = \frac{4,9}{100} = 0,049mA.$$

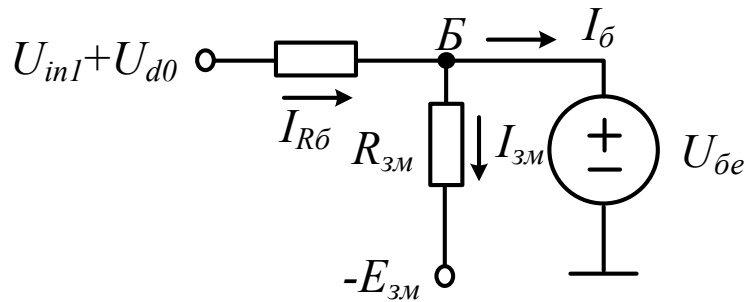


Рис. 2.47 Схеми заміщення вхідного кола інвертора елемента ДТЛ ПН (приклад 2.12)

Таким чином, $I_{\beta} \geq I_{\beta n}$, тобто транзистор перебуває в стані насичення, а вихідна напруга інвертора визначається $U_{out} = U_{кен} = 0,1B$ [1].

Результати моделювання еквівалентної схеми елемента ДТЛ ПН при відкритому вхідному діоді приведена на рис.2.48.

На рис.2.49 приведені результати моделювання елемента ДТЛ ПН при відкритому діоді D_1 за умовою прикладу 2.12, на яких видно, що транзистор перебуває в режимі насичення, тобто на виході формується низький рівень напруги, що підтверджує коректність розрахунків, проведених під час розв'язання завдання.

На цьому виконання прикладу 2.12 завершено.

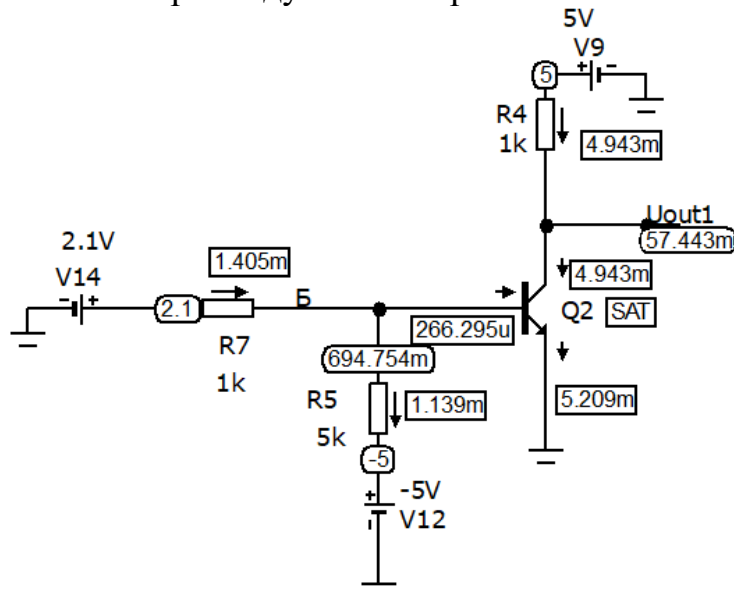


Рис. 2.48. Результати моделювання еквівалентної схеми елемента ДТЛ ПН при відкритому діоді (приклад 2.12)

Приклад 2.13. Визначити напруги і струми в елементі ДТЛ ПН І-НІ для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_{\kappa} = 5B$; $E_{\&} = 5B$; $E_{зм} = -5B$; $R_{\beta} = 1k$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\beta e} = 0,65B$; $U_{d0} = 0,65B$; $U_{кен} = 0,1B$; $m = 2$; $U_{in1} = 1,15B$; $U_{in2} = 5B$.

Розв'язок.

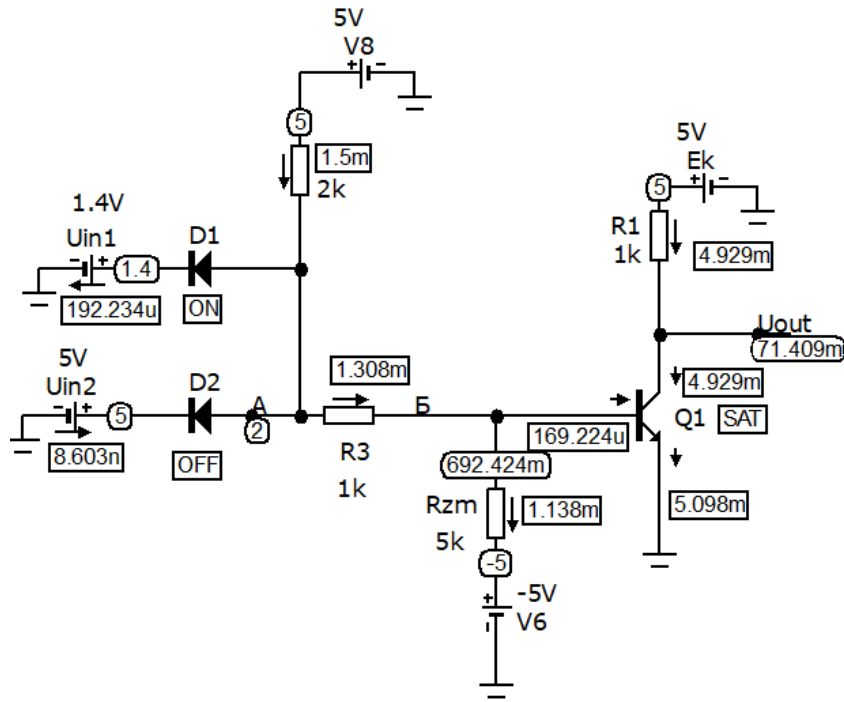


Рис. 2.49. Результати моделювання елемента ДТЛ ПН за умовою прикладу 2.12

1. Визначення стану вхідних діодів розглянуто в прикладі 2.11. Напряга $U_A^{xx} = 2,13V$. Умова $U_A^{xx} - U_{in} \geq U_{d0}$ ($2,13 - 1,15 = 0,98 \geq 0,65V$) виконується для діода D_1 , тобто цей діод відкритий, а для діода D_2 не виконується, тобто D_2 закритий.

Подальший розрахунок відповідає випадку a (див. приклади 2.11, 2.12).

2а. Схема заміщення для подальших розрахунків приведена на рис.2.42, тобто розрахунок елемента ДТЛ ПН зводиться до розрахунку інвертора, на вхід якого підключена напруга $U_{in1} + U_{d0} = 1,8V$.

3а, 4а, 5а. Визначимо стан транзистора в схемі на рис.2.42, для чого обчислимо U_B^{xx} за допомогою методу двох вузлів:

$$U_B^{xx} = \frac{\frac{U_{in1} + U_{d0}}{R_{\bar{b}}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\bar{b}}} + \frac{1}{R_{3M}}} = \frac{\frac{1,15 + 0,65}{1} + \frac{-5}{5}}{\frac{1}{1} + \frac{1}{5}} = 0,67V.$$

В результаті розрахунків $U_B^{xx} > 0,65V$, тобто діод емітера транзистора відкритий. Далі визначимо стан діода колектору транзистора, тобто визначимо струми $I_{\bar{b}}$ і I_{3M} (див. приклад 2.12) та порівняємо їх один з одним. Схема заміщення з боку бази для відкритого діода емітера приведена на рис.2.47. Струм $I_{\bar{b}}$ обчислюється аналогічно розрахункам в прикладі 2.12:

$$I_{\bar{b}} = \frac{U_{in1} + U_{d0} - U_{\bar{b}e}}{R_{\bar{b}}} = \frac{1,15 + 0,65 - 0,65}{1} = 1,15mA;$$

$$I_{3M} = \frac{U_{\bar{b}e} - E_{3M}}{R_{3M}} = \frac{0,65 - (-5)}{5} = 1,13mA;$$

$$I_{\bar{b}} = I_{R_{\bar{b}}} - I_{3M} = 1,15 - 1,13 = 0,02mA.$$

Струм бази насичення обчислений в прикладі 2.12 і складає $I_{\beta n} = 0,049mA$.

Таким чином, $I_{\beta} < I_{\beta n}$, тобто транзистор перебуває в лінійному режимі, а вихідна напруга інвертора визначається [1]:

$$U_{out} = E_k - \beta \cdot I_{\beta} \cdot R_k = 5 - 100 \cdot 0,02 \cdot 1 = 3B.$$

Результати моделювання еквівалентної схеми елемента ДТЛ ПН при відкритому входному діоді приведена на рис.2.50.

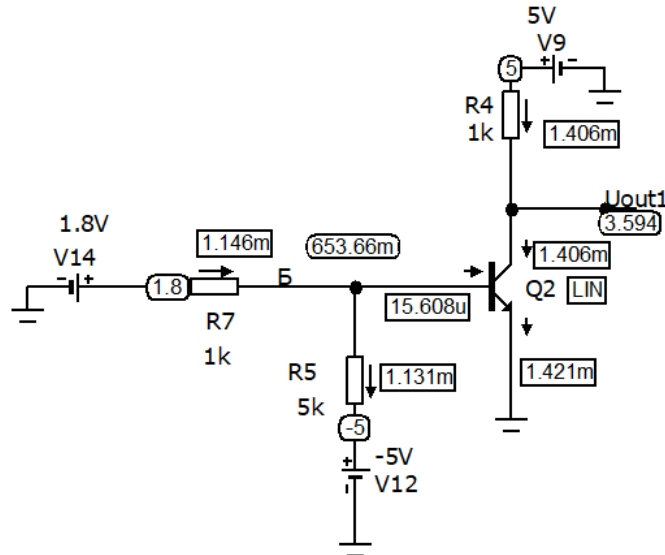


Рис. 2.50. Результати моделювання еквівалентної схеми елемента ДТЛ ПН при відкритому діоді (приклад 2.13)

На рис.2.51 приведені результати моделювання елемента ДТЛ ПН при відкритому діоді D_1 за умовою прикладу 2.13, на яких видно, що транзистор перебуває в лінійному режимі, тобто на виході формується рівень напруги, залежний від коефіцієнта підсилення транзистора β , що підтверджує коректність розрахунків, проведених під час розв'язання завдання.

На цьому виконання прикладу 2.13 завершено.

Приклад 2.14. Визначити напруги і струми в елементі ДТЛ ПН І-НІ для заданих значень входної напруги. Параметри елемента ДТЛ ПН: $E_k = 5B$; $E_{\&} = 5B$; $E_{zm} = -5B$; $R_{\beta} = 1k$; $R_{zm} = 5k$; $R_{\&} = 2k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\beta e} = 0,7B$; $U_{d0} = 0,75B$; $U_{кен} = 0,1B$; $m = 2$; $U_{in1} = 5B$; $U_{in2} = 5B$.

Розв'язок.

1. Визначення стану входних діодів розглянуто в прикладі 2.11. Напруга $U_A^{xx} = 2,13B$. Умова $U_A^{xx} - U_{in} \geq U_{d0}$ ($2,13 - 5 = -3,13 \geq 0,7B$) не виконується для входних діодів, тобто всі ці діоди закриті.

Подальший розрахунок відповідає випадку б.

2б. При використанні першої схеми заміщення закритих діодів [1], схема заміщення елемента ДТЛ ПН для подальших розрахунків приведена на рис.2.38,б, тобто розрахунок елемента зводиться до розрахунку інвертора, на вхід якого надходить напруга $E_{\&} = 5B$, а вхідний опір цього інвертора визначається, послідовним з'єднанням резисторів $R_{\&}$ і R_{β} : $R_{\&} + R_{\beta} = 3kOm$.

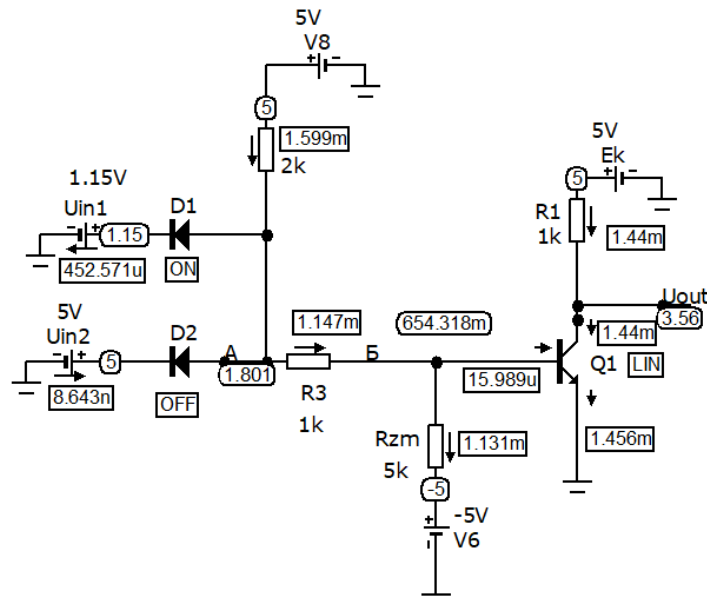


Рис. 2.51. Результати моделювання елемента ДТЛ ПН при відкритому діоді (приклад 2.13)

3б, 4б, 5б. Визначимо стан транзистора в схемі на рис.2.38,б для чого обчислимо U_B^{xx} за виразом (2.13):

$$U_B^{xx} = \frac{\frac{E_{\&}}{R_{\&} + R_{\sigma}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\&} + R_{\sigma}} + \frac{1}{R_{3M}}} = \frac{\frac{5}{2+1} + \frac{-5}{5}}{\frac{1}{2+1} + \frac{1}{5}} = 1,25B.$$

Умова $U_B^{xx} > 0,7B$ виконується, тобто діод емітера відкритий. Для розрахунку струмів вхідного кола використовується схема заміщення, приведена на рис.2.40.

Струм I_{σ} обчислюється за першим законом Кірхгофа відповідно до виразу $I_{\sigma} = I_{R_{\sigma}} - I_{3M}$, де струми $I_{R_{\sigma}}$ і I_{3M} визначаються за законом Ома:

$$I_{R_{\sigma}} = \frac{E_{\&} - U_{\sigma e}}{R_{\&} + R_{\sigma}} = \frac{5 - 0,7}{3} = 1,43mA;$$

$$I_{3M} = \frac{U_{\sigma e} - E_{3M}}{R_{3M}} = \frac{0,7 - (-5)}{5} = 1,14mA;$$

$$I_{\sigma} = I_{R_{\sigma}} - I_{3M} = 1,43 - 1,14 = 0,29mA.$$

Струм бази насичення обчислений в прикладі 2.12 і складає $I_{\sigma n} = 0,049mA$.

Таким чином, $I_{\sigma} \geq I_{\sigma n}$, тобто транзистор перебуває в стані насичення, а вихідна напруга інвертора визначається $U_{out} = U_{кен} = 0,1B$ [1].

Результати моделювання еквівалентної схеми елемента ДТЛ ПН при відкритому вхідному діоді приведена на рис.2.52.

На рис.2.53 приведені результати моделювання елемента ДТЛ ПН при закритих вхідних діодах за умовою прикладу 2.14, на яких видно, що транзистор перебуває в режимі насичення, тобто на виході формується низький рівень напруги, що підтверджує коректність розрахунків, проведених під час розв'язання завдання.

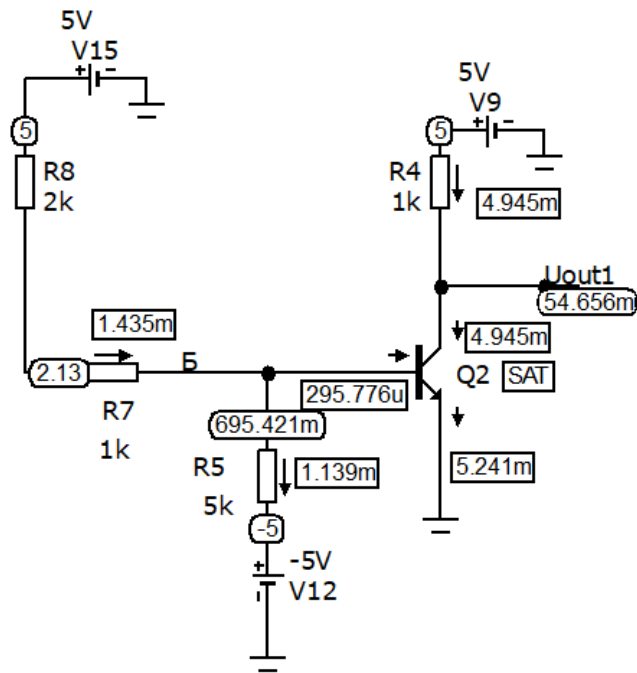


Рис. 2.52. Результати моделювання еквівалентної схеми елемента ДТЛ ПН при закритих вхідних діодах (приклад 2.14)

На цьому виконання прикладу 2.14 завершено.

В результаті розгляду властивостей елемента ДТЛ ПН необхідно відзначити, що визначення струмів і напруг в елементі зводиться до визначення стану вхідних діодів та подальшому розрахунку звичайного інвертора.

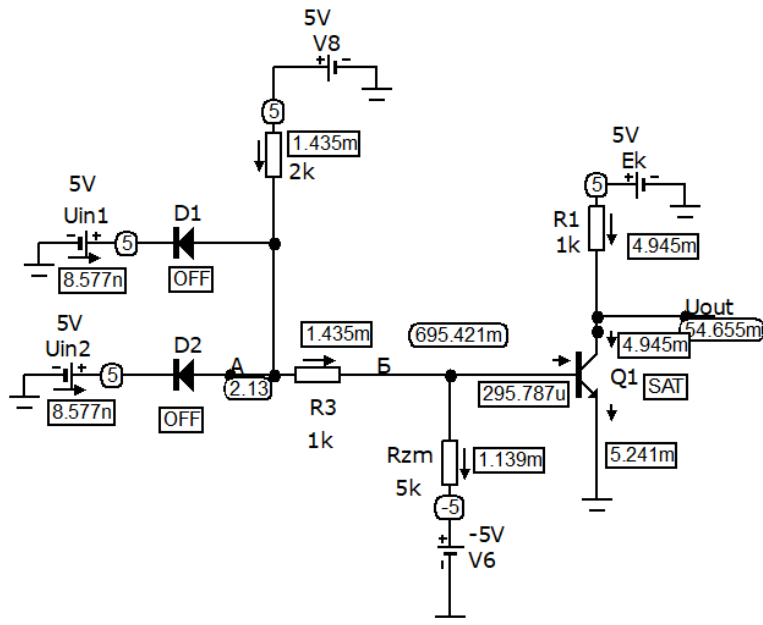


Рис. 2.53. Результати моделювання елемента ДТЛ ПН при закритих вхідних діодах (приклад 2.14)

Контрольні завдання та запитання

1. На які типи розподіляються елементи ДТЛ?

2. Яким чином реалізується багатовходові логічні функції на базі елементів ДТЛ?
3. В чому полягає принцип роботи логічного елемента, побудованого на базі елементи ДТЛ?
4. Поясніть функціонування m -входового елемента ДТЛ відповідно до структурної схеми, що приведена на рис.2.36.?
5. Приведіть схему m -входового елемента ДТЛ ПН, який реалізує функцію Шефера для кодування сигналів відповідно до логіки високого рівня.
6. Приведіть схему m -входового елемента ДТЛ ПН, який реалізує функцію Шефера для кодування сигналів відповідно до логіки низького рівня.
7. Приведіть схему m -входового елемента ДТЛ ПН, який реалізує функцію Пірса для кодування сигналів відповідно до логіки високого рівня.
8. Приведіть схему m -входового елемента ДТЛ ПН, який реалізує функцію Пірса для кодування сигналів відповідно до логіки низького рівня.
9. Яку логічну функцію при використанні логіки високого рівня виконує елемент ДТЛ ПН на рис.2.37?
10. Яку логічну функцію при використанні логіки низького рівня виконує елемент ДТЛ ПН на рис.2.37?
11. В якому режимі перебуває транзистор в схемі на рис.2.37, якщо на один з входів підключити напругу низького рівня, а на решту входів – напругу високого рівня?
12. В якому режимі перебуває транзистор в схемі на рис.2.37, якщо на всі входи підключити напругу низького рівня?
13. В якому режимі перебуває транзистор в схемі на рис.2.37, якщо на всі входи підключити напругу високого рівня і при цьому принаймні один з вхідних діодів відкритий?
14. В якому режимі перебуває транзистор в схемі на рис.2.37, якщо на всі входи підключити напругу високого рівня і при цьому всі вхідні діоди закриті?
15. Вихідний сигнал якого рівня формується в елементі ДТЛ ПН (рис.2.37), якщо транзистор перебуває в режимі відсічки?
16. Вихідний сигнал якого рівня формується в елементі ДТЛ ПН (рис.2.37), якщо транзистор перебуває в режимі насичення?
17. Який сигнал формується на виході елемента ДТЛ ПН (рис.2.37), якщо транзистор перебуває в лінійному режимі?
18. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.37), якщо на один з входів підключити напругу низького рівня, а на решту входів – напругу високого рівня?
19. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.37), якщо на всі входи підключити напругу низького рівня?
20. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.37), якщо на всі входи підключити напругу високого рівня?
21. Як визначити стан вхідних діодів елемента ДТЛ ПН, якщо на входи надходять напруги різної величини?

22. Поясніть, що означає режим *A* роботи діодів в елементі ДТЛ ПН?
23. Поясніть, що означає режим *B* роботи діодів в елементі ДТЛ ПН?
24. Прокоментуйте таблицю 2.2.
25. Яким чином з таблиці 2.2 отримати таблицю істинності для кодування сигналів відповідно до логіки високого рівня?
26. Яким чином з таблиці 2.2 отримати таблицю істинності для кодування сигналів відповідно до логіки низького рівня?
27. В чому полягає послідовність розрахунку струмів і напруг в елементі ДТЛ ПН?
28. Яку послідовність дій необхідно виконати для визначення стану вхідних діодів елемента ДТЛ ПН?
29. З якою метою необхідно виконувати заміну діодів відповідними схемами заміщення?
30. Як визначити режим роботи транзистора?
31. Для чого необхідно визначати стан вхідних діодів елемента ДТЛ ПН?
32. З якою метою необхідно виконувати заміну транзистора відповідною схемою заміщення?
33. Яку роль в елементі ДТЛ ПН виконує коло $E_{\&}, R_{\&}$?
34. Яку роль в елементі ДТЛ ПН виконує коло зміщення?
35. Які елементи входять до складу інвертора в ДТЛ ПН?
36. Які елементи входять до складу діодного логічного елемента в ДТЛ ПН?
37. Як визначати стан транзистора елемента ДТЛ ПН, якщо відомі стани вхідних діодів?
38. Для чого необхідно визначати напругу U_B^{xx} ?
39. Як визначити напругу холостого ходу U_A^{xx} ?
40. Прокоментуйте схему на рис.2.38,а.
41. На основі якого метода дозволяється відключення вхідних діодів (рис.2.38,а)?
42. Що являє собою логічний елемент, схема якого приведена на рис.2.38,б?
43. Прокоментуйте схему на рис.2.39,а.
44. На основі якого метода дозволяється відключення вхідних діодів (рис.2.39,а)?
45. Що являє собою схема, приведена на рис.2.39,б?
46. Прокоментуйте вираз (2.13).
47. Яким чином отримано вираз (2.13)?
48. З якою метою необхідно виконувати перевірку виконання нерівності $U_B^{xx} \geq 0,75V$?
49. Яким чином отримано схему на рис.2.40?
50. За якої умови необхідно використовувати схему заміщення, приведену на рис.2.40?
51. Прокоментуйте вираз (2.14).
52. Яким чином отримано вираз (2.14)?
53. Для чого необхідно визначати напругу U_A^{xx} в схемі на рис.2.40?

54. За виконання якої умови принаймні один з вхідних діодів буде відкритий?
55. Для чого необхідно визначати найбільш негативну вхідну напругу $U_{in\ min}$ для елемента ДТЛ ПН І-НІ?
56. Що відбувається в елементі ДТЛ ПН І-НІ при виконанні умови $U_A^{xx} - U_{in\ min} < 0,3B$?
57. Що відбувається в елементі ДТЛ ПН І-НІ при виконанні умови $0,3B \leq U_A^{xx} - U_{in\ min} < 0,55B$?
58. Що відбувається в елементі ДТЛ ПН І-НІ при виконанні умови $U_A^{xx} - U_{in\ min} \geq 0,55B$?
59. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПН І-НІ, якщо принаймні один вхідний діод відкритий?
60. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПН І-НІ, якщо кілька вхідних діодів відкриті?
61. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПН І-НІ, якщо всі вхідні діоди закриті?
62. Прокоментуйте крок 2а процедури розрахунку напруг і струмів елемента ДТЛ ПН І-НІ?
63. Яким чином отримано схему на рис.2.41?
64. Як визначається напруга у вузлі A в схемі на рис.2.41?
65. За яким законом визначається напруга у вузлі A в схемі на рис.2.41?
66. До розрахунку якої схеми зводиться розрахунок напруг і струмів в елементі ДТЛ ПН І-НІ, якщо хоча б один вхідний діод відкритий?
67. До розрахунку якої схеми зводиться розрахунок напруг і струмів в елементі ДТЛ ПН І-НІ, якщо всі вхідні діоди закриті?
68. В якому випадку елемент ДТЛ ПН І-НІ може бути розрахований як звичайний інвертор, на вхід якого підключена напруга $U_{in} + U_{a0}$?
69. Прокоментуйте крок 2б процедури розрахунку напруг і струмів елемента ДТЛ ПН І-НІ?
70. В якому випадку елемент ДТЛ ПН І-НІ може бути розрахований як звичайний інвертор, на вхід якого підключена напруга $E_{\&}$?
71. Приведіть схему заміщення елемента ДТЛ ПН І-НІ, якщо всі вхідні діоди закриті?
72. Яким чином отримана схема на рис.2.42?
73. Задані параметри елемента ДТЛ ПН І-НІ: $E_{\kappa} = 5B$; $E_{\&} = 5B$; $E_{зм} = -5B$; $R_{\delta} = 1k$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\delta e} = 0,75B$; $U_{a0} = 0,7B$; $U_{кен} = 0,1B$; $m = 2$. Визначити вихідну напругу для наступних вхідних напруг:
 а) $U_{in1} = U_{in2} = 1,5B$; б) $U_{in1} = 3B$; $U_{in2} = 3B$; в) $U_{in1} = 5B$; $U_{in2} = 1B$;
 г) $U_{in1} = 3B$; $U_{in2} = 0B$; д) е) $U_{in1} = 1,15B$; $U_{in2} = 12B$.
74. Задані параметри елемента ДТЛ ПН І-НІ: $E_{\kappa} = 5B$; $E_{\&} = 5B$; $E_{зм} = -5B$; $R_{\delta} = 1k$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\delta e} = 0,75B$; $U_{a0} = 0,7B$; $U_{кен} = 0,1B$; $m = 2$. Визначити стан вхідних діодів для наступних вхідних напруг:

- а) $U_{in1} = U_{in2} = 1,5B$; б) $U_{in1} = 3B$; $U_{in2} = 3B$; в) $U_{in1} = 5B$; $U_{in2} = 1B$;
 г) $U_{in1} = 3B$; $U_{in2} = 0B$; д) е) $U_{in1} = 1,15B$; $U_{in2} = 12B$.
75. Задані параметри елемента ДТЛ ПН І-НІ: $E_k = 5B$; $E_{\&} = 5B$; $E_{зм} = -5B$;
 $R_{\phi} = 1k$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_k = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{\phi e} = 0,75B$; $U_{d0} = 0,7B$;
 $U_{кен} = 0,1B$; $m = 2$. Визначити стан транзистора для наступних вхідних напруг:
- а) $U_{in1} = U_{in2} = 1,5B$; б) $U_{in1} = 3B$; $U_{in2} = 3B$; в) $U_{in1} = 5B$; $U_{in2} = 1B$;
 г) $U_{in1} = 3B$; $U_{in2} = 0B$; д) е) $U_{in1} = 1,15B$; $U_{in2} = 12B$.
76. Прокоментуйте результати моделювання на рис.2.43,а.
 77. Прокоментуйте результати моделювання на рис.2.43,б.
 78. Яким чином отримана схема заміщення на рис.2.44,а?
 79. Яким чином отримана схема заміщення на рис.2.44,б?
 80. Прокоментуйте результати моделювання на рис.2.45.
 81. Прокоментуйте результати моделювання на рис.2.46.
 82. В чому полягає різниця між схемами для моделювання на рис.2.45 і рис.2.46?
 83. Яким чином отримана схема заміщення на рис.2.47?
 84. Прокоментуйте результати моделювання на рис.2.48.
 85. Прокоментуйте результати моделювання на рис.2.49.
 86. В чому полягає різниця між схемами для моделювання на рис.2.49 і рис.2.48?
 87. Прокоментуйте результати моделювання на рис.2.50.
 88. Прокоментуйте результати моделювання на рис.2.51.
 89. В чому полягає різниця між схемами для моделювання на рис.2.50 і рис.2.51?
 90. Прокоментуйте результати моделювання на рис.2.52.
 91. Прокоментуйте результати моделювання на рис.2.53.
 92. В чому полягає різниця між схемами для моделювання на рис.2.52 і рис.2.53?
 93. Чим характеризується розрахунок напруг і струмів в елементі ДТЛ ПН І-НІ в порівнянні зі звичайним інвертором?

2.2.1.2. Параметри елемента ДТЛ ПН І-НІ логіки високого рівня

При визначенні параметрів елемента ДТЛ ПН І-НІ необхідно прийняти до уваги, що, як зазначено в попередньому підрозділі, розрахунок цього елемента зводиться до розрахунку інвертора для різних значень вхідної напруги в залежності від станів вхідних діодів. Це означає, що розрахунок деяких параметрів елемента ДТЛ ПН проводиться аналогічним чином, як і для звичайного інвертора. Наприклад, розрахунок споживаної потужності інвертора детально розглянуто в [1]. Визначення цього параметра для елемента ДТЛ ПН проводиться аналогічно, але з врахуванням наявності кола $E_{\&}$, $R_{\&}$, тому в посібнику не розглядається.

Далі розглянемо визначення статичної завадостійкості. Нагадаємо, що статична завадостійкість визначає максимальну амплітуду завади, яка не

викликає спрацьовування логічної елемента [1]. Як і у звичайного інвертора, функціонування елемента ДТЛ ПН характеризується наявністю двох порогових напруг переключення $U_{in\ max}^L$ і $U_{in\ min}^H$, де $U_{in\ max}^L$ – максимальна вхідна напруга низького рівня, при досягненні якої транзистор перебуває на межі відсічки, а $U_{in\ min}^H$ – мінімальна вхідна напруга високого рівня, при досягненні якої транзистор перебуває на межі насичення.

Якщо вхідна напруга приймає значення $U_{in\ max}^L$, то в транзисторі починає переключатися діод емітера в залежності від напрямку зміни вхідної напруги, тобто напруга на діоді емітера досягає напруги переключення діода ($0,55B$).

Однак спочатку визначимо величину $U_{in\ max\ inv}^L$ для інвертора в складі ДТЛ ПН. Для визначення $U_{in\ max\ inv}^L$ необхідно розв'язати рівняння $U_B^{xx} = 0,55B$ відносно вхідної напруги, де U_B^{xx} визначається відповідно до метода двох вузлів:

$$U_B^{xx} = \frac{\frac{U_{in\ inv} + E_{зм}}{R_{\delta}} + \frac{E_{зм}}{R_{зм}}}{\frac{1}{R_{\delta}} + \frac{1}{R_{зм}}} = 0,55B, \quad (2.15)$$

де $U_{in\ inv}$ – вхідна напруга інвертора в складі ДТЛ ПН.

В результаті визначена вхідна напруга $U_{in\ inv}$ відповідає значенню $U_{in\ max\ inv}^L$.

Далі визначимо напругу $U_{in\ min}^H$. Якщо ця вхідна напруга приймає значення $U_{in\ min}^H$, то в транзисторі починає переключатися діод колектору. Це відбувається, коли I_{δ} досягає значення $I_{\delta n}$ ($I_{\delta} = I_{\delta n}$). Використовуючи перший закон Кірхгофа, запишемо рівняння $I_{\delta} = I_{R\delta} - I_{зм} = I_{\delta n}$, яке необхідно розв'язати відносно вхідної напруги, причому струми $I_{R\delta}$ і $I_{зм}$ визначаються за законом Ома [1]:

$$\frac{U_{in\ inv} - U_{\delta e}}{R_{\delta}} - \frac{U_{\delta e} - E_{зм}}{R_{зм}} = \frac{E_{\kappa} - U_{кен}}{\beta \cdot R_{\kappa}}. \quad (2.16)$$

Таким чином, визначена вхідна напруга $U_{in\ inv}$ відповідає значенню $U_{in\ min\ inv}^H$.

Враховуючи наявність вхідних діодів, визначимо порогові напруги елемента ДТЛ ПН:

$$U_{in\ max}^L = U_{in\ max\ inv}^L - U_{d0}; \quad U_{in\ min}^H = U_{in\ min\ inv}^H - U_{d0}, \quad (2.17)$$

де U_{d0} – падіння напруги на відкритому діоді.

Далі визначається завадостійкість елемента ДТЛ ПН [1]:

$$NM^L = U_{in\ max}^L - U_{in}^L; \quad NM^H = U_{in}^H - U_{in\ min}^H, \quad (2.18)$$

де NM^L, NM^H – завадостійкість низького і високого рівня відповідно.

Приклад 2.15. Визначити завадостійкість елемента ДТЛ ПН І-НІ. Параметри елемента ДТЛ ПН: $E_{\kappa} = 5B$; $E_{\&} = 5B$; $E_{зм} = -5B$; $R_{\delta} = 1k$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{\delta e} = 0,7B$; $U_{d0} = 0,65B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 5B$; $U_{in}^L = 0,1B$.

Розв'язок.

Відповідно до виразу (2.15) визначимо $U_{in\ max\ inv}^L$

$$\frac{\frac{U_{in\ max\ inv}^L}{R_{\delta}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\delta}} + \frac{1}{R_{3M}}} = 0,55B;$$

$$U_{in\ max\ inv}^L = R_{\delta} \left[0,55 \cdot \left(\frac{1}{R_{\delta}} + \frac{1}{R_{3M}} \right) - \frac{E_{3M}}{R_{3M}} \right] = 1,66B;$$

Відповідно до виразу (2.16) визначимо $U_{in\ min\ inv}^H$

$$\frac{U_{in\ min\ inv}^H - U_{\delta e}}{R_{\delta}} - \frac{U_{\delta e} - E_{3M}}{R_{3M}} = \frac{E_K - U_{кен}}{\beta \cdot R_K}.$$

$$U_{in\ min\ inv}^H = U_{\delta e} + R_{\delta} \left(\frac{E_K - U_{кен}}{\beta \cdot R_K} + \frac{U_{\delta e} - E_{3M}}{R_{3M}} \right) = 1,89B;$$

Після цього на основі (2.17) можна визначити порогові напруги переключення елемента ДТЛ ПН $U_{in\ max}^L$ і $U_{in\ min}^H$

$$U_{in\ max}^L = U_{in\ max\ inv}^L - U_{d0} = 1,66 - 0,65 \approx 1B;$$

$$U_{in\ min}^H = U_{in\ min\ inv}^H - U_{d0} = 1,89 - 0,65 \approx 1,24B.$$

В результаті, використовуючи (2.18) визначимо завадостійкість

$$NM^L = U_{in\ max}^L - U_{in}^L = 1 - 0,1 = 0,9B; \quad NM^H = U_{in}^H - U_{in\ min}^H = 5 - 1,24 = 3,76B.$$

Перевірку результатів розрахунку виконаємо за допомогою моделювання передатної характеристики елемента ДТЛ ПН, яка приведена на рис.2.54. На передатній характеристиці показані точки, що відповідають значенням порогових напруг переключення $U_{in\ max}^L$ і $U_{in\ min}^H$. Відповідно до результатів моделювання передатної характеристики порогові напруги приймають значення $U_{in\ max}^L = 0,986B$; $U_{in\ min}^H = 1,25B$, що збігається з результатами розрахунків.

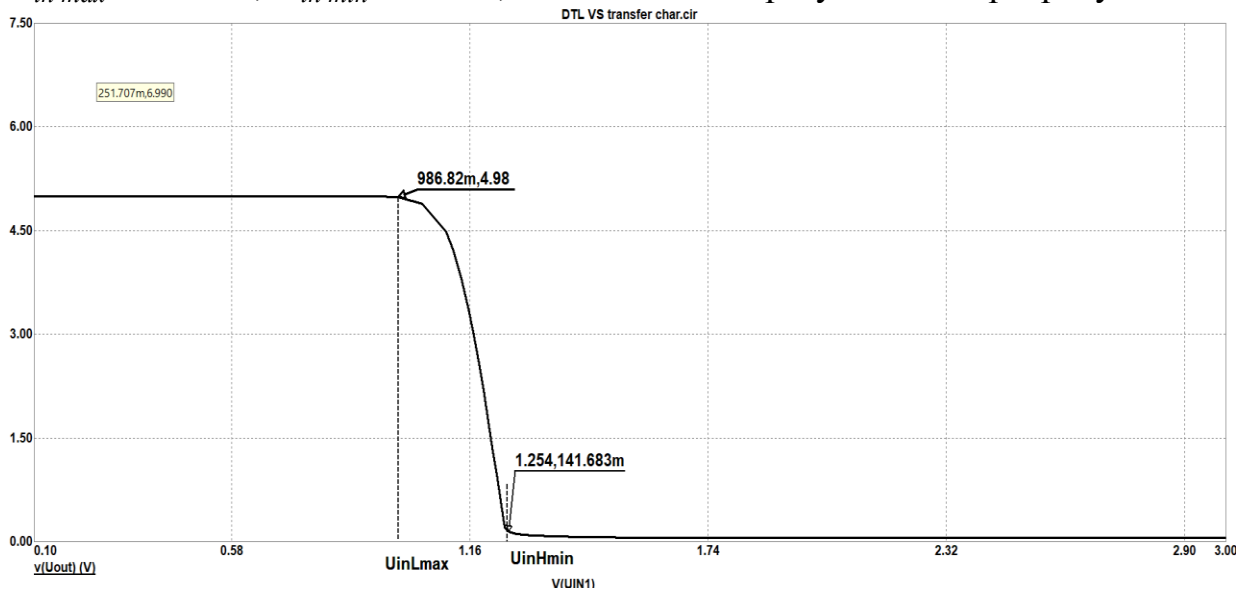


Рис. 2.54. Передатна характеристика елемента ДТЛ ПН (приклад 2.15)

На цьому виконання прикладу 2.15 завершено.

Далі розглянемо визначення коефіцієнта розгалуження.

Нагадаємо, що коефіцієнт розгалуження логічного елемента визначає максимальну кількість таких же логічних елементів, що можуть бути навантажені на цей логічний елемент [1].

Коефіцієнт розгалуження елемента ДТЛ ПН І-НІ розраховується для випадку, коли на виході елемента-джерела сигналу сформований низький рівень напруги, тобто транзистор цього елемента перебуває в режимі насичення. В цьому випадку низький рівень напруги з виходу елемента ДТЛ ПН-джерела надходить на входи елементів навантаження, в результаті чого транзистори цих елементів перебувають в режимі відсічки.

Логічна схема для визначення коефіцієнта розгалуження елемента ДТЛ-ПН І-НІ приведена на рис.2.55, де літерами L , H позначені відповідно напруги низького і високого рівнів.

На рис.2.56 приведена електрична схема для визначення коефіцієнта розгалуження елемента ДТЛ-ПН І-НІ, а на рис.2.57 – схема, де транзистор елемента-джерела замінений схемою заміщення з боку колектору для режиму насичення, а транзистори елементів навантаження – схемами заміщення з боку бази для відсічки.

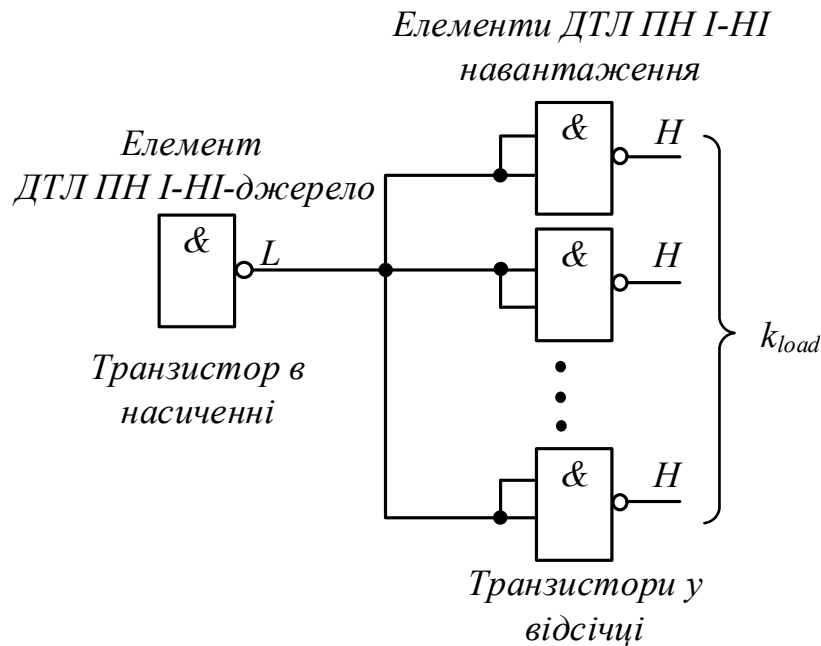


Рис. 2.55. Логічна схема для визначення коефіцієнта розгалуження елемента ДТЛ-ПН І-НІ

Для визначення коефіцієнта розгалуження використаємо перший закон Кірхгофа для виходу елемента ДТЛ ПН (вузол колектору транзистора елемента-джерела):

$$I_k = I_{Rk} + I_n = I_{Rk} + k_{load} \cdot I_{in}, \quad (2.19)$$

де I_k – струм колектору транзистора елемента-джерела;

I_n – струм навантаження елемента-джерела;

I_{in} – вхідний струм елемента навантаження;

k_{load} – кількість елементів навантаження.

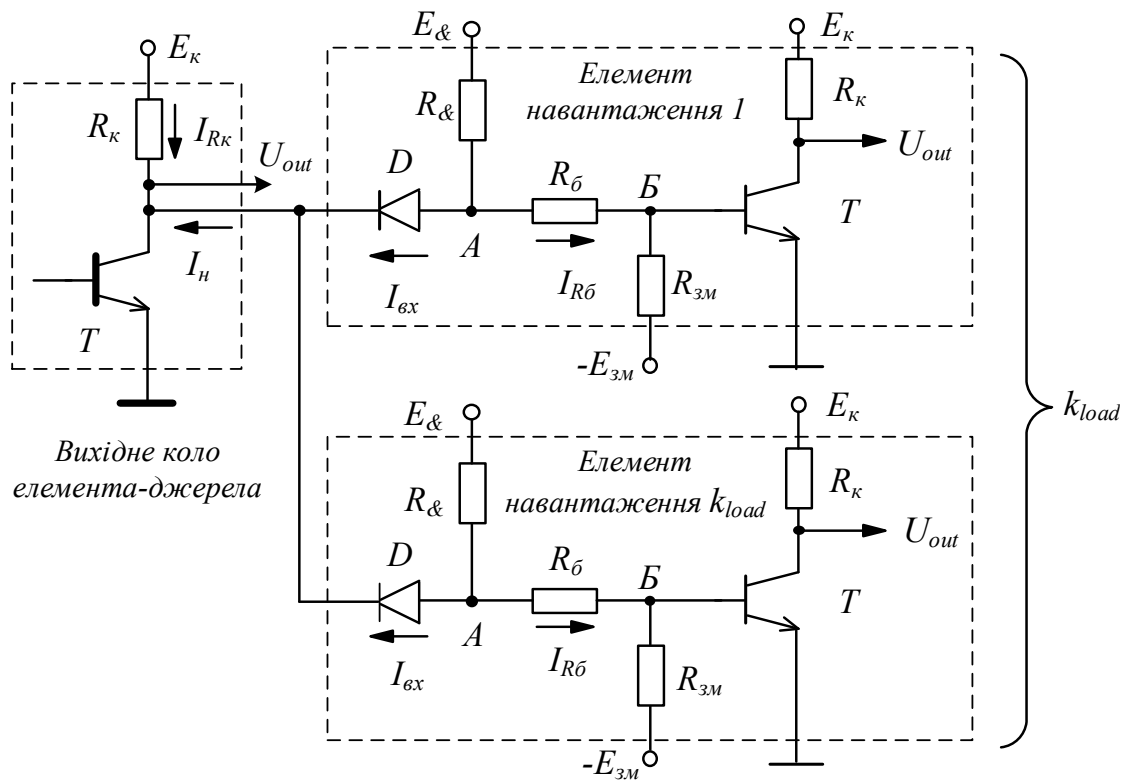


Рис. 2.56. – Електрична схема для визначення коефіцієнта розгалуження елемента ДТЛ-ПН І-НІ

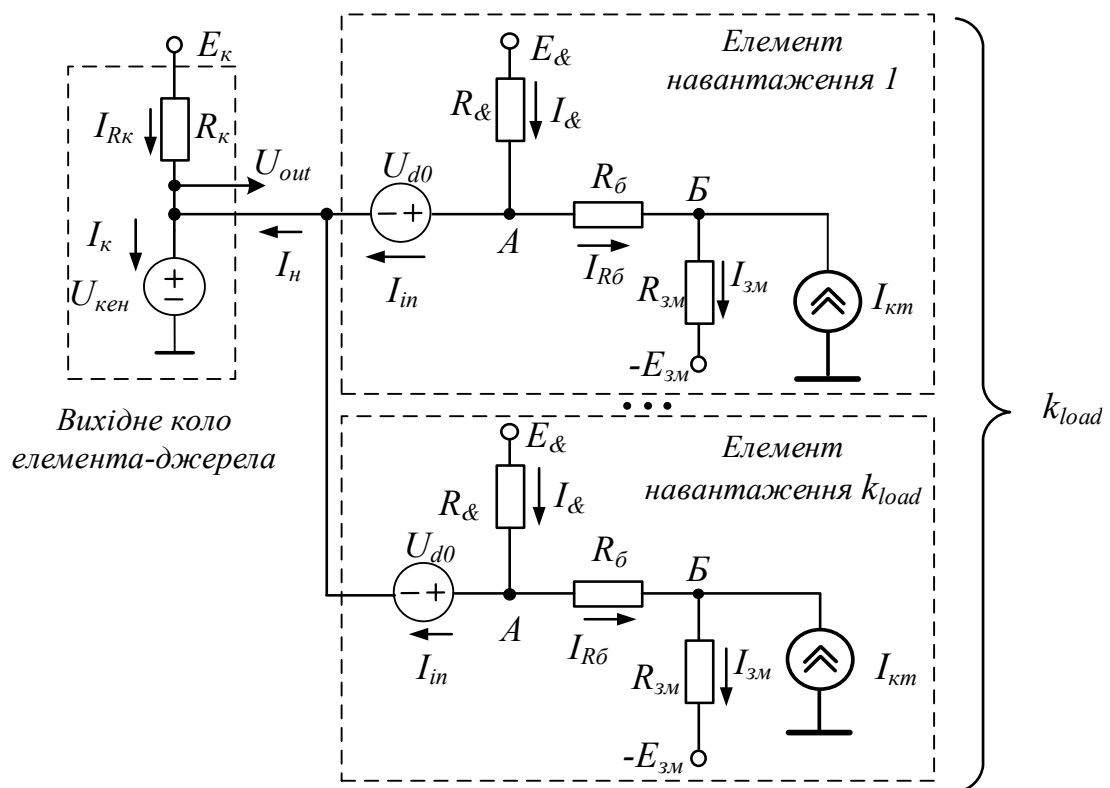


Рис. 2.57. Схема заміщення для визначення коефіцієнта розгалуження елемента ДТЛ-ПН І-НІ

З виразу (2.19) випливає, що збільшення кількості елементів навантаження k_{load} приводить до збільшення струму колектору I_k транзистора елемента-джерела. Це означає, що за певної кількості елементів навантаження в елементі-джерелі сигналу струм колектору буде перевищувати припустиме значення, тобто транзистор-джерело сигналу виходить з ладу. В результаті, на відміну від звичайного інвертора, транзистор елемента ДТЛ ПН І-НІ за наявності перенавантаження (кількість елементів навантаження перевищує допустиму кількість) буде електрично зруйнований.

Таким чином, для визначення значення коефіцієнта розгалуження необхідно розрахувати максимальну кількість елементів навантаження $k_{load\ max}$, які можуть бути підключені до елемента-джерела без порушення його працездатності, тобто необхідно забезпечити виконання умови

$$I_k < I_{kmax}; \quad I_{Rk} + k_{load\ max} \cdot I_{in} < I_{kmax}, \quad (2.20)$$

де I_{kmax} – максимально допустимий струм колектору елемента-джерела сигналу (задається в довідниках).

Вхідний струм елемента навантаження обчислюється за першим законом Кірхгофа

$$I_{in} = I_{R\&} - I_{R\bar{o}}, \quad (2.21)$$

де струми $I_{R\&}$, $I_{R\bar{o}}$, а також I_{Rk} визначаються за законом Ома

$$I_{R\&} = \frac{E_{\&} - U_A}{R_{\&}}; \quad I_{Rk} = \frac{E_k - U_{кен}}{R_k}; \quad I_{R\bar{o}} = \frac{U_A - E_{зм}}{R_{\bar{o}} + R_{зм}}. \quad (2.22)$$

Формула для струму $I_{R\bar{o}}$ приведена, виходячи з припущення, що тепловий струм транзистора можна не враховувати, тобто ($I_{кт} = 0$).

Якщо тепловий струм транзистора є сумірним з іншими струмами, то спочатку необхідно визначити напругу у вузлі B за методом двох вузлів, а потім визначити струм $I_{R\bar{o}}$ за законом Ома:

$$U_B = \frac{\frac{U_A + \frac{E_{зм}}{R_{зм}} + I_{кт}}{\frac{1}{R_{\bar{o}}} + \frac{1}{R_{зм}}}}{\frac{1}{R_{\bar{o}}} + \frac{1}{R_{зм}}}; \quad I_{R\bar{o}} = \frac{U_A - U_B}{R_{\bar{o}}}. \quad (2.23)$$

Напруга у вузлі A визначається за допомогою другого закону Кірхгофа $U_A = U_{in} + U_{d0}$, де U_{d0} – падіння напруги на відкритому вхідному діоді, який є відкритим у зв'язку з тим, що на вхід елемента навантаження надходить низький рівень напруги. При цьому необхідно зазначити, що в загальному випадку в елементі навантаження можуть бути відкриті кілька вхідних діодів. В цьому разі вхідний струм елемента навантаження буде в рівних долях ділитися на кількість відкритих діодів. Але найгіршим варіантом для коефіцієнта розгалуження буде як раз випадок, коли відкритий тільки один вхідний діод.

Підставляючи вирази (2.21), (2.22) в нерівність (2.20), виконується розв'язок нерівності відносно $k_{load\ max}$.

Приклад 2.16. Визначити коефіцієнт розгалуження N елемента ДТЛ ПН І- НІ. Параметри елемента ДТЛ ПН: $E_k = 5B$; $E_{\&} = 5B$; $E_{зм} = -5B$; $R_{\bar{o}} = 1k$;

$R_{зм} = 5k; R_{\&} = 2k; R_{к} = 1k; I_{км} = 0; \beta = 100; U_{бе} = 0,75B; U_{d0} = 0,75B; U_{кен} = 0,1B;$
 $m = 1; U_{in}^L = 0,1B; I_{кmax} = 15mA.$

Розв'язок.

Відповідно до виразів (2.22), (2.21) визначимо струми елемента ДТЛ ПН I-НІ.

$$U_A = U_{in} + U_{d0} = 0,1 + 0,75 = 0,85B;$$

$$I_{R\&} = \frac{E_{\&} - U_A}{R_{\&}} = \frac{5 - 0,85}{2} = 2,075mA; I_{Rк} = \frac{E_{к} - U_{кен}}{R_{к}} = \frac{5 - 0,1}{1} = 4,9mA;$$

$$I_{R\delta} = \frac{U_A - E_{зм}}{R_{\delta} + R_{зм}} = \frac{0,85 - (-5)}{1 + 5} = 0,975mA.$$

$$I_{in} = I_{R\&} - I_{R\delta} = 2,075 - 0,975 = 1,1mA.$$

Далі розв'язуємо нерівність (2.20)

$$I_{Rк} + k_{load\ max} \cdot I_{in} < I_{кmax}; \quad 4,9 + k_{load\ max} \cdot 1,1 < 15; \quad k_{load\ max} < 9,2; \quad N = 9.$$

Для перевірки проведених розрахунків замість того, щоб підключати до виходу елемента ДТЛ ПН дев'ять таких же елементів, скористаємося еквівалентною схемою елемента ДТЛ ПН, яка імітує підключення відразу кількох елементів. Для цього достатньо зменшити величини опорів елемента в k_{load} разів.

На рис.2.58 приведені результати моделювання функціонування елемента ДТЛ ПН I-НІ, який навантажений максимальною кількістю таких же елементів ($k_{load} = N = 9$). Номінали резисторів елемента навантаження в 9 разів менше, ніж у елемента-джерела.

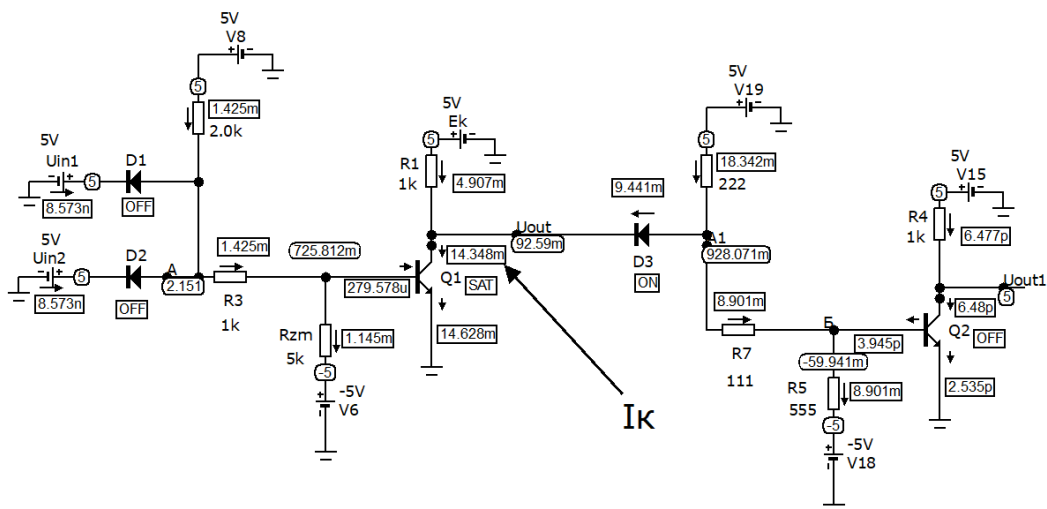


Рис. 2.58. Результати моделювання елемента ДТЛ ПН I-НІ з $k_{load} = N = 9$ (приклад 2.16)

На рис.2.58 можна побачити, що струм колектору транзистора елемента-джерела не перевищує допустиме значення $15mA$ і складає приблизно $14,35mA$.

На рис.2.59 приведені результати моделювання функціонування елемента ДТЛ ПН I-НІ, який навантажений на 10 елементів навантаження, що перевищує величину коефіцієнта розгалуження ($k_{load} = 10$). Номінали резисторів елемента навантаження в 10 разів менше, ніж у елемента-джерела.

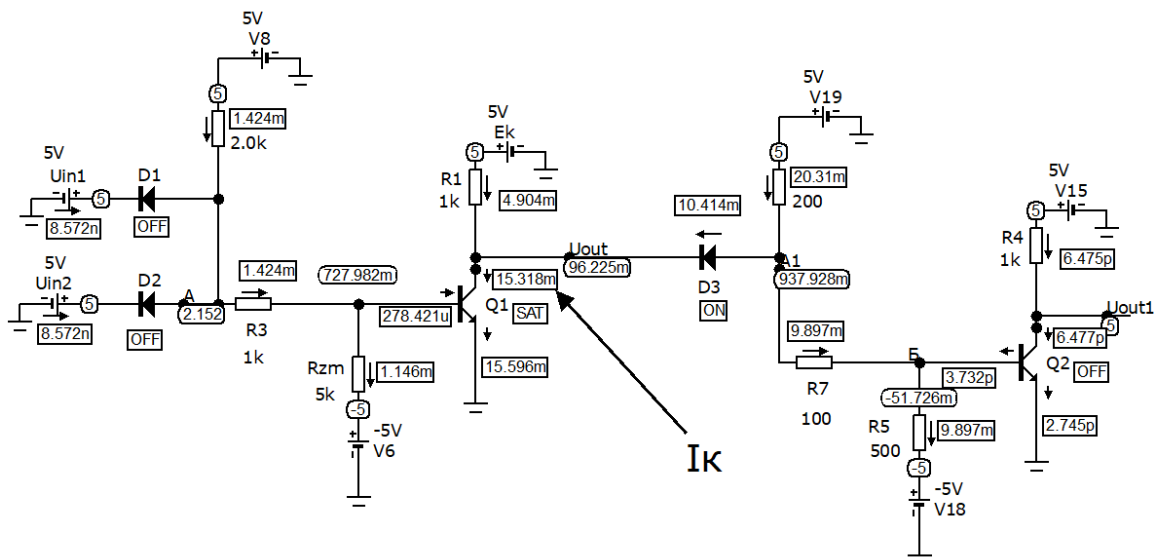


Рис. 2.59. Результати моделювання елемента ДТЛ ПН I-НІ з $k_{load} = 10$ (приклад 2.16)

На рис.2.59 можна побачити, що струм колектору транзистора елемента-джерела перевищує допустиме значення $15mA$ і складає приблизно $15,3mA$.

Таким чином, результати моделювання підтверджують розрахунок величини коефіцієнта розгалуження.

На цьому виконання прикладу 2.16 завершено.

Контрольні завдання та запитання

1. Приведіть схему елемента ДТЛ ПН I- НІ на базі $n-p-n$ транзистора.
2. Якими параметрами характеризується функціонування елемента ДТЛ ПН I-НІ?
3. Як розраховувати споживану потужність низького рівня елемента ДТЛ ПН I-НІ?
4. Як розраховувати споживану потужність високого рівня елемента ДТЛ ПН I-НІ?
5. Поясніть термін «статична завадостійкість» логічного елемента.
6. В яких одиницях вимірюється завадостійкість елемента ДТЛ ПН I- НІ?
7. Як визначити завадостійкість логічного елемента за допомогою передатної характеристики?
8. Що відбувається в елементі ДТЛ ПН I- НІ, якщо вхідна напруга досягне значення $U_{in}^L_{max}$ при зміні U_{in} від низького до високого рівня?
9. Що відбувається в елементі ДТЛ ПН I- НІ, якщо вхідна напруга досягне значення $U_{in}^H_{min}$ при зміні від високого до низького рівня?
10. Що відбувається в елементі ДТЛ ПН I- НІ, якщо вхідна напруга досягне значення $U_{in}^L_{max}$ при зміні U_{in} від високого до низького рівня?
11. Що відбувається в елементі ДТЛ ПН I- НІ, якщо вхідна напруга досягне значення $U_{in}^H_{min}$ при зміні від низького до високого рівня?
12. Поясніть фізичний сенс параметру $U_{in}^L_{max}$.

13. Поясніть фізичний сенс параметру $U_{in\ min}^H$.
14. Поясніть послідовність визначення завадостійкості елемента ДТЛ ПН І- НІ.
15. Яким чином отриманий вираз (2.15).
16. Яким чином отриманий вираз (2.16).
17. Як визначити порогові напруги переключення елемента ДТЛ ПН І- НІ?
18. Прокоментуйте вираз (2.17).
19. Поясніть вирази (2.18).
20. Як визначити порогові напруги переключення елемента ДТЛ ПН І- НІ за допомогою передатної характеристики?
21. Визначити завадостійкість елемента ДТЛ ПН І-НІ. Параметри елемента ДТЛ ПН: $E_{\kappa} = 12B$; $E_{\&} = 12B$; $E_{з\&M} = 0B$; $R_{\bar{o}} = 1k$; $R_{з\&M} = 0,5k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{\kappa M} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,7B$; $U_{d0} = 0,65B$; $U_{\kappa en} = 0,1B$; $m = 1$; $U_{in}^H = 12B$; $U_{in}^L = 0,2B$.
22. Прокоментуйте характеристику на рис.2.54.
23. Поясніть термін «коефіцієнт розгалуження» логічного елемента.
24. Які одиниці використовується для вимірювання коефіцієнта розгалуження?
25. Для якого стану транзистора елемента-джерела ДТЛ ПН І- НІ необхідно розраховувати коефіцієнт розгалуження?
26. Для якого рівня вихідної напруги елемента-джерела ДТЛ ПН І- НІ необхідно розраховувати коефіцієнт розгалуження?
27. В якому стані перебувають транзистори елементів навантаження для визначення коефіцієнта розгалуження?
28. Прокоментуйте схему на рис.2.55.
29. Прокоментуйте схему на рис.2.56.
30. Прокоментуйте схему на рис.2.57.
31. Чому на рис.2.57 транзистор елемента-джерела замінений джерелом напруги $U_{\kappa en}$?
32. Чому на рис.2.57 транзистори елементів навантаження замінені джерелом струму $I_{\kappa M}$?
33. Якою схемою заміщення замінюється транзистор з боку колектору в режимі насичення?
34. Якою схемою заміщення замінюється транзистор з боку колектору в режимі відсічки?
35. Якою схемою заміщення замінюється транзистор з боку бази в режимі насичення?
36. Якою схемою заміщення замінюється транзистор з боку бази в режимі відсічки?
37. Прокоментуйте вираз (2.19).
38. На основі якого закону складений вираз (2.19)?
39. Що відбувається в насиченому транзисторі елемента-джерела при збільшенні кількості елементів навантаження?
40. Що відбувається в елементі ДТЛ ПН І- НІ при його перенавантаженні?

41. Чи поновлюється працездатність елемента ДТЛ ПН І- НІ після усунення причин перенавантаження? Обґрунтуйте відповідь.
42. Прокоментуйте нерівність (2.20).
43. Як визначити напругу у вузлі A при низькому рівні вхідної напруги?
44. Як визначити вхідний струм елемента ДТЛ ПН І- НІ?
45. Який закон використовується для складання виразу (2.21)?
46. На основі якого закону визначаються струми $I_{R\&}$, $I_{R\bar{o}}$, і I_{R_k} в елементі ДТЛ ПН І- НІ?
47. В чому полягає різниця у визначенні значення струму $I_{R\bar{o}}$ у виразах (2.22) і (2.23)?
48. За допомогою якого закону визначається напруга у вузлі A при низькому рівні вхідної напруги?
49. Чому коефіцієнт розгалуження в елементі ДТЛ ПН І- НІ необхідно розраховувати для одного відкритого діода в кожному елементі навантаження?
50. Яким чином будується еквівалентна схема, яка замінює відразу кілька елементів навантаження?
51. Прокоментуйте результати моделювання на рис.2.58.
52. Прокоментуйте результати моделювання на рис.2.59.
53. В чому полягає різниця в результатах моделювання елемента ДТЛ ПН І- НІ на рис.2.58 і рис.2.59?
54. Чому на рис.2.59 величини опорів елемента навантаження в 10 разів менше, ніж в елементі- джерелі сигналу?
55. Приведіть схему елемента ДТЛ ПН І- НІ на базі $p-n-p$ транзистора.
56. Який рівень вихідної напруги необхідно сформулювати в елементі ДТЛ ПН І- НІ, який є джерелом сигналу, під час визначення коефіцієнта розгалуження?

2.2.1.3. Елементи ДТЛ ПН АБО-НІ логіки високого рівня

Елемент ДТЛ ПН АБО-НІ логіки високого рівня являє собою послідовне з'єднання діодного логічного елемента АБО та інвертора. Схема m -входового елемента ДТЛ ПН АБО-НІ приведена на рис.2.60.

В схемі на рис.2.60 діоди D_1, \dots, D_m та коло живлення $(-E_v, R_v)$ утворюють m -входовий діодний логічний елемент АБО логіки високого рівня, в якості навантаження для якого підключений звичайний інвертор. В таких схемах, як правило, $E_v = E_{zm}$. Крім того, можна використовувати $E_{zm} = 0$ (далі будемо розглядати елементи ДТЛ ПН АБО-НІ із заземленим R_{zm}).

Для зменшення кількості джерел живлення зі схеми елемента можна видалити коло $(-E_v, R_v)$. В цьому разі роль кола живлення діодного елемента виконує коло $(R_{\bar{o}}, R_{zm})$. Схема такого елемента приведена на рис.2.61.

При використанні логіки низького рівня цей же елемент буде виконувати функцію І-НІ.

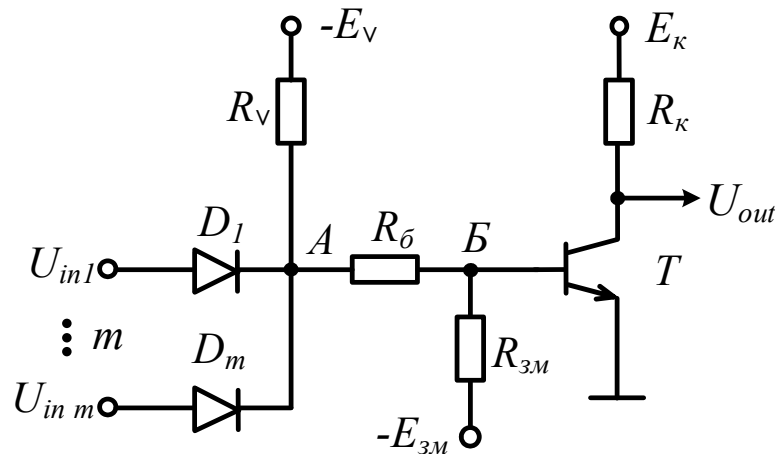


Рис. 2.60. Схема m -входового елемента ДТЛ ПН АБО-ПІ

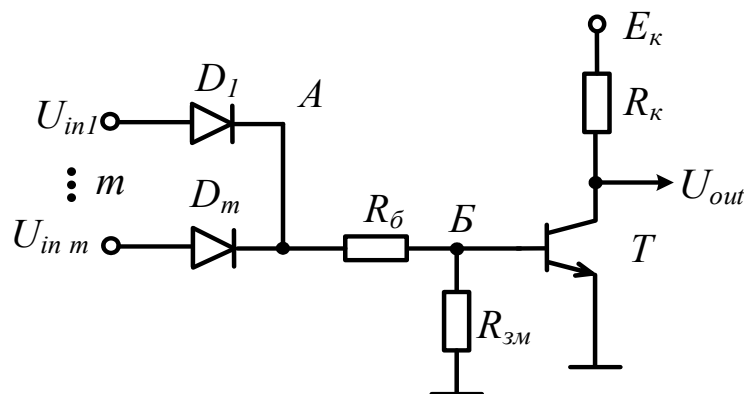


Рис. 2.61. Схема m -входового елемента ДТЛ ПН АБО-ПІ без кола $(-E_v, R_v)$

Якщо хоча б на один вхід елемента підключена напруга високого рівня, то відповідний діод буде відкритий, на вхід інвертора елемента ДТЛ ПН надходить високий рівень, в результаті чого транзистор повинен перебувати в режимі насичення, а на виході елемента формується низький рівень. Якщо на кілька входів елемента підключена напруга високого рівня, то діоди, що підключені до найбільш позитивної напруги, будуть відкриті [1], а на виході елемента також формується низький рівень напруги.

У випадку, якщо на всі входи елемента ДТЛ підключена напруга низького рівня, то на вхід інвертора в складі елемента ДТЛ-ПН надходить низький рівень, тобто транзистор перебуває в режимі відсічки, а на виході формується напруга високого рівня.

Таблиця істинності функціонування двовходового логічного елемента ДТЛ ПН АБО-ПІ приведена в табл.2.1.

В цьому елементі (на відміну від елемента ДТЛ ПН І-ПІ) завжди хоча б один вхідний діод відкритий у зв'язку з тим, що в якості вхідної напруги використовується нульова або позитивна напруга, а напруга холостого ходу у вузлі A (U_A^{xx}) є негативною тому, що базове коло інвертора в складі елемента ДТЛ ПН АБО-ПІ, яке підключено до катодів вхідних діодів, живиться від негативною напруги. В результаті, визначення стану транзистора та розрахунок струмів і напруг зводиться до розрахунку звичайного інвертора, на вхід якого

відповідно до другого закону Кірхгофа надходить напруга $U_{in\ inv} = U_{in\ ДТЛ} - U_{d0}$, де $U_{in\ ДТЛ}$, $U_{in\ inv}$ – вхідні напруги відповідно на вході елемента ДТЛ ПН АБО-НІ та інвертора в складі цього ДТЛ.

Виконаємо розрахунок напруг і струмів в елементах ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.60.

Приклад 2.17. Визначити напруги і струми в елементі ДТЛ ПН АБО-НІ (рис.2.60) для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_K = 5B$; $E_V = -5B$; $E_{зм} = 0B$; $R_{\beta} = 1k$; $R_{зм} = 5k$; $R_V = 2k$; $R_K = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{\beta e} = 0,75B$; $U_{d0} = 0,8B$; $U_{кен} = 0,1B$; $m = 2$; $U_{in1} = 5B$; $U_{in2} = 0B$.

Розв’язок.

Відповідно до умови завдання на перший вхід елемента ДТЛ надходить більш позитивна напруга, тобто діод D_1 відкритий, а D_2 – закритий.

На основі другого закону Кірхгофа запишемо

$$U_A = U_{in1} - U_{d0} = 5 - 0,8 = 4,2B.$$

Далі визначимо напругу холостого ходу у вузлі B U_B^{xx} :

$$U_B^{xx} = \frac{\frac{U_{in1} - U_{d0}}{R_{\beta}} + \frac{E_{зм}}{R_{зм}}}{\frac{1}{R_{\beta}} + \frac{1}{R_{зм}}} = \frac{\frac{5 - 0,8}{1} + \frac{0}{5}}{\frac{1}{1} + \frac{1}{5}} = 3,5B.$$

В результаті розрахунку отримано, що $U_B^{xx} > 0,75B$, тобто діод емітера транзистора відкритий. Схема заміщення елемента ДТЛ ПН АБО-НІ при високому рівні вхідної напруги приведена на рис.2.62.

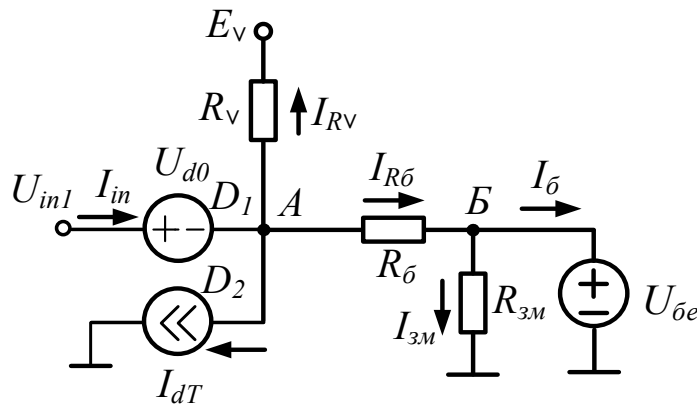


Рис. 2.62. Схема заміщення елемента ДТЛ ПН АБО-НІ при високому рівні вхідної напруги

Після цього визначимо стан транзистора, для чого необхідно розрахувати струми в колах елемента. На основі закону Ома:

$$I_{R\beta} = \frac{U_{in1} - U_{d0} - U_{\beta e}}{R_{\beta}} = \frac{5 - 0,8 - 0,75}{1} = 3,45mA;$$

$$I_{зм} = \frac{U_{\beta e} - E_{зм}}{R_{зм}} = \frac{0,75 - 0}{5} = 0,15mA;$$

$$I_{\beta} = I_{R\beta} - I_{зм} = 3,45 - 0,15 = 3,3mA.$$

Визначимо струм бази насичення $I_{\betaн}$:

$$I_{KH} = \frac{E_K - U_{кен}}{R_K} = \frac{5 - 0,1}{1} = 4,9mA; I_{\delta H} = \frac{I_{KH}}{\beta} = \frac{4,9}{100} = 0,049mA.$$

В результаті $I_{\delta} \geq I_{\delta H}$, тобто транзистор перебуває в стані насичення, а вихідна напруга елемента ДТЛ ПН АБО-НІ відповідає низькому рівню $U_{out} = U_{кен} = 0,1B$.

Результати моделювання елемента ДТЛ ПН АБО-НІ при відкритому діоді D_1 за умовою прикладу 2.17 приведені на рис.2.63 та підтверджують перебування транзистора в режимі насичення та формування низького рівня напруги на виході елемента.

На цьому виконання прикладу 2.17 завершено.

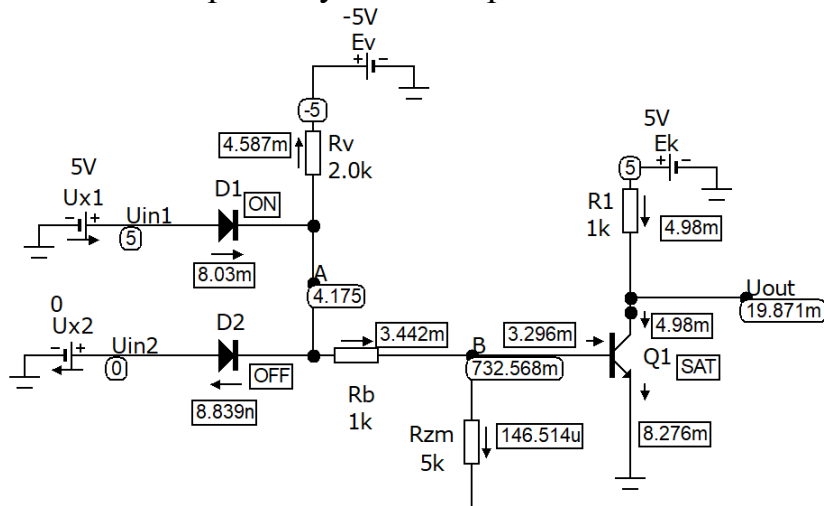


Рис. 2.63. Результати моделювання елемента ДТЛ ПН АБО-НІ за умовою прикладу 2.17

Приклад 2.18. Визначити напруги і струми в елементі ДТЛ ПН АБО-НІ (рис.2.60) для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_K = 5B$; $E_V = -5B$; $E_{зм} = 0B$; $R_{\delta} = 1k$; $R_{зм} = 5k$; $R_V = 2k$; $R_K = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{be} = 0,75B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 2$; $U_{in1} = 0B$; $U_{in2} = 0B$.

Розв'язок.

Відповідно до умови завдання на входи елемента ДТЛ надходять однакові напруги, тобто всі діоди відкриті. На основі другого закону Кірхгофа маємо

$$U_A = U_{in1} - U_{d0} = 0 - 0,7 = -0,7B.$$

У зв'язку з тим, що на вхід інвертора в складі ДТЛ-ПН АБО-НІ надходить негативна напруга, а інших джерел живлення до вхідного кола цього інвертора не підключено, то розрахунок далі можна не проводити: транзистор перебуває в режимі відсічки. Схема заміщення базового кола елемента ДТЛ приведена на рис.2.64, а схема заміщення вихідного кола для режиму відсічки транзистора вже розглядалася раніше і приведена на рис.2.44,б.

Таким чином, вихідна напруга елемента ДТЛ-ПН АБО-НІ складає за вторим законом Кірхгофа (рис.2.44,б) $U_{out} = E_K - I_{км} \cdot R_K = 5 - 0 \cdot 1 = 5B$.

Результати моделювання елемента ДТЛ ПН АБО-НІ при за умовою прикладу 2.18 приведені на рис.2.65 та підтверджують перебування транзистора в режимі відсічки та формування високого рівня напруги на виході елемента.

На цьому виконання прикладу 2.18 завершено.

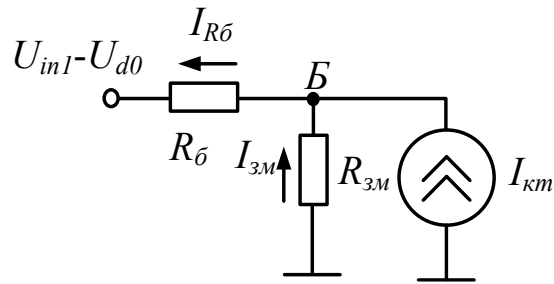


Рис. 2.64. Схема заміщення вхідного кола елемента ДТЛ ПН АБО-НІ (приклад 2.18)

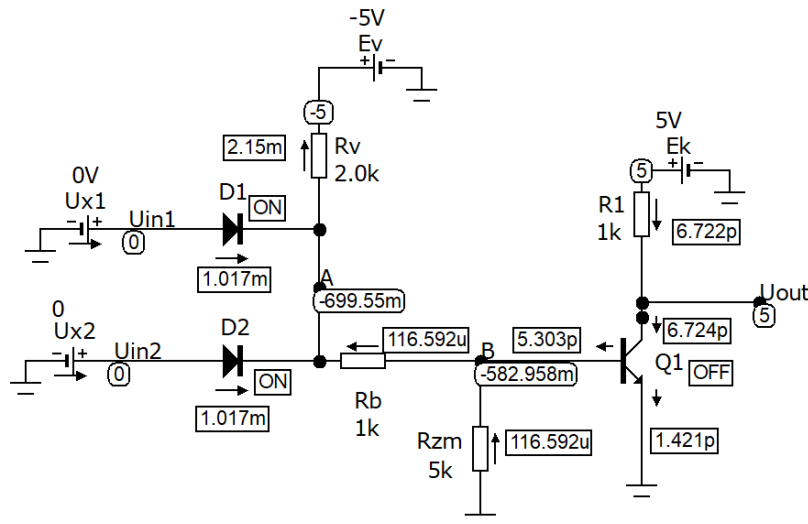


Рис. 2.65. Результати моделювання елемента ДТЛ ПН АБО-НІ за умовою прикладу 2.18

Розрахунок елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.61, виконується аналогічно.

Контрольні завдання та запитання

1. Яким чином реалізована схема елемента ДТЛ ПН АБО-НІ?
2. Приведіть схему m -входового елемента ДТЛ ПН, який реалізує функцію Пірса для кодування сигналів відповідно до логіки високого рівня.
3. Приведіть схему m -входового елемента ДТЛ ПН, який реалізує функцію Пірса для кодування сигналів відповідно до логіки низького рівня.
4. Яку логічну функцію при використанні логіки високого рівня виконує елемент ДТЛ ПН на рис.2.60?
5. Яку логічну функцію при використанні логіки низького рівня виконує елемент ДТЛ ПН на рис.2.60?
6. В якому режимі перебуває транзистор в схемі на рис.2.60, якщо на один з входів підключити напругу високого рівня, а на решту входів – напругу низького рівня?
7. В якому режимі перебуває транзистор в схемі на рис.2.60, якщо на всі входи підключити напругу низького рівня?
8. В якому режимі перебуває транзистор в схемі на рис.2.60, якщо на всі входи підключити напругу високого?

9. В якому режимі працюють вхідні діоди ДТЛ ПН АБО-НІ?
10. Вихідний сигнал якого рівня формується в елементі ДТЛ ПН (рис.2.60), якщо транзистор перебуває в режимі відсічки?
11. Вихідний сигнал якого рівня формується в елементі ДТЛ ПН (рис.2.60), якщо транзистор перебуває в режимі насичення?
12. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.60), якщо на один з входів підключити напругу високого рівня, а на решту входів – напругу низького рівня?
13. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.60), якщо на всі входи підключити напругу високого рівня?
14. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.60), якщо на всі входи підключити напругу низького рівня?
15. Як визначити стан вхідних діодів елемента ДТЛ ПН АБО-НІ, якщо на входи надходять напруги різної величини?
16. Яку логічну функцію при використанні логіки високого рівня виконує елемент ДТЛ ПН на рис.2.61?
17. Яку логічну функцію при використанні логіки низького рівня виконує елемент ДТЛ ПН на рис.2.61?
18. В якому режимі перебуває транзистор в схемі на рис.2.61, якщо на один з входів підключити напругу високого рівня, а на решту входів – напругу низького рівня?
19. В якому режимі перебуває транзистор в схемі на рис.2.61, якщо на всі входи підключити напругу низького рівня?
20. В якому режимі перебуває транзистор в схемі на рис.2.61, якщо на всі входи підключити напругу високого рівня?
21. Вихідний сигнал якого рівня формується в елементі ДТЛ ПН (рис.2.61), якщо транзистор перебуває в режимі відсічки?
22. Вихідний сигнал якого рівня формується в елементі ДТЛ ПН (рис.2.61), якщо транзистор перебуває в режимі насичення?
23. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.61), якщо на один з входів підключити напругу високого рівня, а на решту входів – напругу низького рівня?
24. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.61), якщо на всі входи підключити напругу високого рівня?
25. Який рівень сигналу формується на виході елемента ДТЛ ПН (рис.2.61), якщо на всі входи підключити напругу низького рівня?
26. На яких елементах реалізований діодний елемент АБО в елементі ДТЛ ПН АБО-НІ в схемі на рис.2.60?
27. На яких елементах реалізований діодний елемент АБО в елементі ДТЛ ПН АБО-НІ в схемі на рис.2.61?
28. З якою метою використовується коло $(-E_v, R_v)$ в елементі, схема якого приведена на рис.2.60?
29. В чому полягає різниця в елементах ДТЛ, приведених на рис.2.60 і 2.61?

30. Поясніть принцип роботи елемента ДТЛ, схема якого приведена на рис.2.60?
31. Поясніть принцип роботи елемента ДТЛ, схема якого приведена на рис.2.61?
32. Приведіть таблицю істинності елемента ДТЛ ПН АБО-НІ логіки високого рівня.
33. Приведіть таблицю істинності елемента ДТЛ ПН АБО-НІ логіки низького рівня.
34. Поясніть, чому в елементах ДТЛ ПН АБО-НІ на рис.2.60 і рис.2.61 принаймні один діод завжди відкритий?
35. Як визначати напругу на вході інвертора в складі елемента ДТЛ ПН АБО-НІ (вузол *A*)?
36. Як визначити стан транзистора в елементі ДТЛ ПН АБО-НІ?
37. Як визначити вихідну напругу елемента ДТЛ ПН АБО-НІ, якщо транзистор перебуває в режимі відсічки?
38. Як визначити вихідну напругу елемента ДТЛ ПН АБО-НІ, якщо транзистор перебуває в режимі насичення?
39. Яким чином отримана схема заміщення на рис.2.62?
40. Як визначити струми в колах елемента ДТЛ ПН АБО-НІ?
41. В якому стані перебуває транзистор, якщо виконується умова $I_b \geq I_{bn}$?
42. Прокоментуйте результати моделювання, приведені на рис.2.63.
43. Визначити напруги і струми в елементі ДТЛ ПН АБО-НІ (рис.2.60) для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_k = 12V$; $E_v = -12V$; $E_{зм} = 0V$; $R_b = 1k$; $R_{зм} = 5k$; $R_v = 2k$; $R_k = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $U_{d0} = 0,8V$; $U_{кен} = 0,1V$; $m = 2$; $U_{in1} = 3V$; $U_{in2} = 5V$.
44. Визначити напруги і струми в елементі ДТЛ ПН АБО-НІ (рис.2.61) для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_k = 5V$; $E_v = -5V$; $E_{зм} = 0V$; $R_b = 1k$; $R_{зм} = 5k$; $R_v = 2k$; $R_k = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $U_{d0} = 0,8V$; $U_{кен} = 0,1V$; $m = 2$; $U_{in1} = 3V$; $U_{in2} = 0V$.
45. Визначити напруги і струми в елементі ДТЛ ПН АБО-НІ (рис.2.61) для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_k = 5V$; $E_v = -5V$; $E_{зм} = 0V$; $R_b = 1k$; $R_{зм} = 5k$; $R_v = 2k$; $R_k = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{be} = 0,75V$; $U_{d0} = 0,8V$; $U_{кен} = 0,1V$; $m = 2$; $U_{in1} = 0,5V$; $U_{in2} = 0,75V$.
46. Як визначити напругу на базі транзистора в ДТЛ ПН АБО-НІ (рис.2.60), якщо на входи надходять напруги низького рівня?
47. Як визначити напругу на базі транзистора в ДТЛ ПН АБО-НІ (рис.2.61), якщо на входи надходять напруги низького рівня?
48. Яким чином отримана схема заміщення на рис.2.63?
49. Прокоментуйте результати моделювання, приведені на рис.2.64.
50. Які елементи входять до складу інвертора в елементі ДТЛ ПН АБО-НІ?
51. Для чого використовується коло живлення?
52. Для чого необхідно визначати найбільш позитивну вхідну напругу для елемента ДТЛ ПН АБО-НІ?

53. Як відрізняються вхідні струми елемента ДТЛ ПН АБО-НІ за умови, що відкритий тільки один вхідний діод, і за умовою, що відкриті всі діоди?
54. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПН АБО-НІ, якщо всі вхідні діоди закриті?

2.2.1.4. Параметри елемента ДТЛ ПН АБО-НІ

Як і для елемента ДТЛ ПН І-НІ (див. підрозділ 2.2.1.2), при визначенні параметрів елемента ДТЛ ПН АБО-НІ також необхідно прийняти до уваги, що, розрахунок цього елемента зводиться до розрахунку інвертора в складі елемента ДТЛ. Визначення статичної споживаної потужності елемента ДТЛ ПН АБО-НІ пропонуємо здобувачам вищої освіти визначити самостійно.

Далі розглянемо визначення статичної завадостійкості елемента ДТЛ ПН АБО-НІ, для чого необхідно визначити порогові напруги переключення $U_{in\ max}^L$ і $U_{in\ min}^H$ (див. підрозділ 2.2.1.2).

Розглянемо розрахунок порогових напруг елемента ДТЛ ПН АБО-НІ.

Відповідно до виразу (2.15) запишемо рівняння, яке розв'язується відносно вхідної напруги, яке і буде $U_{in\ max}^L$:

$$U_B^{xx} = \frac{\frac{U_{in} - U_{d0}}{R_{\delta}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\delta}} + \frac{1}{R_{3M}}} = 0,55B.$$

Для визначення $U_{in\ min}^H$ розв'яжемо рівняння відповідно до (2.16) відносно вхідної напруги

$$\frac{U_{in} - U_{d0} - U_{\delta e}}{R_{\delta}} - \frac{U_{\delta e} - E_{3M}}{R_{3M}} = \frac{E_K - U_{кен}}{\beta \cdot R_K}.$$

Далі відповідно до (2.18) визначається завадостійкість елемента ДТЛ ПН АБО-НІ.

Приклад 2.19. Визначити завадостійкість елемента ДТЛ ПН АБО-НІ (див. рис.2.60). Параметри елемента: $E_K = 5B$; $E_V = -5B$; $E_{3M} = 0B$; $R_{\delta} = 1k$; $R_{3M} = 5k$; $R_V = 2k$; $R_K = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{\delta e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 5B$; $U_{in}^L = 0,1B$.

Розв'язок.

Визначимо $U_{in\ max}^L$ і $U_{in\ min}^H$

$$\frac{\frac{U_{in\ max}^L - U_{d0}}{R_{\delta}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\delta}} + \frac{1}{R_{3M}}} = 0,55B;$$

$$U_{in\ max}^L = U_{d0} + R_{\delta} \left[0,55 \cdot \left(\frac{1}{R_{\delta}} + \frac{1}{R_{3M}} \right) - \frac{E_{3M}}{R_{3M}} \right] = 1,36B;$$

$$\frac{U_{in\ min}^H - U_{d0} - U_{\delta e}}{R_{\delta}} - \frac{U_{\delta e} - E_{3M}}{R_{3M}} = \frac{E_K - U_{кен}}{\beta \cdot R_K}.$$

$$U_{in\ min}^H = U_{d0} + U_{\bar{o}e} + R_{\bar{o}} \left(\frac{E_{\kappa} - U_{\kappa eH}}{\beta \cdot R_{\kappa}} + \frac{U_{\bar{o}e} - E_{3M}}{R_{3M}} \right) = 1,65B;$$

Далі на основі (2.18) визначимо завадостійкість

$$NM^L = U_{in\ max}^L - U_{in}^L = 1,36 - 0,1 = 1,26B; \quad NM^H = U_{in}^H - U_{in\ min}^H = 5 - 1,65 = 3,35B.$$

Приклад 2.20. Визначити завадостійкість елемента ДТЛ ПН АБО-НІ (див. рис.2.61). Параметри елемента: $E_{\kappa} = 5B$; $E_{3M} = 0B$; $R_{\bar{o}} = 1k$; $R_{3M} = 0,5k$; $R_{\kappa} = 1k$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,7B$; $U_{d0} = 0,75B$; $U_{\kappa eH} = 0,1B$; $m = 1$; $U_{in}^H = 5B$; $U_{in}^L = 0,1B$.

Розв'язок.

Визначимо $U_{in\ max}^L$ і $U_{in\ min}^H$

$$\frac{\frac{U_{in\ max}^L - U_{d0}}{R_{\bar{o}}} + \frac{E_{3M}}{R_{3M}}}{\frac{1}{R_{\bar{o}}} + \frac{1}{R_{3M}}} = 0,55B;$$

$$U_{in\ max}^L = U_{d0} + R_{\bar{o}} \left[0,55 \cdot \left(\frac{1}{R_{\bar{o}}} + \frac{1}{R_{3M}} \right) - \frac{E_{3M}}{R_{3M}} \right] = 1,4B;$$

$$\frac{U_{in\ min}^H - U_{d0} - U_{\bar{o}e}}{R_{\bar{o}}} - \frac{U_{\bar{o}e} - E_{3M}}{R_{3M}} = \frac{E_{\kappa} - U_{\kappa eH}}{\beta \cdot R_{\kappa}}.$$

$$U_{in\ min}^H = U_{d0} + U_{\bar{o}e} + R_{\bar{o}} \left(\frac{E_{\kappa} - U_{\kappa eH}}{\beta \cdot R_{\kappa}} + \frac{U_{\bar{o}e} - E_{3M}}{R_{3M}} \right) = 2,9B;$$

На основі (2.18) визначимо завадостійкість

$$NM^L = U_{in\ max}^L - U_{in}^L = 1,4 - 0,1 = 1,3B; \quad NM^H = U_{in}^H - U_{in\ min}^H = 5 - 2,9 = 2,1B.$$

Перевірку результатів розрахунків в прикладах 2.19 і 2.20 виконаємо за допомогою моделювання передатних характеристик елементів ДТЛ ПН АБО-НІ, схеми яких приведені на рис.2.60 і рис.2.61. На передатних характеристиках показані точки, що відповідають значенням порогових напруг переключення $U_{in\ max}^L$ і $U_{in\ min}^H$ кожної схеми. Відповідно до результатів моделювання передатних характеристик порогові напруги для елемента на рис.2.60 приймають значення $U_{in\ max}^L = 1,4B$; $U_{in\ min}^H = 1,64B$, а для схеми на рис.2.61 (показано пунктиром) – $2,41B$ і $2,9B$, що збігається з результатами розрахунків. Результати моделювання передатних характеристик приведені на рис.2.66.

На цьому виконання прикладів 2.19 і 2.20 завершено.

Далі розглянемо визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ. Цей параметр, як вже зазначалося в [1], визначає максимальну кількість елементів навантаження (в даному випадку таких же елементів ДТЛ ПН АБО-НІ), що можуть бути підключені до виходу елемента ДТЛ ПН АБО-НІ, який в даному випадку розглядається як елемент-джерело сигналу.

На відміну від елемента ДТЛ ПН І-НІ, коефіцієнт розгалуження елемента ДТЛ ПН АБО-НІ розраховується для випадку, коли на виході елемента-джерела сигналу спостерігається високий рівень напруги, тобто транзистор цього елемента перебуває в режимі відсічки. В результаті, цей рівень напруги надходить на входи елементів ДТЛ ПН АБО-НІ навантаження, що приводить до

того, що транзистори цих елементів працюють в режимі насичення. Вищезазначене ілюструє логічна схема, що приведена на рис.2.67.

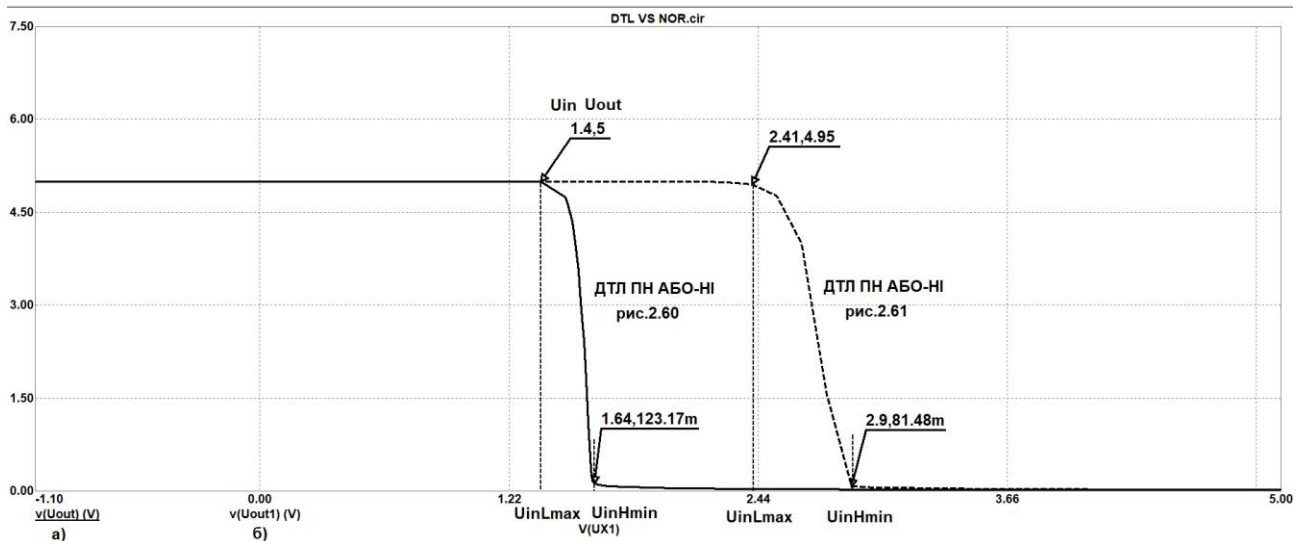


Рис. 2.66. Передатні характеристики елементів ДТЛ ПН АБО-НІ (приклади 2.19 і 2.20)

На рис.2.68 приведена електрична схема для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.60. З метою спрощення будемо в розрахунках коефіцієнта розгалуження N використовувати одновходові елементи. Для визначення N далі скористуємося схемою заміщення елемента-джерела і елементів навантаження, яка приведена на рис.2.69 та отримана за допомогою заміни транзистора елемента-джерела схемою заміщення з боку колектору для режиму відсічки, а транзисторів елементів навантаження – схемою заміщення з боку бази для насичення.

Запишемо вираз відповідно до першого закону Кірхгофа для вузла з'єднання елемента-джерела з елементами навантаження (напрями струмів показані на рис.2.69).

$$I_{R_k} = I_n + I_{k_m} = k_{load\ max} \cdot I_{in} + I_{k_m}, \quad (2.24)$$

де I_n – струм навантаження елемента-джерела;

$k_{load\ max}$ – максимальна кількість елементів навантаження, яка фактично і є коефіцієнтом розгалуження ($N = k_{load\ max}$);

I_{in} – вхідний струм елемента навантаження.

З виразу (2.24) випливає, струми I_{R_k} і I_n збільшуються при збільшенні кількості елементів навантаження, що призводить до зменшення вихідної напруги U_{out} , яку можна визначити за другим законом Кірхгофа: $U_{out} = E_k - I_{R_k} \cdot R_k$ або не враховуючи струм I_{k_m} : $U_{out} = E_k - I_n \cdot R_k$ [1].

Для визначення вихідної напруги скористуємося методом еквівалентного генератора, для чого відключимо вхідний діод від вузла A . В результаті отримаємо еквівалентну схему живлення діодного елемента, приведену на рис.2.70.

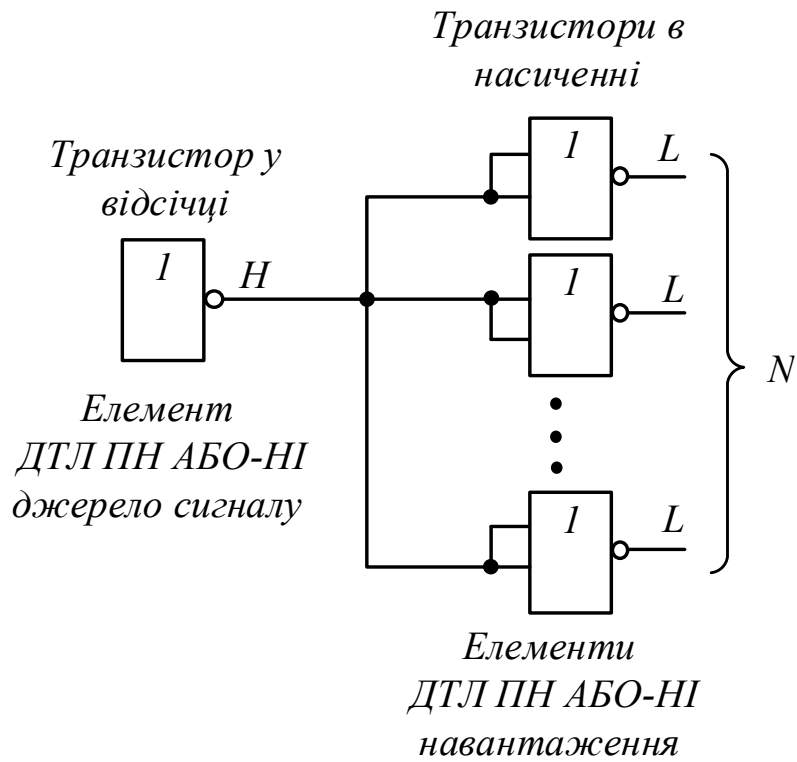


Рис. 2.67. Логічна схема для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ

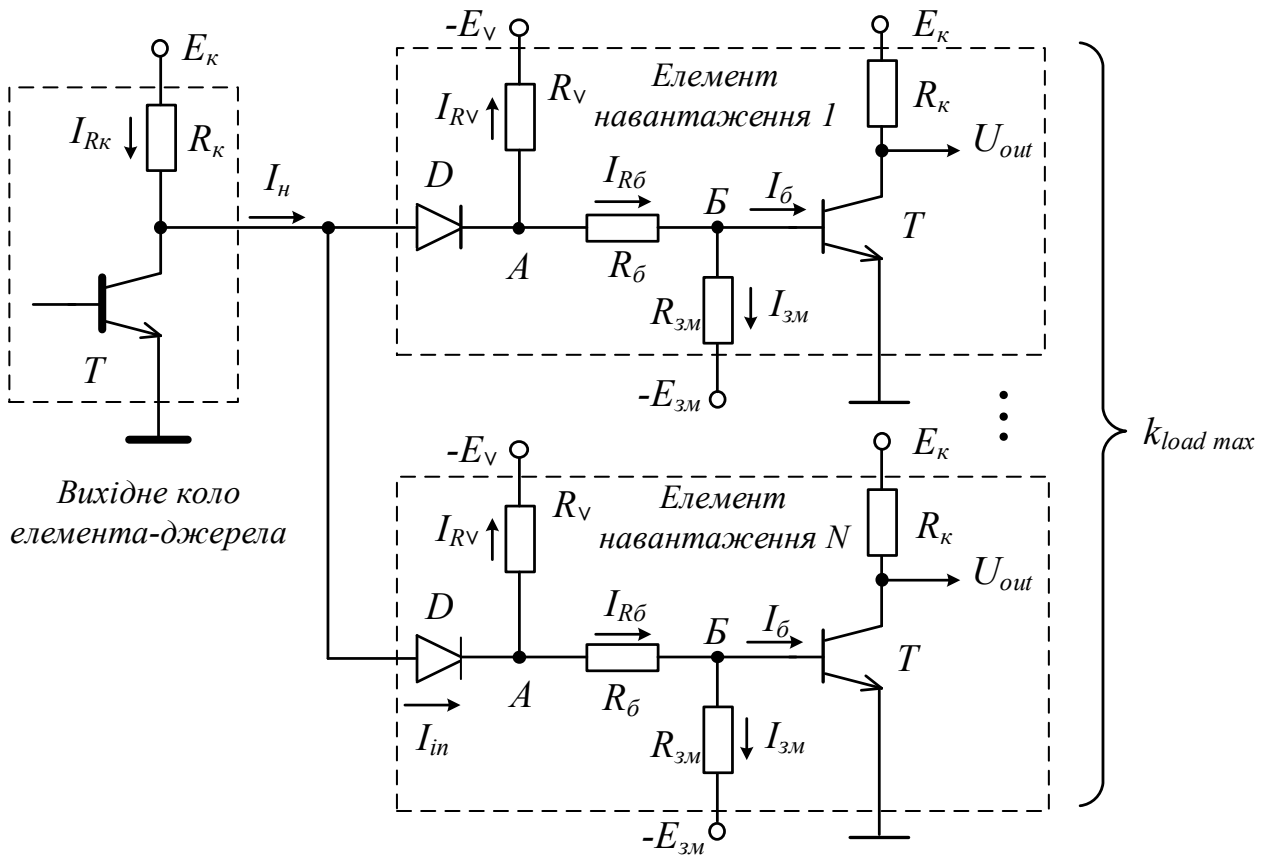


Рис. 2.68. Електрична схема для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.60)

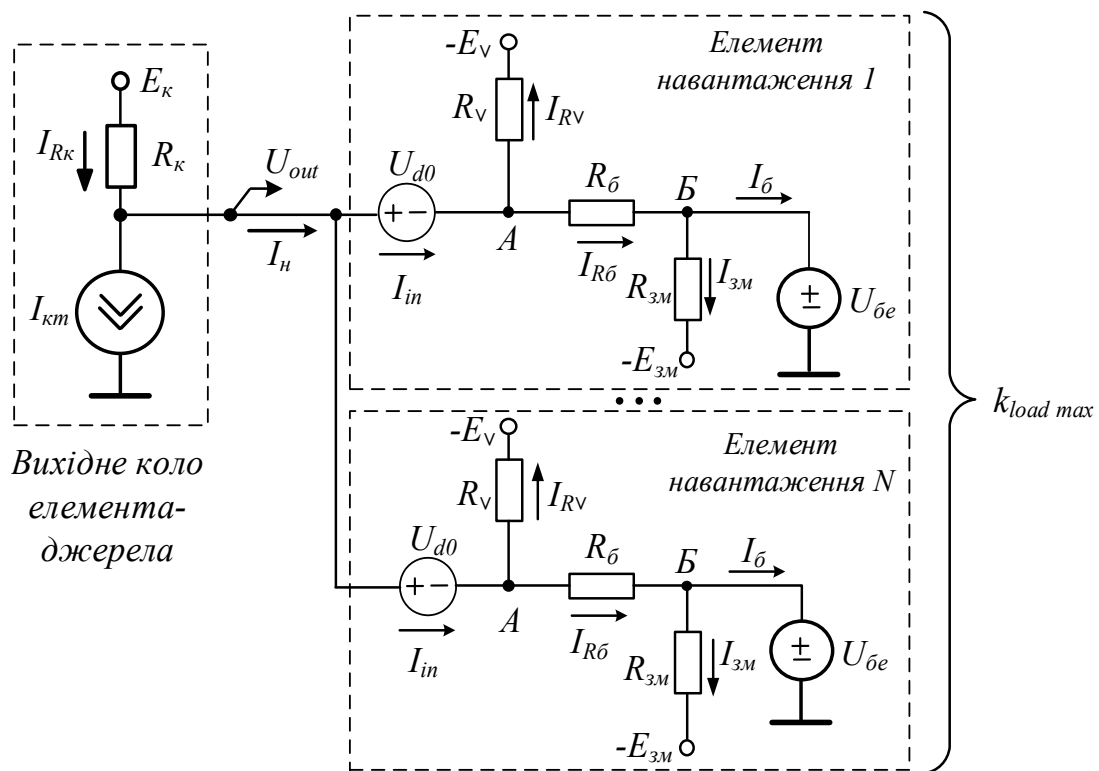


Рис. 2.69. Схема заміщення для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.60)

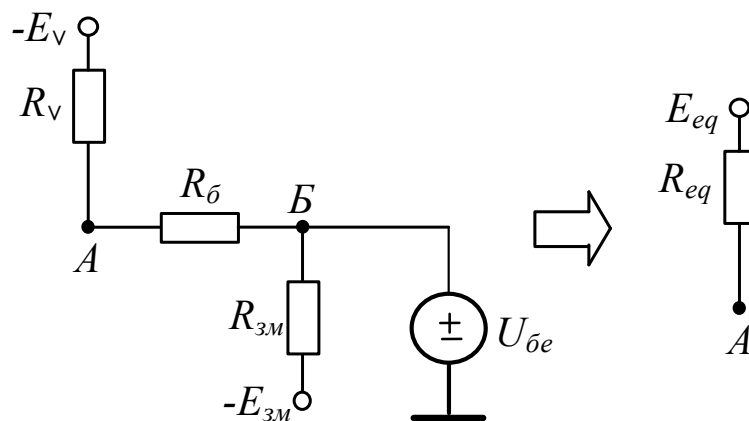


Рис. 2.70. Еквівалентна схема діодного елемента в складі ДТЛ ПН АБО-НІ (див. рис.2.60)

З цієї схеми визначимо значення еквівалентних параметрів холостого ходу E_{eq} і R_{eq} :

$$E_{eq} = \frac{\frac{E_V}{R_V} + \frac{U_{\delta e}}{R_{\delta}}}{\frac{1}{R_V} + \frac{1}{R_{\delta}}}; \quad R_{eq} = \frac{R_V \cdot R_{\delta}}{R_V + R_{\delta}}. \quad (2.25)$$

Таким чином, еквівалентна схема заміщення для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ буде виглядати наступним чином (рис.2.71):

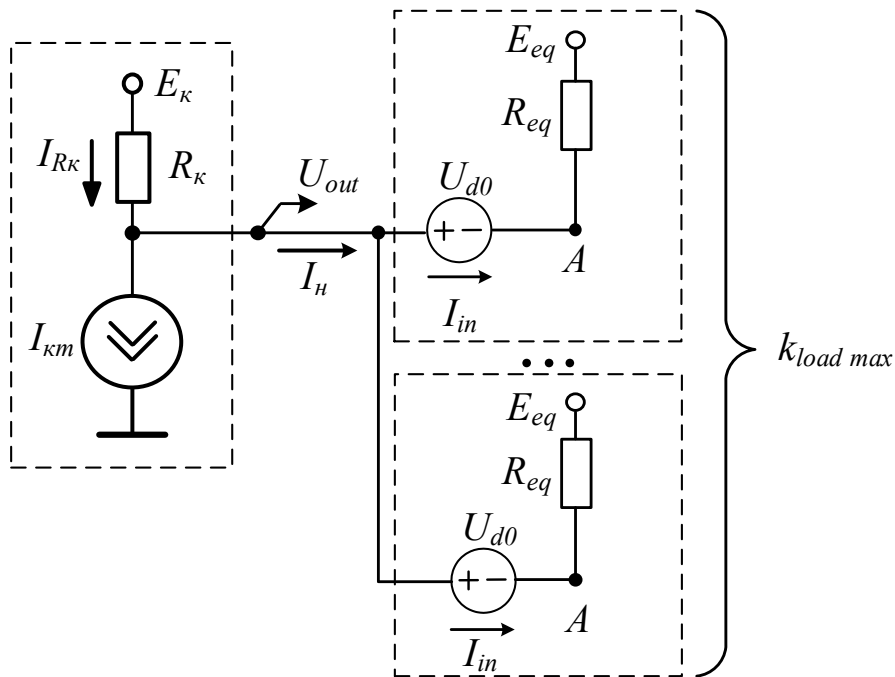


Рис. 2.71. Еквівалентна схема заміщення для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.60)

Використовуючи метод двох вузлів, визначимо вихідну напругу U_{out} .

$$U_{out} = \frac{\frac{E_k}{R_k} + k_{load} \cdot \frac{E_{eq} + U_{d0}}{R_{eq}} - I_{km}}{\frac{k_{load}}{R_{eq}} + \frac{1}{R_k}}, \quad (2.26)$$

де k_{load} – кількість підключених елементів ДТЛ ПН АБО-НІ.

Як вже було зазначено вище, збільшення k_{load} приводить до зменшення U_{out} , в результаті чого величина вихідної напруги U_{out} , яка повинна відповідати високому рівню, може стати менше мінімально можливої напруги високого рівня $U_{in min}^H$ (див. підрозділ 2.2.1.2). Це приведе до того, що рівень вихідної напруги стане відповідати низькому рівню, тобто логіка роботи елемента-джерела буде порушена. В зв'язку з цим для визначення коефіцієнта розгалуження потрібно забезпечити виконання нерівності $U_{out} \geq U_{in min}^H$, де U_{out} визначається за виразом (2.26), а сама нерівність розв'язується відносно k_{load} . Отримане значення k_{load} буде відповідати максимальній кількості елементів ДТЛ ПН АБО-НІ ($k_{load max}$), які можуть бути підключені до елемента ДТЛ ПН АБО-НІ-джерела.

Далі розглянемо визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.61.

Електрична схема для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.61, відрізняється від схеми на рис.2.68 відсутністю кола E_v, R_v . Схема заміщення для визначення N приведена на рис.2.72.

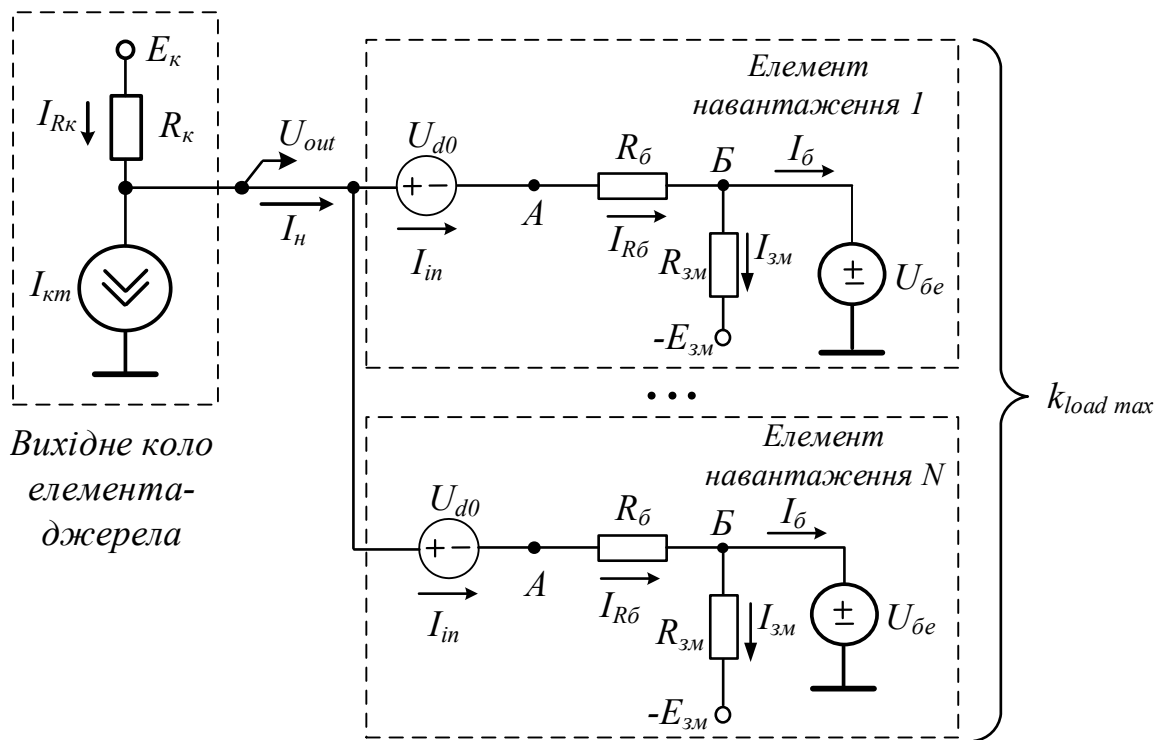


Рис. 2.72. Схема заміщення для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.61)

Як і для попереднього елемента ДТЛ ПН АБО-НІ, збільшення кількості елементів навантаження приводить до зменшення вихідної напруги U_{out} , тобто і для цього елемента потрібно забезпечити виконання умови $U_{out} \geq U_{in}^H$. За допомогою метода двох вузлів запишемо:

$$U_{out} = \frac{\frac{E_k}{R_k} + k_{load} \cdot \frac{U_{be} + U_{d0}}{R_b} - I_{km}}{\frac{k_{load}}{R_b} + \frac{1}{R_k}}. \quad (2.27)$$

Далі розрахунок значення коефіцієнта розгалуження виконується аналогічним чином, як для попереднього елемента ДТЛ ПН АБО-НІ (див. рис.2.60).

Розглянемо приклади визначення коефіцієнта розгалуження елементів ДТЛ ПН АБО-НІ.

Приклад 2.21. Визначити вихідну напругу елемента ДТЛ ПН АБО-НІ (див. рис.2.60), до якого підключено 2 таких же елемента. Параметри елемента: $E_k = 5B$; $E_v = -5B$; $E_{zm} = 0B$; $R_b = 1k$; $R_{zm} = 5k$; $R_v = 5k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0,1B$.

Розв'язок.

На вхід елемента надходить низький рівень. Це означає, що транзистор елемента-джерела перебуває в режимі відсічки. Транзистори елементів навантаження повинні перебувати в режимі насичення.

Відповідно до виразу (2.25) визначимо значення еквівалентних параметрів холостого ходу E_{eq} і R_{eq} :

$$E_{eq} = \frac{\frac{E_V + U_{be}}{R_V} + \frac{U_{d0}}{R_{\delta}}}{\frac{1}{R_V} + \frac{1}{R_{\delta}}} = \frac{\frac{-5 + 0,7}{5} + \frac{0,7}{1}}{\frac{1}{5} + \frac{1}{1}} = -0,25B; \quad R_{eq} = \frac{R_V \cdot R_{\delta}}{R_V + R_{\delta}} = \frac{5 \cdot 1}{5 + 1} = 0,83k.$$

Визначимо вихідну напругу елемента згідно з (2.26)

$$U_{out} = \frac{\frac{E_K}{R_K} + k_{load} \cdot \frac{E_{eq} + U_{d0}}{R_{eq}} - I_{km}}{\frac{k_{load}}{R_{eq}} + \frac{1}{R_K}} = \frac{\frac{5}{1} + 2 \cdot \frac{-0,25 + 0,7}{0,83}}{\frac{2}{0,83} + \frac{1}{1}} = 1,79B.$$

З метою перевірки коректності розрахунків виконаємо моделювання елемента ДТЛ ПН АБО-НІ з елементами навантаження. Результати моделювання приведені на рис.2.73, збігаються з результатами розрахунків та свідчать про те, що вихідна напруга знизилася до 1,8В, але транзистори навантаження при цьому працюють в режимі насичення.

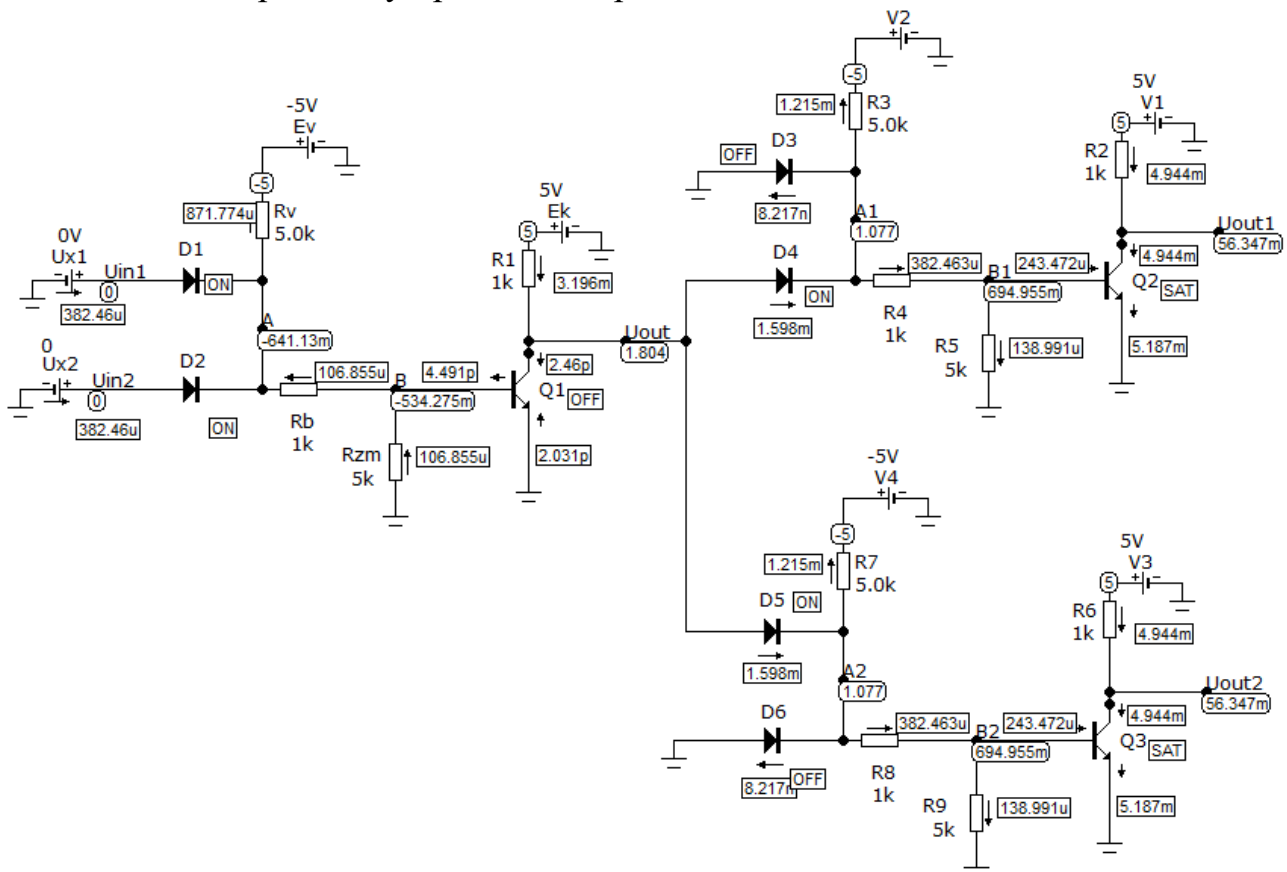


Рис. 2.73. Результати моделювання елемента ДТЛ ПН АБО-НІ з $k_{load} = 2$

На цьому розв'язок прикладу 2.21 завершено.

Приклад 2.22. Визначити коефіцієнт розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.60). Параметри елемента: $E_K = 5B$; $E_V = -5B$; $E_{zm} = 0B$; $R_{\delta} = 1k$; $R_{zm} = 5k$; $R_V = 5k$; $R_K = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0,1B$.

Розв'язок.

Як вже було відзначено вище, при підключенні елементів навантаження вихідна напруга елемента-джерела знижується, в зв'язку з чим необхідно забезпечити виконання умови $U_{out} \geq U_{in min}^H$.

Таким чином, для розв'язку завдання визначимо значення U_{out} і $U_{in min}^H$.

Величина $U_{in min}^H$ була розрахована при виконанні прикладу 2.19 і становить $1,65B$.

Далі необхідно розрахувати відповідно до (2.25) еквівалентні параметри E_{eq} і R_{eq} , але їх величини вже були визначені при виконанні прикладу 2.21 та становлять $-0,25B$ і $0,83k$ відповідно.

В результаті, використовуючи вираз (2.26), складаємо нерівність для визначення коефіцієнта розгалуження та розв'язуємо її відносно $k_{load max}$:

$$U_{out} = \frac{\frac{E_{\kappa}}{R_{\kappa}} + k_{load max} \cdot \frac{E_{eq} + U_{d0}}{R_{eq}} - I_{\kappa m}}{\frac{k_{load max}}{R_{eq}} + \frac{1}{R_{\kappa}}} \geq U_{in min}^H;$$

$$\frac{E_{\kappa}}{R_{\kappa}} + k_{load max} \cdot \frac{E_{eq} + U_{d0}}{R_{eq}} - I_{\kappa m} \geq U_{in min}^H \left(\frac{k_{load max}}{R_{eq}} + \frac{1}{R_{\kappa}} \right);$$

$$\frac{E_{\kappa}}{R_{\kappa}} - \frac{U_{in min}^H}{R_{\kappa}} - I_{\kappa m} \geq k_{load max} \left(\frac{U_{in min}^H}{R_{eq}} - \frac{E_{eq} + U_{d0}}{R_{eq}} \right);$$

$$k_{load max} \leq \frac{\frac{E_{\kappa}}{R_{\kappa}} - \frac{U_{in min}^H}{R_{\kappa}} - I_{\kappa m}}{\frac{U_{in min}^H}{R_{eq}} - \frac{E_{eq} + U_{d0}}{R_{eq}}};$$

Якщо не враховувати $I_{\kappa m}$ ($I_{\kappa m} = 0$)

$$k_{load max} \leq \frac{R_{eq}(E_{\kappa} - U_{in min}^H)}{R_{\kappa}(U_{in min}^H - E_{eq} - U_{d0})};$$

$$k_{load max} \leq \frac{0,83 \cdot (5 - 1,65)}{1 \cdot (1,65 - (-0,25) - 0,7)}; \quad k_{load max} \leq 2,3.$$

Таким чином, $k_{load max} = N = 2$, тобто до виходу елемента ДТЛ ПН АБО-НІ можна підключати не більше двох таких же елементів.

Перевіримо коректність розрахунків за допомогою моделювання, підключаючи до виходу елемента-джерела три елементи навантаження. Для зменшення обсягу схеми для моделювання замість трьох елементів навантаження будемо використовувати еквіваленту схему елемента ДТЛ ПН АБО-НІ, номінали резисторів якого втричі менше, ніж у елемента-джерела.

Результати моделювання приведені на рис.2.74.

З результатів моделювання на рис.2.74 можна побачити, що вихідна напруга елемента-джерела U_{out} знизилася до $1,36B$, що менше $U_{in min}^H$, тобто U_{out} вже відповідає низькому рівню, в результаті чого транзистори елементів навантаження переключаються в режим відсічки.

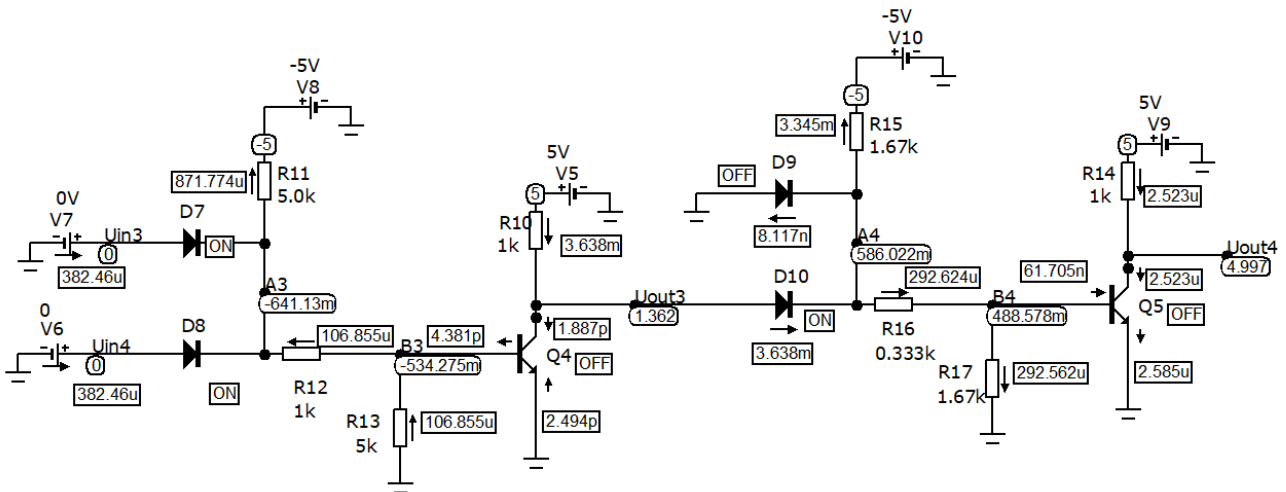


Рис. 2.74. Результати моделювання елемента ДТЛ ПН АБО-НІ з $k_{load} = 3$

Таким чином, порушилася логіка функціонування елементів ДТЛ ПН АБО-НІ (на виходах елемента-джерела і елементів навантаження сформований низький рівень напруги). Моделювання елемента ДТЛ ПН АБО-НІ з двома елементами навантаження, приведене в прикладі 2.21 на рис.2.73, свідчить про коректну роботу всіх елементів ДТЛ ПН АБО-НІ, тобто, дійсно, заданого елемента $N = 2$, що відповідає аналітичним розрахункам.

На цьому розв'язок прикладу 2.22 завершено.

Далі розглянемо приклад розрахунку N елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.61.

Приклад 2.23. Визначити коефіцієнт розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.61). Параметри елемента: $E_{\kappa} = 5B$; $E_{зм} = 0B$; $R_{\bar{o}} = 2k$; $R_{зм} = 1,3k$; $R_{\kappa} = 1k$; $I_{км} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $U_{in}^L = 0B$.

Розв'язок.

Як і в попередньому прикладі виконаємо розв'язок нерівності $U_{out} \geq U_{in min}^H$.

Вираз для визначення $U_{in min}^H$ отриманий при виконанні прикладу 2.20.

$$U_{in min}^H = U_{d0} + U_{\bar{o}e} + R_{\bar{o}} \cdot \left(\frac{E_{\kappa} - U_{кен}}{\beta \cdot R_{\kappa}} + \frac{U_{\bar{o}e} - E_{зм}}{R_{зм}} \right) = 0,7 + 0,7 + 2 \cdot \left(\frac{5 - 0,1}{100 \cdot 1} + \frac{0,7}{1,3} \right) = 2,57B.$$

На основі виразу (2.27) запишемо

$$U_{out} = \frac{\frac{E_{\kappa}}{R_{\kappa}} + k_{load max} \cdot \frac{U_{\bar{o}e} + U_{d0}}{R_{\bar{o}}} - I_{км}}{\frac{k_{load max}}{R_{\bar{o}}} + \frac{1}{R_{\kappa}}} \geq U_{in min}^H;$$

$$\frac{E_{\kappa}}{R_{\kappa}} + k_{load max} \cdot \frac{U_{\bar{o}e} + U_{d0}}{R_{\bar{o}}} - I_{км} \geq U_{in min}^H \left(\frac{k_{load max}}{R_{\bar{o}}} + \frac{1}{R_{\kappa}} \right);$$

$$\frac{E_{\kappa}}{R_{\kappa}} - \frac{U_{in min}^H}{R_{\kappa}} - I_{км} \geq k_{load max} \left(\frac{U_{in min}^H}{R_{\bar{o}}} - \frac{U_{\bar{o}e} + U_{d0}}{R_{\bar{o}}} \right);$$

$$k_{load\ max} \leq \frac{\frac{E_K}{R_K} - \frac{U_{in\ min}^H}{R_K} - I_{km}}{\frac{U_{in\ min}^H}{R_{\delta}} - \frac{U_{\delta e} + U_{d0}}{R_{\delta}}};$$

Відповідно до завдання $I_{km} = 0$, тому

$$k_{load\ max} \leq \frac{R_{\delta}(E_K - U_{in\ min}^H)}{R_K(U_{in\ min}^H - U_{\delta e} - U_{d0})};$$

$$k_{load\ max} \leq \frac{2 \cdot (5 - 2,57)}{1 \cdot (2,57 - 0,7 - 0,7)}; \quad k_{load\ max} \leq 4,15.$$

Таким чином, $k_{load\ max} = N = 4$. Це означає, що до виходу елемента ДТЛ ПН АБО-НІ можна підключати не більше чотирьох таких же елементів.

Правильність розрахунків N перевіримо, використовуючи моделювання функціонування елемента ДТЛ ПН АБО-НІ при трьох та чотирьох підключених елементах навантаження. Результати моделювання при $k_{load} = 4$ і $k_{load} = 5$ приведені на рис.2.75 і рис.2.76 відповідно, на яких використовується еквівалентна схема елемента навантаження з номіналами резисторів, зменшеними в k_{load} разів.

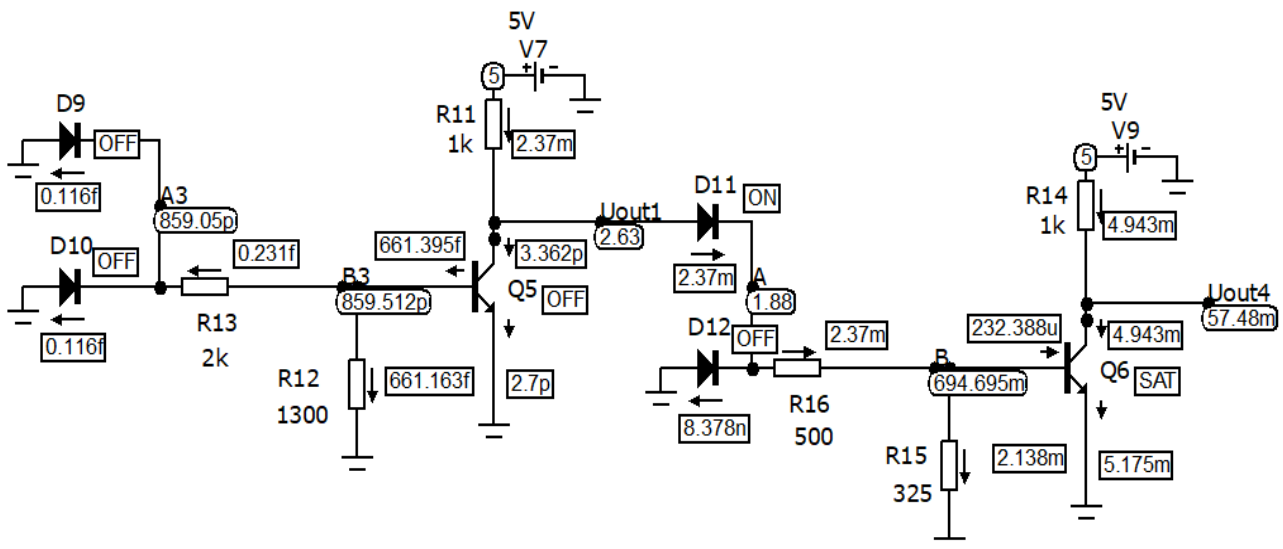


Рис. 2.75. Результати моделювання елемента ДТЛ ПН АБО-НІ (див.рис.2.61) з $k_{load} = 4$

В результаті аналізу результатів моделювання на рис.2.75 і рис.2.76 можна зробити висновок, що при $k_{load} = 4$ вихідна напруга елемента-джерела зменшилася до $2.63V$, але при цьому ця напруга перевищує $U_{in\ min}^H$, забезпечуючи перебування транзисторів елементів навантаження в режимі насичення, що можна побачити на рис.2.75. В той же час при $k_{load} = 5$ (див.рис.2.76) вихідна напруга елемента-джерела складає $2.44V$, що нижче $U_{in\ min}^H$, в результаті чого транзистори елементів навантаження виходять з режиму насичення, перебуваючи в даному випадку в лінійному режимі.

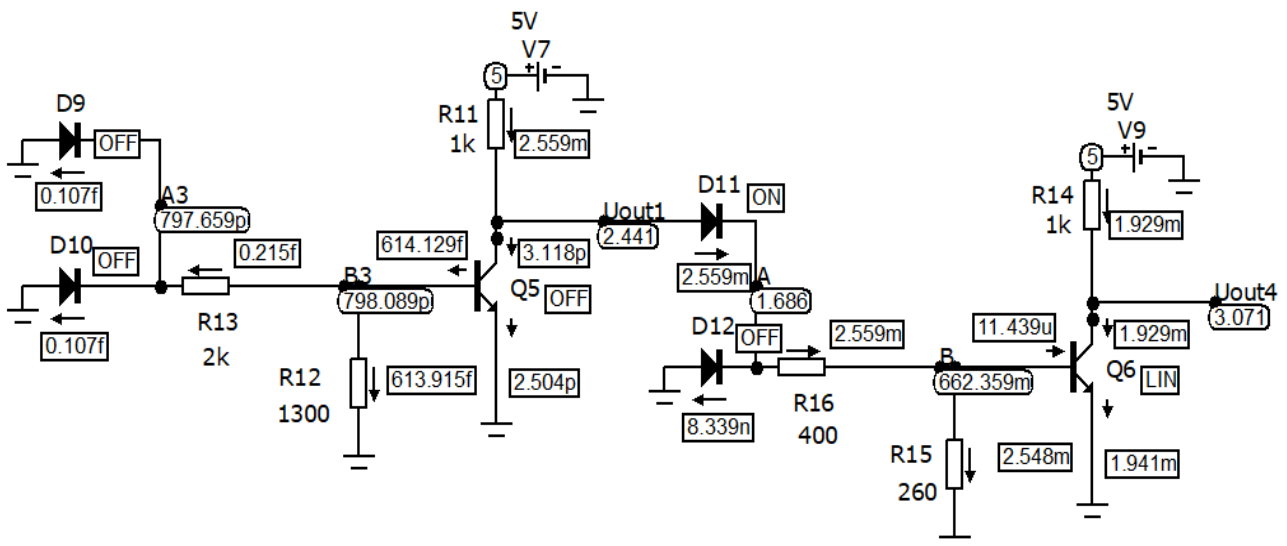


Рис. 2.76. Результати моделювання елемента ДТЛ ПН АБО-НІ (див.рис.2.61) з $k_{load} = 5$

На рис.2.76 видно, що на виході елементів навантаження напруга складає $3,07V$, що перевищує $U_{in\ min}^H$, тобто на виході елементів навантаження формується високий рівень напруги замість низького.

На цьому розв'язок прикладу 2.23 завершено.

Контрольні завдання та запитання

1. Для чого використовується коефіцієнт розгалуження?
2. Що визначає завадостійкість?
3. Якими параметрами характеризується функціонування елемента ДТЛ ПН АБО-НІ?
4. Як розраховувати споживану потужність низького рівня елемента ДТЛ ПН АБО-НІ?
5. Як розраховувати споживану потужність високого рівня елемента ДТЛ ПН АБО-НІ?
6. Як розрахувати середню споживану потужність логічного елемента?
7. В яких одиницях вимірюється статична завадостійкість елемента ДТЛ ПН АБО-НІ?
8. Як визначити завадостійкість логічного елемента, використовуючи передатну характеристику?
9. Що відбувається в елементі ДТЛ ПН АБО-НІ, якщо вхідна напруга досягне значення $U_{in\ max}^L$ при зміні U_{in} від низького до високого рівня?
10. Що відбувається в елементі ДТЛ ПН АБО-НІ, якщо вхідна напруга досягне значення $U_{in\ min}^H$ при зміні від високого до низького рівня?
11. Що відбувається в елементі ДТЛ ПН АБО-НІ, якщо вхідна напруга досягне значення $U_{in\ max}^L$ при зміні U_{in} від високого до низького рівня?
12. Що відбувається в елементі ДТЛ ПН АБО-НІ, якщо вхідна напруга досягне значення $U_{in\ min}^H$ при зміні від низького до високого рівня?

13. Що визначає параметр $U_{in\ max}^L$?
14. Що визначає параметр $U_{in\ min}^H$?
15. Як визначити $U_{in\ min}^H$ для елемента ДТЛ ПН АБО-НІ?
16. Як визначити $U_{in\ max}^L$ для елемента ДТЛ ПН АБО-НІ?
17. Як визначити завадостійкість елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.60?
18. Як визначити завадостійкість елемента ДТЛ ПН АБО-НІ, схема якого приведена на рис.2.61?
19. Як визначити значення порогових напруг переключення елемента ДТЛ ПН АБО-НІ (див. рис.2.60) за допомогою характеристик, приведених на рис.2.66?
20. Як визначити значення порогових напруг переключення елемента ДТЛ ПН АБО-НІ (див. рис.2.61) за допомогою характеристик, приведених на рис.2.66?
21. Як за допомогою характеристик, приведених на рис.2.66 визначити завадостійкість елементів ДТЛ ПН АБО-НІ?
22. Прокоментуйте характеристики на рис.2.66.
23. Для якого стану транзистора елемента-джерела ДТЛ ПН АБО-НІ необхідно розраховувати коефіцієнт розгалуження?
24. Для якого рівня вихідної напруги елемента-джерела ДТЛ ПН АБО-НІ необхідно розраховувати коефіцієнт розгалуження?
25. В якому стані перебувають транзистори елементів навантаження для визначення коефіцієнта розгалуження елемента ДТЛ ПН АБО-НІ?
26. В чому полягає різниця при визначенні коефіцієнта розгалуження елементів ДТЛ ПН АБО-НІ і ДТЛ ПН І- НІ?
27. Прокоментуйте схему на рис.2.67.
28. Прокоментуйте схему на рис.2.68.
29. Прокоментуйте вираз (2.24).
30. Поясніть, яким чином отримана схема заміщення, приведена на рис.2.69?
31. Поясніть різницю між параметрами $k_{load\ max}$ і k_{load} .
32. Чому на рис.2.69 транзистор елемента-джерела замінений джерелом струму $I_{кт}$?
33. Чому на рис.2.69 транзистори елементів навантаження замінені джерелом напруги $U_{\delta e}$?
34. Що відбувається в елементі-джерелі ДТЛ ПН АБО-НІ при збільшенні кількості навантажень?
35. Прокоментуйте перетворення на рис.2.70.
36. Яким чином отримано вираз (2.25)?
37. Поясніть, яким чином отримана схема заміщення, приведена на рис.2.71?
38. Яким чином отримано вираз (2.26)?
39. За допомогою якого метода отримано вираз (2.26)?

40. Що відбувається в елементі ДТЛ ПН АБО-НІ при його перенавантаженні?
41. В чому полягає різниця у визначенні коефіцієнта розгалуження в елементах, представлених на рис.2.60 і рис.2.61?
42. Поясніть, яким чином отримана схема заміщення, приведена на рис.2.72?
43. Яким чином отримано вираз (2.27)?
44. Визначити вихідну напругу елемента ДТЛ ПН АБО-НІ (див. рис.2.60), до якого підключено 3 таких же елемента. Параметри елемента: $E_k = 5B$; $E_v = -5B$; $E_{zm} = 0B$; $R_{\bar{o}} = 2k$; $R_{zm} = 5k$; $R_v = 5k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0B$.
45. Прокоментуйте результати моделювання на рис.2.73.
46. Визначити коефіцієнт розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.60). Параметри елемента: $E_k = 5B$; $E_v = -5B$; $E_{zm} = 0B$; $R_{\bar{o}} = 2k$; $R_{zm} = 5k$; $R_v = 5k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0B$.
47. З якою метою необхідно забезпечити виконання умови $U_{out} \geq U_{in\ min}^H$ для елементів ДТЛ ПН АБО-НІ.
48. Чи поновлюється працездатність елемента ДТЛ ПН АБО-НІ після усунення причин перенавантаження? Обґрунтуйте відповідь.
49. Як визначити напругу у вузлі A елемента ДТЛ ПН АБО-НІ при високому рівні вхідної напруги?
50. Як визначити напругу у вузлі A елемента ДТЛ ПН АБО-НІ (див. рис.2.60) при низькому рівні вхідної напруги?
51. Як визначити напругу у вузлі A елемента ДТЛ ПН АБО-НІ (див. рис.2.61) при $U_{in} = 0$?
52. Як визначити вхідний струм елемента ДТЛ ПН АБО-НІ?
53. На основі якого закону визначаються струми I_{Rv} , $I_{R\bar{o}}$ і I_{Rk} в елементі ДТЛ ПН АБО-НІ (див. рис.2.60)?
54. На основі якого закону визначаються струми $I_{R\bar{o}}$ і I_{Rk} в елементі ДТЛ ПН АБО-НІ (див. рис.2.61)?
55. На основі якого закону визначається струм бази в елементі ДТЛ ПН АБО-НІ високому рівні вхідної напруги?
56. Яким чином будується еквівалентна схема, яка замінює відразу кілька елементів навантаження?
57. Прокоментуйте результати моделювання на рис.2.74.
58. Визначити коефіцієнт розгалуження елемента ДТЛ ПН АБО-НІ (див. рис.2.61). Параметри елемента: $E_k = 5B$; $E_{zm} = 0B$; $R_{\bar{o}} = 2k$; $R_{zm} = 1,5k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\bar{o}e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $U_{in}^L = 0B$.
59. Прокоментуйте результати моделювання на рис.2.75.
60. Прокоментуйте результати моделювання на рис.2.76.
61. В чому полягає різниця в результатах моделювання елемента ДТЛ ПН АБО-НІ на рис.2.75 і рис.2.76?

62. Чому на рис.2.76 величини опорів елемента навантаження в 5 разів менше, ніж в елементі-джерелі сигналу?
63. Приведіть схему елемента ДТЛ ПН АБО-НІ на базі *p-n-p* транзистора.
64. Який рівень вихідної напруги необхідно сформуванати в елементі ДТЛ ПН АБО-НІ, який є джерелом сигналу, під час визначення коефіцієнта розгалуження?
65. В чому полягає різниця у функціонуванні елементів ДТЛ ПН АБО-НІ і ДТЛ ПН І-НІ при перенавантаженні?

2.2.2. Елементи ДТЛ з переключенням струму

Розглянемо властивості, характеристики та визначення параметрів елементів ДТЛ з переключенням струму (ДТЛ ПС) з кодуванням сигналів, що відповідають логіці високого рівня.

2.2.2.1. Елементи ДТЛ ПС І-НІ логіки високого рівня

Схема *m*-входового елемента ДТЛ ПС І-НІ логіки високого рівня приведена на рис.2.77. При використанні логіки низького рівня цей же елемент буде виконувати функцію АБО-НІ.

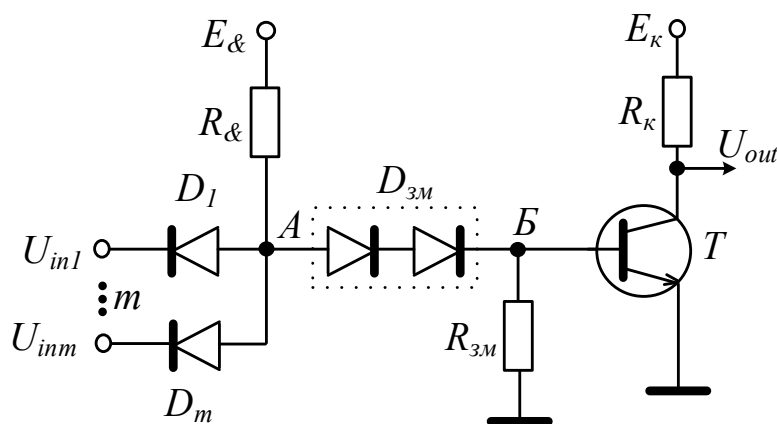


Рис. 2.77. Схема *m*-входового елемента ДТЛ ПС І-НІ

До складу елемента окрім звичайних складових включені діоди зміщення $D_{\&}$ (обведені пунктиром) за аналогією зі схемою інвертора з нелінійним негативним зворотним зв'язком (див. рис. 1.35).

Розглянемо принцип роботи цього елемента.

Якщо хоча б на один вхід елемента ДТЛ ПС І-НІ надходить напруга низького рівня, то відповідний вхідний діод буде відкритий, а діоди зміщення – закриті. Таким чином, весь струм $I_{R\&}$ надходить у вхідні кола елемента. При використанні першої схеми заміщення закритого діода [1] схема елемента ДТЛ ПС І-НІ може бути представлена у вигляді двох незалежних схем (рис.2.78): діодного логічного елемента АБО логіки високого рівня ($E_{\&}, R_{\&}, D_1, \dots, D_m$) та інвертора ($E_{\&}, R_{\&}, R_{\&}, T$).

Відповідно до цієї схеми на базу транзистора надходить практично нульовий потенціал через $R_{\&}$, в результаті чого транзистор перебуває в режимі відсічки, а на виході формується напруга високого рівня.

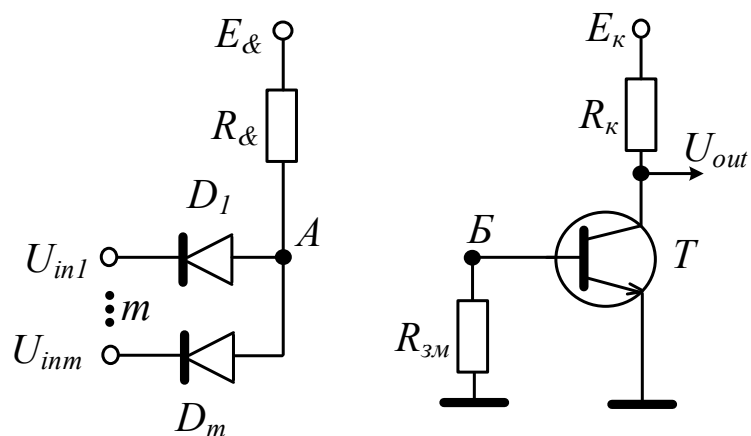


Рис. 2.78. Схема m -входового елемента ДТЛ ПС I-НІ при низькому рівні вхідної напруги на одному з входів

Якщо на всі входи елемента ДТЛ ПС I-НІ надходить напруга високого рівня, то всі вхідні діоди будуть закриті, а діоди зміщення – відкриті. Таким чином, весь струм $I_{R\&}$ надходить в коло бази транзистора. Аналогічно при використанні першої схеми заміщення закритого діода [1] схема елемента ДТЛ ПС I-НІ може бути представлена наступним чином (рис.2.79):

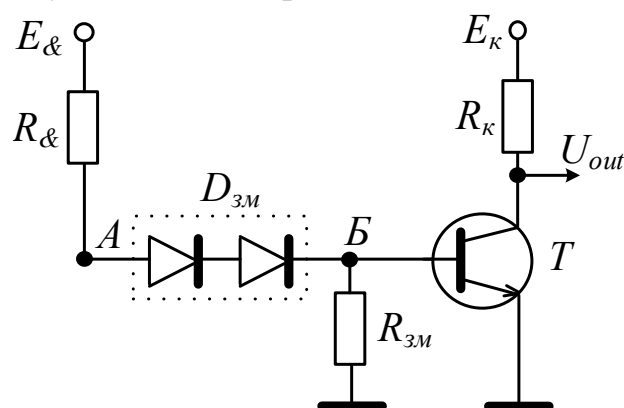


Рис. 2.79. Схема m -входового елемента ДТЛ ПС I-НІ при високому рівні вхідної напруги на всіх входах

Співвідношення між резисторами $R_{\&}$, R_{κ} і $R_{\text{зм}}$ повинні забезпечувати насичення транзистора. В цьому разі на виході формується низький рівень напруги. Фактично схема на рис.2.79 являє собою інвертор з нелінійним зв'язком (див.п.1.5, рис.1.35).

Таким чином, в залежності від рівня вхідної напруги струм $I_{R\&}$ переключується між вхідним колом елемента і базовим колом транзистора, в зв'язку з чим такі елементи відносяться до логічних елементів з переключенням струму.

Таблиця істинності для двовходового елемента ДТЛ ПС приведена в табл.2.2.

Розглянемо розрахунок струмів і напруг в елементі ДТЛ ПС I- НІ.

Схема заміщення елемента ДТЛ ПС I- НІ для випадку, коли хоча б на один вхід надходить низький рівень, приведена на рис.2.80.

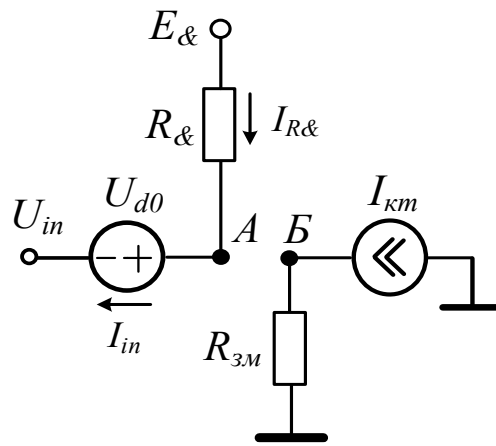


Рис. 2.80. Схема заміщення елемента ДТЛ ПС І-НІ при низькому рівні вхідної напруги

Вхідне коло елемента при низькому рівні вхідної напруги являє собою діодний логічний елемент [1]. Розрахунок параметрів цього елемента описується виразами:

$$U_A = U_{in} + U_{d0}; \quad I_{R\&} = I_{in} = \frac{E_{\&} - U_A}{R_{\&}}.$$

В базовому колі протікає тільки тепловий струм, тому $U_{\bar{o}} = I_{км} \cdot R_{зм}$. Для надійного запирання діода емітера транзистора необхідно забезпечити виконання умови $I_{км} \cdot R_{зм} < 0,3B$. Схема заміщення для визначення вихідної напруги приведена на рис.2.44,б, а вихідна напруга визначається за другим законом Кірхгофа $U_{out} = E_{\kappa} - I_{км} \cdot R_{\kappa} \approx E_{\kappa}$, тобто на виході формується напруга високого рівня.

Якщо на всі входи елемента ДТЛ ПС І-НІ підключена напруга високого рівня, то вхідні діоди закриваються, діоди зміщення відкриваються, при цьому транзистор повинен перебувати в режимі насичення. Для визначення стану транзистора на основі методу еквівалентного генератора відключимо цей транзистор від вузла *B*, а діоди зміщення замінимо другою схемою заміщення для відкритого діода [1], в результаті чого отримаємо схему, приведену на рис.2.81.

Визначимо напругу холостого ходу у вузлі *B* за методом двох вузлів:

$$U_B^{xx} = \frac{\frac{E_{\&} - n_{dзм} \cdot U_{d0}}{R_{\&}}}{\frac{1}{R_{\&}} + \frac{1}{R_{зм}}}, \quad (2.28)$$

де $n_{dзм}$ – кількість діодів зміщення.

Для забезпечення насичення транзистора необхідно, щоб діоди емітера і колектору транзистора були відкриті. Відкритий стан діода емітера забезпечується за допомогою виконання умови $U_B^{xx} > 0,55B$, а відкритий стан діода колектору – за допомогою виконання умови $I_{\bar{o}} \geq I_{\text{он}}$ [1].

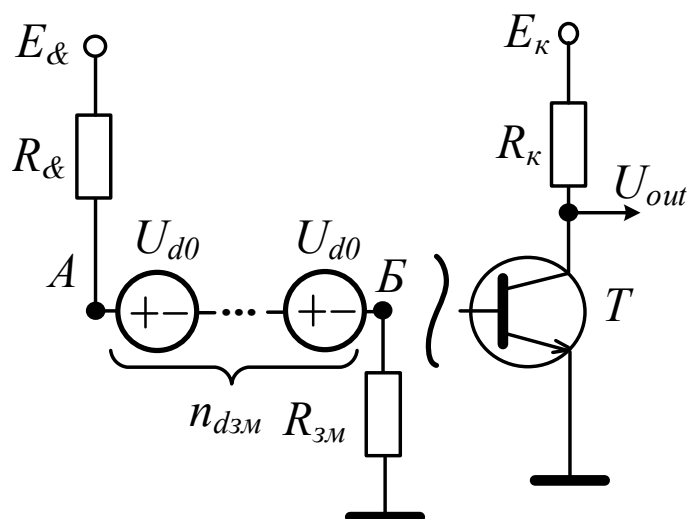


Рис. 2.81. Схема заміщення для визначення стану транзистора елемента ДТЛ ПС І-НІ при високому рівні вхідної напруги

Схема заміщення вхідних кіл елемента ДТЛ ПС І-НІ за умови, що $U_B^{xx} > 0,55V$ приведена на рис.2.82.

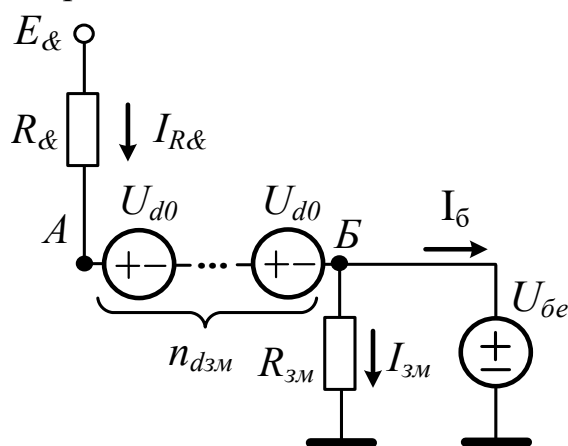


Рис. 2.82. Схема заміщення вхідних кіл елемента ДТЛ ПС І-НІ при $U_B^{xx} > 0,55V$

Визначимо стан діода колектору. Струм бази визначається за першим законом Кірхгофа $I_b = I_{R\&} - I_{3m}$, де струми $I_{R\&}$ і I_{3m} визначаються за законом Ома:

$$I_{R\&} = \frac{E_{\&} - n_{d3m} \cdot U_{d0} - U_{be}}{R_{\&}}; \quad I_{3m} = \frac{U_{be}}{R_{3m}}; \quad I_{bn} = \frac{E_k - U_{кен}}{\beta \cdot R_k}.$$

Якщо $I_b \geq I_{bn}$, то транзистор перебуває в стані насичення, а вихідна напруга елемента ДТЛ ПС І-НІ визначається за виразом $U_{out} = U_{кен} = 0,1V$ [1].

Приклад 2.24. Визначити напруги і струми в елементі ДТЛ ПС І-НІ для заданих значень вхідної напруги. Параметри елемента ДТЛ ПС: $E_k = 5V$; $E_{\&} = 5V$; $E_{3m} = 0V$; $R_{3m} = 5k$; $R_{\&} = 3k$; $R_k = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{be} = 0,7V$; $U_{d0} = 0,7V$; $U_{кен} = 0,1V$; $m = 1$; $U_{in}^H = 3V$; $n_{d3m} = 2$.

Розв'язок.

Відповідно до умови завдання на вхід логічного елемента надходить високий рівень напруги. Визначимо стан транзистора, для чого на основі схеми (див. рис.2.81) та виразу (2.28) розрахуємо U_B^{xx} .

$$U_B^{xx} = \frac{\frac{E_{\&} - n_{d3m} \cdot U_{d0}}{R_{\&}}}{\frac{1}{R_{\&}} + \frac{1}{R_{3m}}} = \frac{\frac{5 - 2 \cdot 0,7}{3}}{\frac{1}{3} + \frac{1}{5}} = 2,25V.$$

У зв'язку з тим, що $U_B^{xx} > 0,55V$, діод емітера транзистора відкритий, тому визначимо стан діода колектору, використовуючи схему заміщення (див. рис.2.82). Визначимо $I_{R\&}$, I_{3m} та $I_{кн}$ за законом Ома

$$I_{R\&} = \frac{E_{\&} - n_{d3m} \cdot U_{d0} - U_{\delta e}}{R_{\&}} = \frac{5 - 2 \cdot 0,7 - 0,7}{3} = 0,97mA; \quad I_{3m} = \frac{U_{\delta e}}{R_{3m}} = \frac{0,7}{5} = 0,14mA;$$

$$I_{кн} = I_{Rк} = \frac{E_{к} - U_{кен}}{R_{к}} = \frac{5 - 0,1}{1} = 4,9mA.$$

Далі виконаємо розрахунок струму бази відповідно до першого закону Кірхгофа $I_{\delta} = I_{R\&} - I_{3m} = 0,97 - 0,14 = 0,83mA$ та струм бази насичення $I_{\delta н} = I_{кн} / \beta = 4,9/100 = 0,049mA$. В результаті I_{δ} набагато більше $I_{\delta н}$, тобто транзистор перебуває в стані глибокого насичення (коефіцієнт насичення [1] $S = I_{\delta} / I_{\delta н} = 0,83/0,049 = 16,9$). Вихідна напруга при цьому визначається за виразом $U_{out} = U_{кен} = 0,1V$.

На рис.2.83 приведені результати моделювання та показані стани діодів, транзистора, величини струмів та напруг в елементі ДТЛ ПС І-НІ при високому рівні вхідної напруги, що підтверджують результати розрахунків.

На цьому виконання прикладу 2.24 завершено.

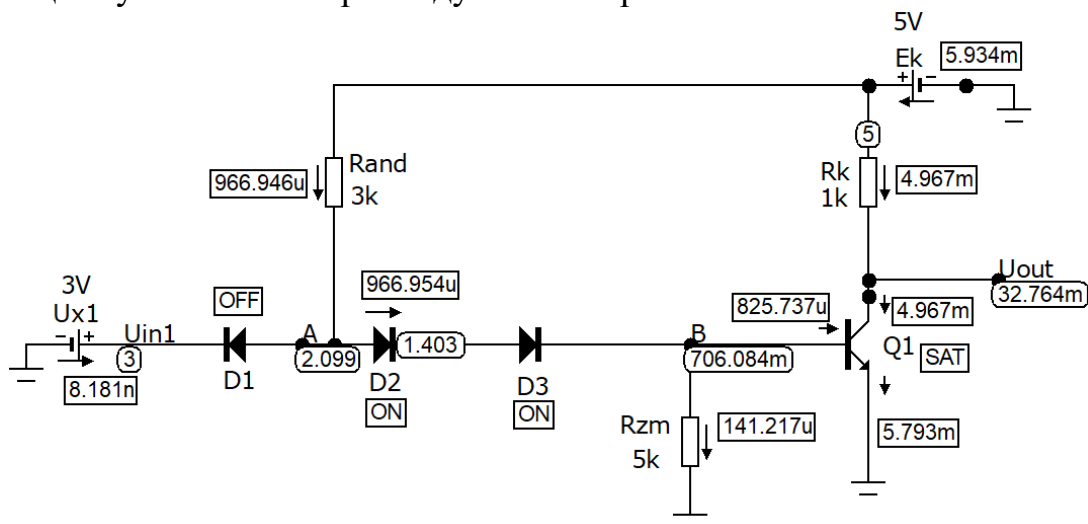


Рис. 2.83. Результати моделювання функціонування елемента ДТЛ ПС-І-НІ (приклад 2.24)

Контрольні завдання та запитання

1. В чому полягає принцип функціонування елементів ДТЛ з переключенням струму?
2. Приведіть електричну схему m -входового елемента ДТЛ ПС І-НІ логіки високого рівня.

3. Поясніть принцип роботи елемента ДТЛ ПС І-НІ логіки високого рівня.
4. Яку логічну функцію виконує елемент, схема якого приведена на рис.2.77, при використанні логіки високого рівня?
5. Яку логічну функцію виконує елемент, схема якого приведена на рис.2.77, при використанні логіки низького рівня?
6. Прокоментуйте схему на рис.2.78.
7. Яким чином отримана схема на рис.2.78?
8. Який рівень входної напруги необхідно підключати на вхід елемента ДТЛ ПС І-НІ для забезпечення відсічки транзистора?
9. Яким чином реалізується багатовходові логічні функції на базі елементів ДТЛ ПС
10. Приведіть схему m -входового елемента ДТЛ ПС, який реалізує функцію Шефера для кодування сигналів відповідно до логіки високого рівня.
11. Приведіть схему m -входового елемента ДТЛ ПС, який реалізує функцію Пірса для кодування сигналів відповідно до логіки низького рівня.
12. В якому режимі перебуває транзистор в схемі на рис.2.77, якщо на один з входів підключити напругу низького рівня, а на решту входів – напругу високого рівня?
13. В якому режимі перебуває транзистор в схемі на рис.2.77, якщо на всі входи підключити напругу низького рівня?
14. В якому режимі перебуває транзистор в схемі на рис.2.77, якщо на всі входи підключити напругу високого рівня?
15. В якому стані перебувають входні діоди в елементі ДТЛ ПС І-НІ при надходженні на всі входи напруги високого рівня?
16. В якому стані перебувають діоди зміщення в елементі ДТЛ ПС І-НІ при надходженні на всі входи напруги високого рівня?
17. В якому стані перебувають входні діоди в елементі ДТЛ ПС І-НІ при надходженні хоча б на один вхід напруги низького рівня?
18. В якому стані перебувають діоди зміщення в елементі ДТЛ ПС І-НІ при надходженні хоча б на один вхід напруги низького рівня?
19. Вихідний сигнал якого рівня формується в елементі ДТЛ ПС (див. рис.2.77), якщо транзистор перебуває в режимі відсічки?
20. Вихідний сигнал якого рівня формується в елементі ДТЛ ПС (див. рис.2.77), якщо транзистор перебуває в режимі насичення?
21. Який рівень сигналу формується на виході елемента ДТЛ ПС (див. рис.2.77), якщо на один з входів підключити напругу низького рівня, а на решту входів – напругу високого рівня?
22. Який рівень сигналу формується на виході елемента ДТЛ ПС (див. рис.2.77), якщо на всі входи підключити напругу високого рівня?
23. Доведіть, що в схемі на рис.2.78 транзистор перебуває в режимі відсічки.
24. Прокоментуйте схему на рис.2.79.
25. Яким чином отримана схема на рис.2.79?
26. Який режим роботи транзистора необхідно забезпечити в схемі на рис.2.79?

27. Чому елементи ДТЛ ПС отримали назву «елементи з переключенням струму»?
28. Прокоментуйте таблицю 2.2.
29. Яким чином з таблиці 2.2 отримати таблицю істинності для кодування сигналів згідно з логікою високого рівня?
30. Яким чином з таблиці 2.2 отримати таблицю істинності для кодування сигналів згідно з логікою низького рівня?
31. Прокоментуйте схему заміщення на рис.2.80.
32. Яким чином отримана схема заміщення на рис.2.80?
33. В якому режимі перебуває транзистор в схемі заміщення на рис.2.80?
34. За допомогою якого закону визначається напруга у вузлі A , якщо хоча б один з вхідних діодів відкритий?
35. Як визначити вхідний струм елемента, якщо хоча б один з вхідних діодів відкритий?
36. Що відбудеться в елементі ДТЛ ПС І-НІ, якщо не буде виконуватися умова $I_{кт} \cdot R_{зм} < 0,3V$?
37. Для чого визначається напруга U_B^{xx} ?
38. Яким чином отриманий вираз (2.28)?
39. Яку умову необхідно виконати для забезпечення відкритого стану діода емітера транзистора?
40. Яку роль в елементі ДТЛ ПС І-НІ виконує коло $E_{\&}, R_{\&}$?
41. Яку роль в елементі ДТЛ ПС І-НІ виконує коло зміщення?
42. Яку умову необхідно виконати для забезпечення відкритого стану діода колектору транзистора?
43. Яку умову необхідно виконати для забезпечення насичення транзистора?
44. Прокоментуйте схему заміщення на рис.2.81.
45. Як визначити напругу U_B^{xx} в схемі на рис.2.81?
46. Прокоментуйте схему заміщення на рис.2.82.
47. Як визначити струм $I_{R\&}$ в схемі заміщення на рис.2.82?
48. Як визначити струм бази насичення в схемі заміщення на рис.2.82?
49. Визначити напруги і струми в елементі ДТЛ ПС І-НІ для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_{\kappa} = 12V$; $E_{\&} = 12V$; $E_{зм} = 0V$; $R_{зм} = 3k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{бе} = 0,75V$; $U_{d0} = 0,75V$; $U_{кен} = 0,1V$; $m = 1$; $U_{in}^H = 0V$; $n_{dзм} = 2$.
50. Визначити напруги і струми в елементі ДТЛ ПС І-НІ для заданих значень вхідної напруги. Параметри елемента ДТЛ ПН: $E_{\kappa} = 12V$; $E_{\&} = 12V$; $E_{зм} = 0V$; $R_{зм} = 3k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{бе} = 0,75V$; $U_{d0} = 0,75V$; $U_{кен} = 0,1V$; $m = 1$; $U_{in}^H = 12V$; $n_{dзм} = 2$.
51. Прокоментуйте результати моделювання на рис.2.83.
52. Як визначити вхідний струм елемента ДТЛ ПС І-НІ при високому рівні вхідної напруги на всіх входах?
53. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПС І-НІ, якщо принаймні один вхідний діод відкритий?

54. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПС І-НІ, якщо кілька вхідних діодів відкриті?
55. Яким чином виконується розрахунок напруг і струмів в елементі ДТЛ ПС І-НІ, якщо всі вхідні діоди закриті?
56. До розрахунку якої схеми зводиться розрахунок напруг і струмів в елементі ДТЛ ПС І-НІ, якщо всі вхідні діоди закриті?
57. В якому випадку елемент ДТЛ ПС І-НІ може бути розрахований як звичайний інвертор, на вхід якого підключена напруга $E_{\&}$?

2.2.2.2. Параметри елемента ДТЛ ПС І-НІ логіки високого рівня

В якості параметрів, як і раніше, будемо використовувати споживану потужність, завадостійкість та коефіцієнт розгалуження. Для розрахунку споживаної потужності необхідно використовувати струми від джерел живлення $I_{R\&}$ і I_{Rk} , значення яких були визначені в попередньому підрозділі, тому далі визначення цього параметру не розглядається.

Розглянемо визначення величини статичної завадостійкості, для чого необхідно розрахувати порогові напруги переключення елемента.

Спочатку визначимо умову переключення діодів при високому рівні вхідної напруги. В цьому разі, як вже зазначалося раніше, діоди зміщення відкриті при закритих вхідних діодах, а напруга у вузлі A визначається за другим законом Кірхгофа відповідно до схеми заміщення, приведеній на рис.2.82:

$$U_A = n_{d3m} \cdot U_{d0} + U_{\bar{0}e}. \quad (2.29)$$

При цьому для забезпечення закритого стану вхідного діода необхідно виконати умову $U_A - U_{in}^H < U_{dsw}$, де U_{dsw} – порогова напруга переключення діода (**switching threshold voltage**). Величина U_{dsw} залежить від властивостей діода. У діодів в складі цифрових інтегральних схем величина U_{dsw} складає приблизно $0,55V$, що застосовується при використанні третьої схеми заміщення відкритого діода [1]. Крім того, в околі напруги переключення діодів елемента спостерігається зменшення величин струмів через ці доди, що призводить до зменшення падіння напруги на відкритих діодах. Тому при визначенні порогової напруги переключення в якості величин падіння напруг на відкритому діоді емітера транзистора, вхідних діодах та діодах зміщення будемо використовувати значення U_{dsw} , тобто $U_{d0} = U_{\bar{0}e} = U_{dsw} = 0,55V$.

Підставляючи вираз (2.29) до нерівності $U_A - U_{in}^H < U_{dsw}$, отримуємо

$$n_{d3m} \cdot U_{d0} + U_{\bar{0}e} - U_{in}^H < U_{dsw}; \quad U_{in}^H > n_{d3m} \cdot U_{d0} + U_{\bar{0}e} - U_{dsw};$$

Враховуючи, що $U_{d0} = U_{\bar{0}e} = U_{dsw}$, запишемо

$$U_{in}^H > 0,55(n_{d3m} + 1) - 0,55; \quad U_{in}^H > 0,55 \cdot n_{d3m}.$$

Таким чином, будь-яка вхідна напруга елемента ДТЛ ПС І-НІ, яка відповідає високому рівню, повинна перевищувати величину $0,55 \cdot n_{d3m}$.

При надходженні низького рівня вхідної напруги вхідні діоди елемента відкриті, а діоди зміщення повинні бути закритими. Напруга у вузлі A визначається за другим законом Кірхгофа (схему заміщення див. на рис.2.80) $U_A = U_{in}^L + U_{d0} = U_{in}^L + U_{dsw}$. При цьому для забезпечення закритого стану діодів

зміщення необхідно виконати умову $U_A < n_{d3m} \cdot U_{d0} + U_{\delta e}$. Підставляючи вираз $U_A = U_{in}^L + U_{dsw}$ до попередньої нерівності, отримаємо

$$U_{in}^L + U_{dsw} < n_{d3m} \cdot U_{d0} + U_{\delta e}.$$

Враховуючи, що $U_{d0} = U_{\delta e} = U_{dsw}$, запишемо

$$U_{in}^L < n_{d3m} \cdot U_{d0} + U_{\delta e} - U_{dsw}; \quad U_{in}^L < n_{d3m} \cdot U_{dsw}.$$

Таким чином, будь-яка вхідна напруга елемента ДТЛ ПС І-НІ, яка відповідає низькому рівню, повинна бути нижче величини $0,55 \cdot n_{d3m}$.

В результаті проведених розрахунків можна відзначити, що функціонування елемента ДТЛ ПС І-НІ на відміну від елементів РТЛ та ДТЛ ПН характеризується наявністю тільки однієї порогової напруги переключення, причому величина цієї напруги $U_{\Pi} = n_{d3m} \cdot U_{dsw}$ залежить тільки від кількості діодів зміщення.

Визначення завадостійкості логічних елементів з однією напругою переключення детально розглянуто в [1]:

$$NM^L = U_{\Pi} - U_{in}^L; \quad NM^H = U_{in}^H - U_{\Pi}. \quad (2.30)$$

Приклад 2.25. Визначити завадостійкість елемента ДТЛ ПС І-НІ. Параметри елемента ДТЛ ПС: $E_{\kappa} = 5B$; $E_{\&} = 5B$; $E_{3m} = 0B$; $R_{3m} = 5k$; $R_{\&} = 3k$; $R_{\kappa} = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{\delta e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 3B$; $U_{in}^L = 0,1B$; $n_{d3m} = 2$.

Розв'язок.

Порогова напруга переключення визначається за виразом $U_{\Pi} = n_{d3m} \cdot U_{dsw} = 2 \cdot 0,55 = 1,1B$.

Відповідно до (2.30) визначимо завадостійкість

$$NM^L = U_{\Pi} - U_{in}^L = 1,1 - 0,1 = 1B; \quad NM^H = U_{in}^H - U_{\Pi} = 3 - 1,1 = 1,9B.$$

Необхідно зазначити, що для того, щоб функціонування елемента в околі переключення діодів не залежало від технологічних розкидів характеристик діодів, потрібно все ж таки визначити максимальний діапазон неприпустимих значень вхідної напруги ($U_{\Pi} - 0,15B$, $U_{\Pi} + 0,15B$). В прикладі, що розглядається, діапазон неприпустимих значень вхідної напруги з точки зору впливу завад перебуває між $0,95B$ і $1,25B$. Крім того, необхідно відзначити, що в околі порогової напруги переключення діоди логічного елемента можуть бути одночасно відкриті.

Перевірка результатів розрахунку здійснюється за допомогою моделювання передатної характеристики елемента ДТЛ ПС І-НІ, яка приведена на рис.2.84. На цій характеристиці можна побачити, що транзистор починає відкриватися при вхідній напрузі $1B$, а вхідна напруга $1,2B$ вже забезпечує перебування транзистора елемента в насиченні. Таким чином, переключення транзистора відбувається в околі напруги $U_{\Pi} = n_{d3m} \cdot U_{dsw} = 1,1B$, а діапазон неприпустимих вхідних напруг складає ($U_{\Pi} - 0,1B$, $U_{\Pi} + 0,1B$), що збігається з результатами розрахунків.

На цьому виконання прикладу 2.25 завершено.

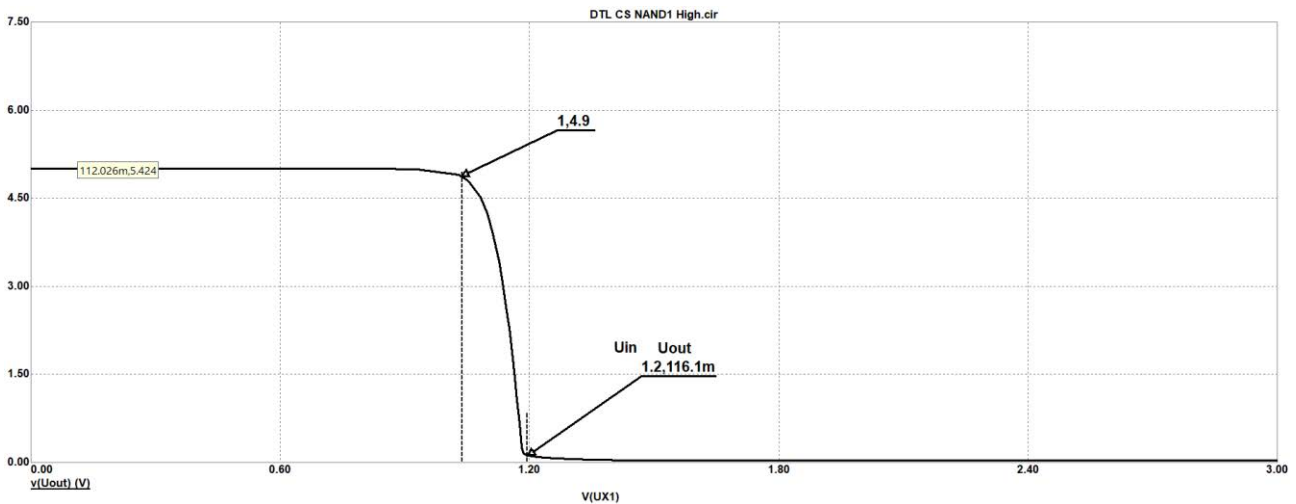


Рис. 2.84. Передатна характеристика елемента ДТЛ ПС-I-НІ (приклад 2.25)

Далі розглянемо визначення коефіцієнта розгалуження логічного елемента ДТЛ ПС-I-НІ. Коефіцієнт розгалуження елемента ДТЛ ПС I-НІ розраховується аналогічним чином, як і для елементів ДТЛ ПН I-НІ, тобто для низького рівня на виході елемента-джерела, коли транзистор цього елемента перебуває в режимі насичення, а транзистори елементів навантаження – в режимі відсічки (див.рис.2.55). Схема заміщення для розрахунку коефіцієнта розгалуження елемента ДТЛ ПС I-НІ, не враховуючи тепловий струм закритих діодів зміщення, приведена на рис.2.85.

Коефіцієнт розгалуження елемента ДТЛ ПС I-НІ розраховується відповідно до виразу (2.19), з якого можна побачити, що, як і для елемента ДТЛ ПН I-НІ, при перенавантаженні транзистор елемента-джерела виходить з ладу. Таким чином, для розрахунку коефіцієнта розгалуження будемо використовувати умову (2.20), з якої отримаємо

$$k_{load} < \frac{I_{kmax} - I_{Rk}}{I_{in}}. \quad (2.31)$$

Струм I_{Rk} визначається таким же чином, як в елементі ДТЛ ПН I-НІ, але на відміну від цього елемента, враховуючи, що діоди зміщення закриті, вхідний струм визначається за законом Ома (див. рис.2.85)

$$I_{in} = I_{\&} = \frac{E_{\&} - U_A}{R_{\&}}, \text{ де } U_A = U_{out} + U_{d0}. \quad (2.32)$$

Приклад 2.26. Визначити коефіцієнт розгалуження N елемента ДТЛ ПС I- НІ. Параметри елемента ДТЛ ПС: $E_k = 5B$; $E_{\&} = 5B$; $E_{zm} = 0B$; $R_{zm} = 5k$; $R_{\&} = 3k$; $R_k = 1k$; $I_{km} = 0$; $\beta = 100$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 3B$; $U_{in}^L = 0,1B$; $n_{dzm} = 2$; $I_{kmax} = 15mA$.

Вхідний струм низького рівня елемента навантаження визначимо за виразом (2.32), а струм I_{Rk} – за законом Ома (див. приклад 2.16):

$$I_{Rk} = \frac{E_k - U_{кен}}{R_k} = \frac{5 - 0,1}{1} = 4,9mA ;$$

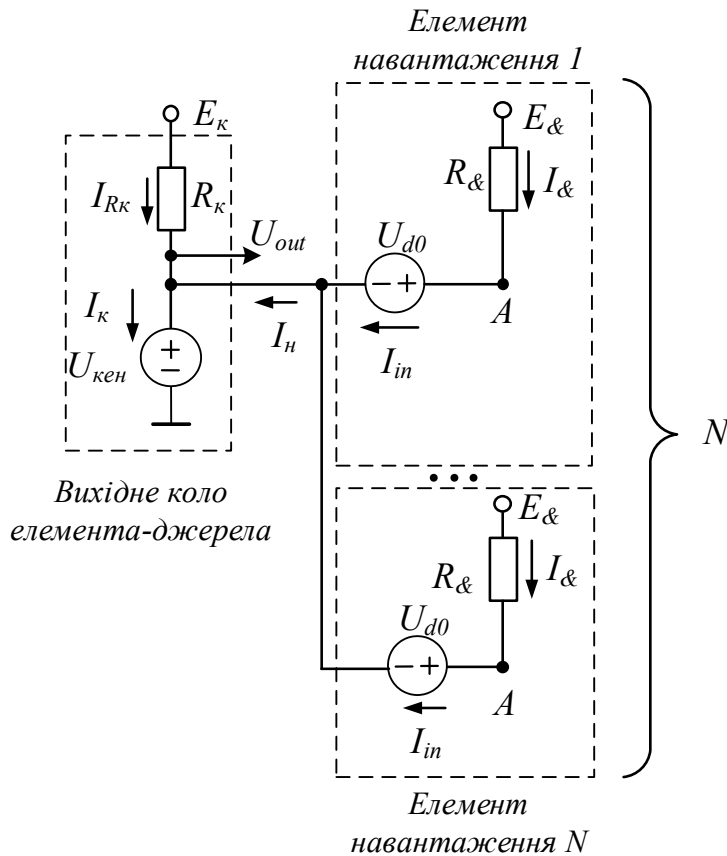


Рис. 2.85. Схема заміщення для визначення коефіцієнта розгалуження елемента ДТЛ-ПС І-НІ

Відповідно до (2.32)

$$U_A = U_{out} + U_{d0} = 0,1 + 0,75 = 0,85B;$$

$$I_{in} = I_{\&} = \frac{E_{\&} - U_A}{R_{\&}} = \frac{5 - 0,85}{3} = 1,38mA.$$

Далі відповідно до (2.31) визначимо коефіцієнт розгалуження

$$k_{load\ max} = N < \frac{I_{kmax} - I_{Rk}}{I_{in}}; \quad k_{load\ max} < \frac{15 - 4,9}{1,38}; \quad k_{load\ max} < 7,31; \quad N = 7.$$

Результати моделювання логічного елемента, до якого відповідно до значення коефіцієнта розгалуження підключені N ($N=7$) елементів ДТЛ ПС І-НІ, приведені на рис.2.86. Як і раніше, для моделювання використовується еквівалентна схема N елементів навантаження, яка утворена за рахунок зменшення величини опору $R_{\&}$ в N разів.

З результатів моделювання на рис.2.86 можна побачити, що струм колектору транзистора елемента-джерела не перевищує допустиме значення I_{kmax} і складає приблизно $14,5mA$.

Результати моделювання функціонування логічного елемента, до виходу якого відповідно до значення коефіцієнта розгалуження підключені N ($N=7$) елементів ДТЛ ПС І-НІ, приведені на рис.2.86. При перенавантаженні елемента-джерела струм колектору цього елемента перевищує максимально припустиме значення I_{kmax} , що призводить до втрати працездатності елемента-джерела. На рис.2.87 приведені результати моделювання функціонування

елемента ДТЛ ПС І-НІ, який є перенавантажений. До виходу цього елемента підключено на один елемент навантаження більше, ніж дозволяє коефіцієнт розгалуження ($k_{load} = N+1 = 8$).

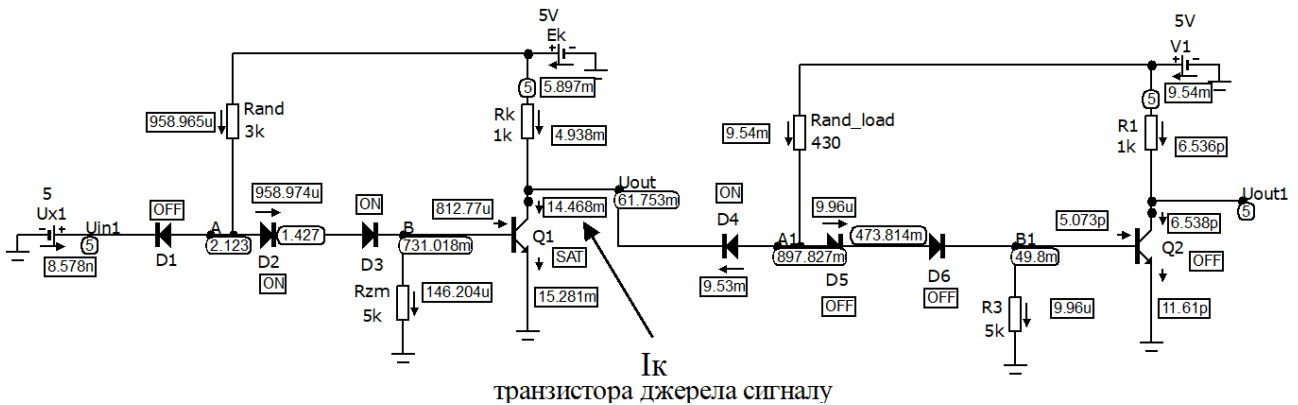


Рис. 2.86. Результати моделювання елемента ДТЛ ПС І-НІ з $k_{load} = 7$ (приклад 2.26)

Як вже було відзначено, для моделювання використовується еквівалентна схема восьми елементів навантаження, яка утворена за рахунок зменшення величини опору $R_{\&}$ в 8 разів.

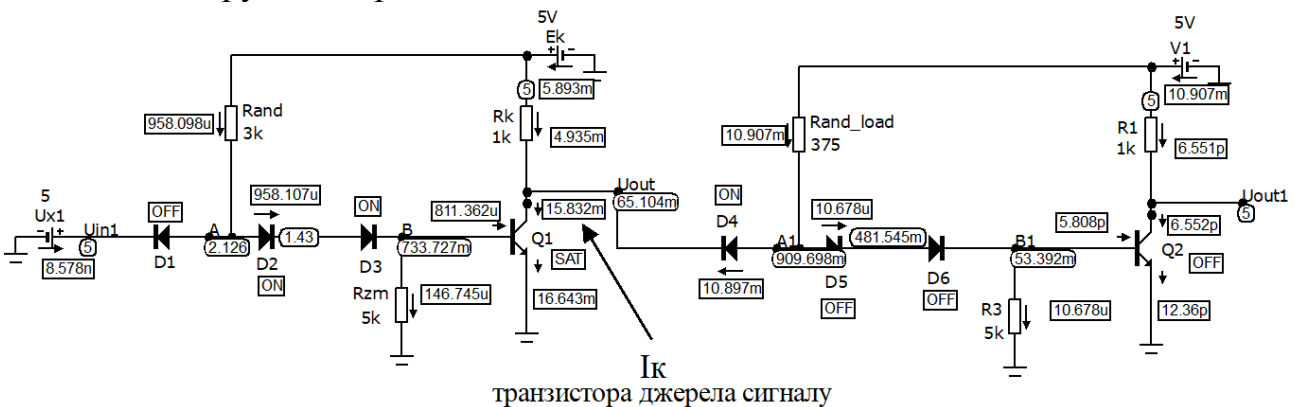


Рис. 2.87. Результати моделювання елемента ДТЛ ПС І-НІ з $k_{load} = 8$ (приклад 2.26)

З результатів моделювання на рис.2.87 можна побачити, що струм колектору транзистора елемента-джерела перевищує допустиме значення I_{kmax} і складає приблизно $15,8mA$.

На цьому виконання прикладу 2.26 завершено.

Контрольні завдання та запитання

1. Як розрахувати споживану потужність низького рівня елемента ДТЛ ПС І-НІ?
2. Як розрахувати споживану потужність високого рівня елемента ДТЛ ПС І-НІ?
3. Як розрахувати середню споживану потужність елемента ДТЛ ПС І-НІ?
4. В яких одиницях вимірюється статична завадостійкість елемента ДТЛ ПС І-НІ?

5. Поясніть фізичний сенс параметра «завадостійкість»?
6. Поясніть, як використовуючи передатну характеристику, визначити завадостійкість елемента ДТЛ ПС І-НІ?
7. Для чого використовується коефіцієнт розгалуження?
8. Скільки порогових напруг переключення характеризують функціонування елементів ДТЛ ПС?
9. Скільки порогових напруг переключення характеризують функціонування елементів ДТЛ ПН ?
10. Що відбувається в елементі ДТЛ ПС І-НІ, якщо вхідна напруга досягне значення $U_{П}$ при зміні вхідної напруги від низького до високого рівня?
11. Що відбувається в елементі ДТЛ ПС І-НІ, якщо вхідна напруга досягне значення $U_{П}$ при зміні вхідної напруги від високого до низького рівня?
12. Що визначає параметр $U_{П}$?
13. Як визначити $U_{П}$ для елемента ДТЛ ПС І-НІ?
14. Доведіть, що $U_{П} = n_{дзм} \cdot U_{дsw}$.
15. Як визначити припустиме мінімальне значення вхідної напруги верхнього рівня елемента ДТЛ ПС І-НІ?
16. Як визначити припустиме максимальне значення вхідної напруги низького рівня елемента ДТЛ ПС І-НІ?
17. В чому полягає різниця між принципом роботи елементів ДТЛ ПН і ДТЛ ПС?
18. В чому полягає різниця між кількістю порогових напруг елементів ДТЛ ПН і ДТЛ ПС?
19. Прокоментуйте вираз $U_{in}^H > 0,55 \cdot n_{дзм}$.
20. Прокоментуйте вираз $U_{in}^L < n_{дзм} \cdot U_{дsw}$.
21. Визначити завадостійкість елемента ДТЛ ПС І-НІ. Параметри елемента ДТЛ ПС: $E_{\kappa} = 5B$; $E_{\&} = 5B$; $E_{зм} = 0B$; $R_{зм} = 10k$; $R_{\&} = 5k$; $R_{\kappa} = 1k$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\&e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 5B$; $U_{in}^L = 0,2B$; $n_{дзм} = 3$.
22. Визначити завадостійкість елемента ДТЛ ПС І-НІ. Параметри елемента ДТЛ ПС: $E_{\kappa} = 12B$; $E_{\&} = 5B$; $E_{зм} = 0B$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_{\kappa} = 1k$; $I_{\kappa m} = 0$; $\beta = 100$; $U_{\&e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 12B$; $U_{in}^L = 0,5B$; $n_{дзм} = 4$.
23. Поясніть доцільність використання діапазону неприпустимих значень вхідної напруги елемента ДТЛ ПС І-НІ.
24. Прокоментуйте передатну характеристику, приведену на рис.2.84.
25. Як використовуючи характеристику, приведену на рис.2.84, визначити завадостійкість низького рівня?
26. Як використовуючи характеристику, приведену на рис.2.84, визначити завадостійкість високого рівня?
27. Для якого стану транзистора елемента-джерела ДТЛ ПС І-НІ необхідно розраховувати коефіцієнт розгалуження?
28. Для якого рівня вихідної напруги елемента-джерела ДТЛ ПС І-НІ необхідно розраховувати коефіцієнт розгалуження?

29. В якому стані перебувають транзистори елементів навантаження для визначення коефіцієнта розгалуження елемента ДТЛ ПС І-НІ?
30. В чому полягає різниця при визначенні коефіцієнта розгалуження елементів ДТЛ ПС І-НІ і ДТЛ ПН І-НІ?
31. Прокоментуйте схему заміщення на рис.2.85.
32. В чому полягає різниця між схемами заміщення для визначення коефіцієнта розгалуження елементів ДТЛ ПС І-НІ і ДТЛ ПН І-НІ?
33. Яким чином отримано вираз (2.31)?
34. За допомогою якого закону визначається напруга у вузлі A при низькому рівні напруги на вході елемента ДТЛ ПС І-НІ?
35. За допомогою якого закону визначається вхідний струм при низькому рівні напруги на вході елемента ДТЛ ПС І-НІ?
36. Прокоментуйте вирази (2.32).
37. Визначити коефіцієнт розгалуження N елемента ДТЛ ПС І-НІ. Параметри елемента ДТЛ ПС: $E_K = 5B$; $E_{\&} = 5B$; $E_{зм} = 0B$; $R_{зм} = 10k$; $R_{\&} = 5k$; $R_K = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{бе} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $n_{дзм} = 3$; $I_{кmax} = 25mA$.
38. Визначити коефіцієнт розгалуження N елемента ДТЛ ПС І-НІ. Параметри елемента ДТЛ ПС: $E_K = 12B$; $E_{\&} = 5B$; $E_{зм} = 0B$; $R_{зм} = 5k$; $R_{\&} = 2k$; $R_K = 1k$; $I_{кт} = 0$; $\beta = 100$; $U_{бе} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $n_{дзм} = 4$; $I_{кmax} = 50mA$.
39. Поясніть різницю між параметрами N і k_{load} .
40. Чому на рис.2.85 транзистор елемента-джерела замінений джерелом напруги?
41. Чому на рис.2.85 відсутні транзистори елементів навантаження?
42. Що відбувається в елементі-джерелі ДТЛ ПС І-НІ при збільшенні кількості елементів навантажень?
43. Що відбувається в елементі ДТЛ ПС І-НІ при його перенавантаженні?
44. Прокоментуйте результати моделювання на рис.2.86.
45. З якою метою необхідно забезпечити виконання умови $I_K < I_{кmax}$ для елементів ДТЛ ПС І-НІ?
46. Чи поновлюється працездатність елемента ДТЛ ПС І-НІ після усунення причин перенавантаження? Обґрунтуйте відповідь.
47. Як визначити вхідний струм елемента ДТЛ ПС І-НІ при низькому рівні вхідної напруги?
48. Як визначити вхідний струм елемента ДТЛ ПС І-НІ при високому рівні вхідної напруги?
49. Яким чином формується еквівалентна схема, яка замінює відразу кілька елементів навантаження ДТЛ ПС І-НІ?
50. Прокоментуйте результати моделювання на рис.2.87.
51. В чому полягає різниця в результатах моделювання елемента ДТЛ ПС І-НІ на рис.2.86 і рис.2.87?
52. Чому на рис.2.87 величини опорів еквівалентного елемента навантаження в 8 разів менше, ніж в елементі-джерелі сигналу?

53. Приведіть схему елемента ДТЛ ПС І- НІ на базі $p-n-p$ транзистора.
54. Який рівень вихідної напруги необхідно сформувати в елементі ДТЛ ПС І- НІ, який є джерелом сигналу, під час визначення коефіцієнта розгалуження?
55. Чому коефіцієнт розгалуження в елементі ДТЛ ПС І- НІ достатньо розраховувати для одного відкритого вхідного діода в кожному елементі навантаження ?

2.3. Елементи транзисторно-транзисторної логіки

Елементи транзисторно-транзисторної логіки (ТТЛ, англ.: *Transistor-transistor Logic, TTL*) являють собою логічні елементи, які, як і елементи ДТЛ, побудовані з використанням резисторів, діодів та біполярних транзисторів [5,6,8,9,14,19,20]. Але на відміну від елементів ДТЛ, в елементах ТТЛ за допомогою транзисторів виконується, як реалізація багатовходової логічної функції, так і забезпечення виконання логічної операції інвертування.

2.3.1. Елементи ТТЛ з простим інвертором

Якщо в елементі ДТЛ ПС (див. рис.2.77) використовувати один діод зміщення і при цьому інтерпретувати вхідний діод, як діод емітера транзистора, а діод зміщення – як діод колектору, то в результаті можна отримати одновходовий елемент ТТЛ, схема якого приведена на рис.2.88. Далі цей елемент будемо називати елементом ТТЛ з простим інвертором (ТТЛ ІІ).

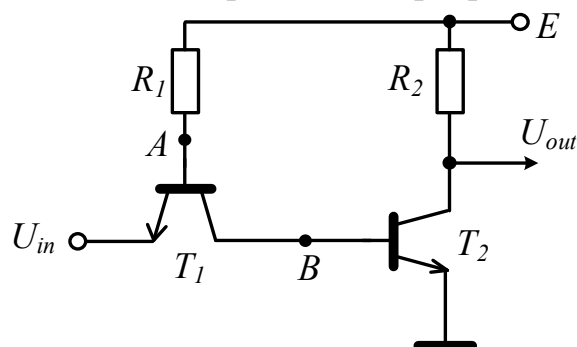


Рис. 2.88. Схема елемента ТТЛ з простим інвертором

Розглянемо принцип роботи цього елемента.

Якщо на вхід надходить напруга низького рівня, то перехід база-емітер транзистора T_1 зміщується в прямому напрямі, тобто діод емітера цього транзистора відкривається. В результаті з'являється струм колектору T_1 . Відповідно до схеми струм колектору T_1 витікає з бази T_2 , але з бази $n-p-n$ транзистора в статичному режимі може витікати тільки тепловий струм, тому струм колектору T_1 можна вважати нульовим, тобто струм емітера T_1 , який складається з струмів бази і колектору практично дорівнює струму бази T_1 . У зв'язку з тим, що струм колектору T_1 набагато менше струму бази, то транзистор T_1 перебуває в стані глибокого насичення. Таким чином, струм бази T_1 утворює вхідний струм низького рівня елемента ТТЛ ІІ. При цьому транзистор T_2

перебуває в стані відсічки, а на виході елемента формується напруга високого рівня.

Якщо на вхід елемента надходить напруга високого рівня, то перехід база-емітер транзистора T_1 зміщується в зворотному напрямі, тобто діод емітера цього транзистора закривається, але діод колектору T_1 залишається відкритим, тобто транзистор T_1 працює в інверсному режимі. В цьому режимі струм колектору складається зі струму бази і емітера [1]. При виробництві елементів ТТЛ структура транзистора T_1 формується таким чином, що величина інверсного коефіцієнта підсилення по струму β_i є дуже малою ($\beta_i < 0,01$), тобто струм колектору T_1 фактично утворюється струмом бази T_1 . Струм колектору T_1 втікає в базу T_2 , в результаті чого при відповідних значеннях R_1 , R_2 та β транзистор T_2 переключується в режим насичення, а на виході елемента формується напруга низького рівня.

Таким чином, з розгляду принципу роботи елемента ТТЛ ІІІ можна зробити такі висновки:

- струм бази транзистора T_1 в залежності від рівня вхідної напруги переключується з вхідного кола до базового кола транзистора T_2 або навпаки, тобто елемент ТТЛ ІІІ відноситься до класу цифрових елементів з переключенням струму;

- одноходовий елемент ТТЛ ІІІ виконує логічну функцію інвертування.

Виконаємо розрахунок значень напруг і струмів в елементі ТТЛ ІІІ в залежності від рівня вхідної напруги.

Нехай на вхід надходить низький рівень напруги U_{in}^L . Як вже відзначалося, транзистор T_1 перебуває в насиченні, а транзистор T_2 – у відсічці. На рис.2.89,а приведена схема елемента ТТЛ ІІІ, на якій зазначені напрями струмів, що протікають в елементі при низькому рівні вхідної напруги. На рис.2.89,б приведена схема заміщення елемента, яку будемо використовувати для розрахунків струмів і напруг.

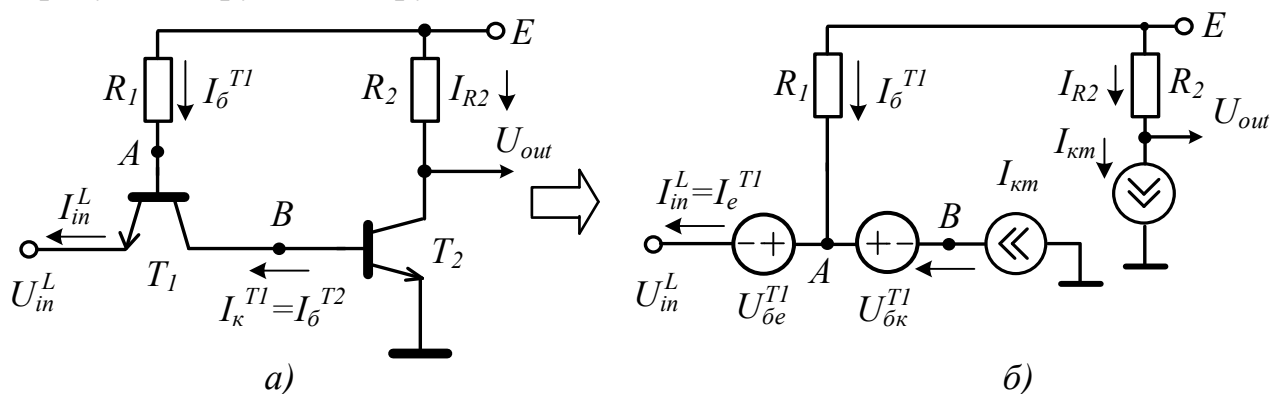


Рис. 2.89. Схема заміщення елемента ТТЛ ІІІ при низькому рівні вхідної напруги

В схемі заміщення елемента ТТЛ ІІІ використовуються схеми заміщення транзистора T_1 в режимі насичення, а для розрахунків базового і колекторного кіл T_2 – схеми заміщення цього транзистора відповідно з боку бази і колектору для режиму відсічки [1]. Зі схеми заміщення можна побачити, що логічний

елемент можна представити у вигляді двох незалежних схем, перша з яких складається з кіл транзистора T_1 і базового кола T_2 , а друга містить тільки колекторне коло T_2 .

Напруга у вузлах A і B визначається за другим законом Кірхгофа

$$U_A = U_{in}^L + U_{\bar{b}e}^{T1}; \quad U_B = U_{in}^L + U_{\bar{b}e}^{T1} - U_{\bar{b}k}^{T1} = U_{in}^L + U_{кен}^{T1}. \quad (2.33)$$

Далі визначимо струми в колах транзистора T_1 , використовуючи закон Ома і перший закон Кірхгофа.

$$I_{\bar{o}}^{T1} = \frac{E - U_A}{R_1}; \quad I_{in}^L = I_e^{T1} = I_{\bar{o}}^{T1} + I_{км} \approx I_{\bar{o}}^{T1}. \quad (2.34)$$

З виразу (2.33) випливає, що для забезпечення відсічки транзистора T_2 необхідно виконати умову $U_B < 0,55B$. В цьому разі напруги у вузлі B не вистачає для відпирання переходу база-емітер транзистора T_2 .

З виразу (2.34) можна побачити, що весь струм кола живлення E, R_1 попадає у вхідне коло, що притаманно логічним елементам, які працюють за принципом переключення струму.

Вихідна напруга елемента ТТЛ ІІІ визначається за другим законом Кірхгофа і відповідає високому рівню $U_{out} = E - I_{км} \cdot R_2 \approx E$.

При високому рівні вхідної напруги U_{in}^H транзистор T_1 перебуває в інверсному режимі, а транзистор T_2 – в насиченні. На рис.2.90,а приведена схема елемента ТТЛ ІІІ, на якій зазначені напрями струмів, що протікають в елементі при високому рівні вхідної напруги. На рис.2.90,б приведена схема заміщення елемента, яку будемо використовувати для розрахунків струмів і напруг.

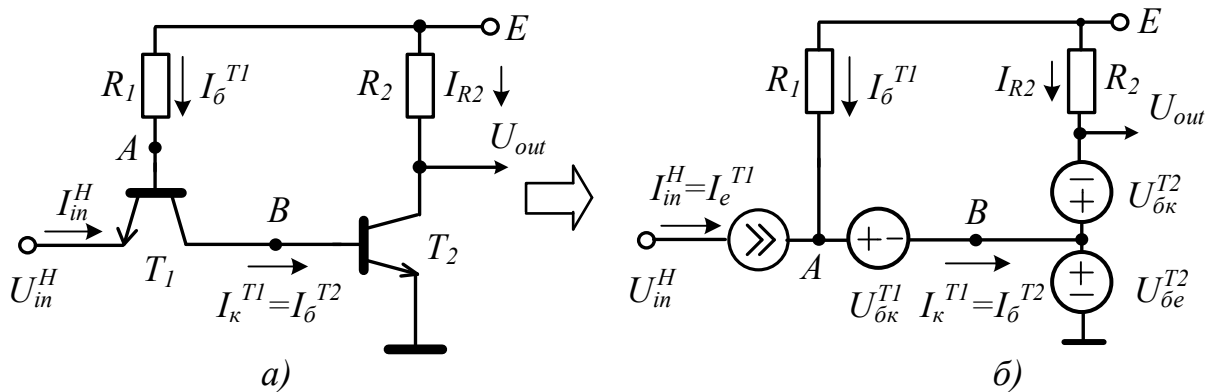


Рис. 2.90. Схема заміщення елемента ТТЛ ІІІ при високому рівні вхідної напруги

В схемі заміщення елемента ТТЛ ІІІ використовуються схеми заміщення транзистора T_1 в інверсному режимі, а транзистора T_2 – в режимі насичення [1].

Напруга у вузлах A і B визначається за другим законом Кірхгофа

$$U_B = U_{\bar{b}e}^{T2}; \quad U_A = U_B + U_{\bar{b}k}^{T1} = U_{\bar{b}e}^{T2} + U_{\bar{b}k}^{T1}. \quad (2.35)$$

Струм бази T_1 визначається за виразом (2.34). Враховуючи, що транзистор T_1 працює в інверсному режимі, струм емітера T_1 може бути визначений за виразом $I_{in}^H = I_e^{T1} = \beta_i \cdot I_{\bar{o}}^{T1}$ [1]. Струм колектору T_1 визначається наступним чином (нагадаємо, що в елементах ТТЛ $\beta_i < 0,01$, тобто $\beta_i + 1 \approx \beta_i$)

$$I_{\kappa}^{T1} = I_{\delta}^{T1} + I_e^{T1} = I_{\delta}^{T1} + \beta_i \cdot I_{\delta}^{T1} = I_{\delta}^{T1} \cdot (1 + \beta_i) \approx I_{\delta}^{T1} = I_{\delta}^{T2}.$$

З останнього виразу можна побачити, що весь струм кола живлення E, R_1 втікає в базове коло транзистора T_2 ($I_{\delta}^{T1} \approx I_{\delta}^{T2}$). При цьому струм I_{δ}^{T2} забезпечує насичення транзистора T_2 .

Таким чином, з розрахунків випливає, що елемент ТТЛ з простим інвертором працює за принципом переключення струму: струм кола E, R_1 в залежності від рівня вхідної напруги переключасться з вхідного кола елемента в базове коло транзистора T_2 або навпаки.

Далі визначимо умову, за якої транзистор T_2 працює в режимі насичення. Для забезпечення насичення необхідно перевірити виконання умови $I_{\delta}^{T2} \geq I_{\delta_{\text{н}}}^{T2}$, де $I_{\delta_{\text{н}}}^{T2}$ – струм бази насичення β . Враховуючи, що $I_{\delta}^{T1} \approx I_{\delta}^{T2}$, струм I_{δ}^{T2} визначається за виразом (2.34), а струм $I_{\delta_{\text{н}}}^{T2} = I_{\kappa_{\text{н}}}^{T2} / \beta$. Таким чином, для перевірки наявності режиму насичення скористуємося нерівністю

$$I_{\delta}^{T2} \approx \frac{E - U_A}{R_1}; \quad I_{\delta_{\text{н}}}^{T2} = \frac{E - U_{\kappa_{\text{н}}}^{T2}}{\beta \cdot R_2},$$

де U_A визначається за виразом (2.32).

В результаті отримаємо нерівність для визначення режиму роботи транзистора T_2 .

$$\frac{E - U_A}{R_1} \geq \frac{E - U_{\kappa_{\text{н}}}^{T2}}{\beta \cdot R_2}. \quad (2.36)$$

У випадку виконання нерівності (2.36) транзистор T_2 працює в режимі насичення, а вихідна напруга відповідає низькому рівню і визначається значенням $U_{\text{out}} = U_{\kappa_{\text{н}}}$.

В разі невиконання нерівності (2.36) транзистор T_2 працює в лінійному режимі, а значення вихідної напруги залежить від коефіцієнта підсилення по струму β відповідно до виразу за другим законом Кірхгофа [1]:

$$U_{\text{out}} = E - I_{\kappa}^{T2} \cdot R_2 = E - \beta \cdot I_{\delta}^{T2} \cdot R_2.$$

Виконаємо розрахунок струмів і напруг в елементі ТТЛ ІІІ.

Приклад 2.27. Визначити вихідну напругу елемента ТТЛ ІІІ для заданого значення вхідної напруги. Параметри елемента ТТЛ ІІІ: $E = 5\text{В}$; $R_1 = 2\text{к}$; $R_2 = 1\text{к}$; $I_{\kappa_{\text{т}}} = 0$; $\beta = 20$; $U_{\delta_{\text{е}}} = 0,7\text{В}$; $U_{\delta_0} = 0,7\text{В}$; $U_{\kappa_{\text{н}}} = 0,1\text{В}$; $m = 1$; $U_{\text{in}}^H = 3\text{В}$.

Розв'язок.

Згідно з умовою завдання на вхід логічного елемента надходить високий рівень напруги.

Відповідно до виразів (2.35) визначимо напруги у вузлах елемента:

$$U_B = U_{\delta_{\text{е}}}^{T2} = 0,7\text{В}; \quad U_A = U_{\delta_{\text{е}}}^{T2} + U_{\delta_{\kappa}}^{T1} = 0,7\text{В} + 0,6\text{В} = 1,3\text{В},$$

де $U_{\delta_{\kappa}}^{T1} = U_{\delta_{\text{е}}}^{T1} - U_{\kappa_{\text{н}}}^{T1} = 0,7 - 0,1 = 0,6\text{В}$ [1].

Далі визначимо значення струмів в колах елемента та виконаємо перевірку умови насичення (2.36) транзистора T_2 :

$$I_{\delta}^{T1} = \frac{E - U_A}{R_1} = \frac{5 - 1,3}{2} = 1,85\text{mA}; \quad I_{\kappa}^{T1} = I_{\delta}^{T1} \cdot (1 + \beta_i) \approx I_{\delta}^{T1} = I_{\delta}^{T2} = 1,85\text{mA}.$$

$$\frac{E - U_A}{R_1} \geq \frac{E - U_{кен}^{T2}}{\beta \cdot R_2}; \quad \frac{5 - 1,3}{2} \geq \frac{5 - 0,1}{20 \cdot 1}; \quad 1,85 > 0,245.$$

Таким чином, нерівність (2.36) виконується, тобто транзистор T_2 перебуває в режимі насичення. При цьому вихідна напруга визначається за виразом $U_{out} = U_{кен} = 0,1B$.

На рис.2.91 приведені результати моделювання та показані стани транзисторів, величини струмів та напруг в елементі ТТЛ ІІІ при високому рівні вхідної напруги, що підтверджують результати розрахунків.

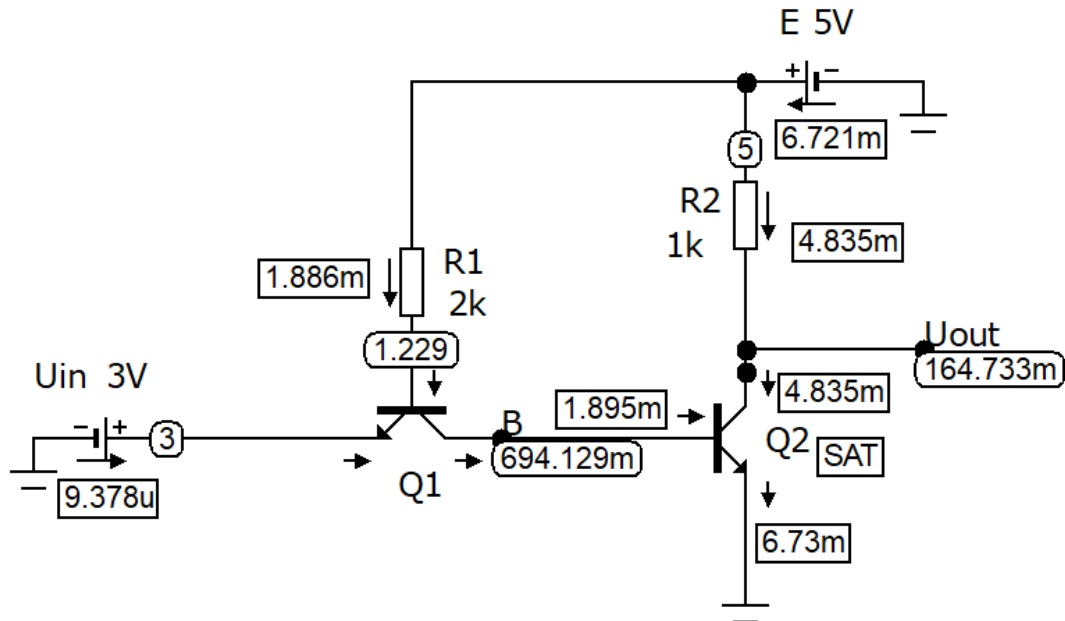


Рис. 2.91. Результати моделювання елемента ТТЛ ІІІ при високому рівні вхідної напруги і насиченні T_2

Невелика різниця між результатами моделювання і аналітичними розрахунками пов'язана з різними значеннями величини $U_{\text{бк}}^{T1}$ (при моделюванні величина $U_{\text{бк}}^{T1}$ складає $0,535B$, а в розрахунках використовувалася напруга $U_{\text{бк}}^{T1} = 0,6B$).

На цьому виконання прикладу 2.27 завершено.

Приклад 2.28. Визначити вихідну напругу елемента ТТЛ ІІІ для заданого значення вхідної напруги. Параметри елемента ТТЛ ІІІ: $E = 5B$; $R_1 = 12k$; $R_2 = 0,5k$; $I_{кт} = 0$; $\beta = 20$; $U_{\text{бе}} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,15B$; $m = 1$; $U_{in}^H = 3B$.

Розв'язок.

Згідно з умовою завдання на вхід логічного елемента надходить високий рівень напруги.

Відповідно до виразів (2.35) визначимо напруги у вузлах елемента:

$$U_B = U_{\text{бе}}^{T2} = 0,7B; \quad U_A = U_{\text{бе}}^{T2} + U_{\text{бк}}^{T1} = 0,7B + 0,55B = 1,25B,$$

де $U_{\text{бк}}^{T1} = U_{\text{бе}}^{T1} - U_{кен}^{T1} = 0,7 - 0,15 = 0,55B$.

Далі визначимо значення струмів в колах елемента та виконаємо перевірку умови насичення (2.36) транзистора T_2 :

$$I_{\bar{6}}^{T1} = \frac{E - U_A}{R_1} = \frac{5 - 1,25}{12} = 0,31 \text{mA}; \quad I_{\kappa}^{T1} = I_{\bar{6}}^{T1} \cdot (1 + \beta_i) \approx I_{\bar{6}}^{T1} = I_{\bar{6}}^{T2} = 0,31 \text{mA}.$$

$$\frac{E - U_A}{R_1} \geq \frac{E - U_{\text{кен}}^{T2}}{\beta \cdot R_2}; \quad \frac{5 - 1,25}{12} < \frac{5 - 0,15}{20 \cdot 0,5}; \quad 0,32 < 0,485.$$

Таким чином, нерівність (2.36) не виконується, тобто транзистор T_2 перебуває в лінійному режимі. При цьому вихідна напруга визначається за виразом

$$U_{\text{out}} = E - I_{\kappa}^{T2} \cdot R_2 = E - \beta \cdot I_{\bar{6}}^{T2} \cdot R_2 = 5 - 20 \cdot 0,31 \cdot 0,5 = 1,9 \text{V}.$$

На рис.2.92 приведені результати моделювання та показані стани транзисторів, величини струмів та напруг в елементі ТТЛ ІІІ при високому рівні вхідної напруги, що підтверджують результати розрахунків.

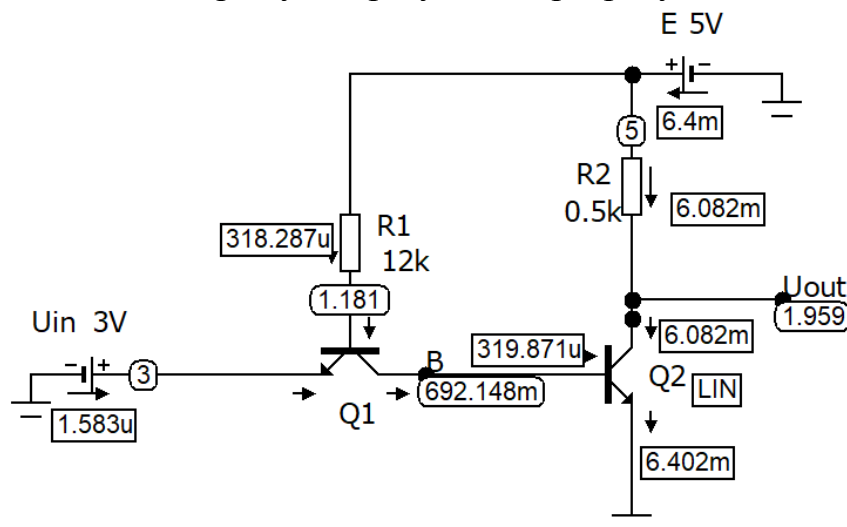


Рис. 2.92. Результати моделювання елемента ТТЛ ІІІ при високому рівні вхідної напруги і лінійному режимі T_2

З результатів моделювання можна побачити, що транзистор T_2 перебуває в лінійному режимі і вихідна напруга складає $1,9 \text{V}$, що відповідає високому рівню напруги, тобто логіка роботи елемента порушується.

На цьому виконання прикладу 2.28 завершено.

Приклад 2.29. Визначити вихідну напругу елемента ТТЛ ІІІ для заданого значення вхідної напруги. Параметри елемента ТТЛ ІІІ: $E = 5 \text{V}$; $R_1 = 2 \text{k}$; $R_2 = 1 \text{k}$; $I_{\kappa\text{т}} = 0$; $\beta = 20$; $U_{\text{бе}} = 0,7 \text{V}$; $U_{\text{д0}} = 0,7 \text{V}$; $U_{\text{кен}} = 0,1 \text{V}$; $m = 1$; $U_{\text{in}}^L = 0 \text{V}$.

Розв'язок.

Згідно з умовою завдання на вхід логічного елемента надходить низький рівень напруги.

Визначаємо напруги у вузлах A і B відповідно до виразів (2.33):

$$U_A = U_{\text{in}}^L + U_{\text{бе}}^{T1} = 0 + 0,7 = 0,7 \text{V}; \quad U_B = U_{\text{in}}^L + U_{\text{кен}}^{T1} = 0 + 0,1 = 0,1 \text{V}.$$

Далі визначимо струми в колах транзистора T_1 відповідно до (2.34):

$$I_{\bar{6}}^{T1} = \frac{E - U_A}{R_1} = \frac{5 - 0,7}{2} = 2,15 \text{mA}; \quad I_{\text{in}}^L = I_e^{T1} = I_{\bar{6}}^{T1} + I_{\kappa\text{т}} \approx I_{\bar{6}}^{T1} = 2,15 \text{mA}.$$

Напруги $0,1 \text{V}$ у вузлі B не вистачає для відпирання переходу база-емітер транзистора T_2 , який перебуває в стані відсічки.

Вихідна напруга елемента визначається за другим законом Кірхгофа і відповідає високому рівню $U_{out} = E - I_{km} \cdot R_2 \approx E = 5V$.

На рис.2.93 приведені результати моделювання та показані стани транзисторів, величини струмів та напруг в елементі ТТЛ ІІІ при низькому рівні вхідної напруги, що підтверджують результати розрахунків.

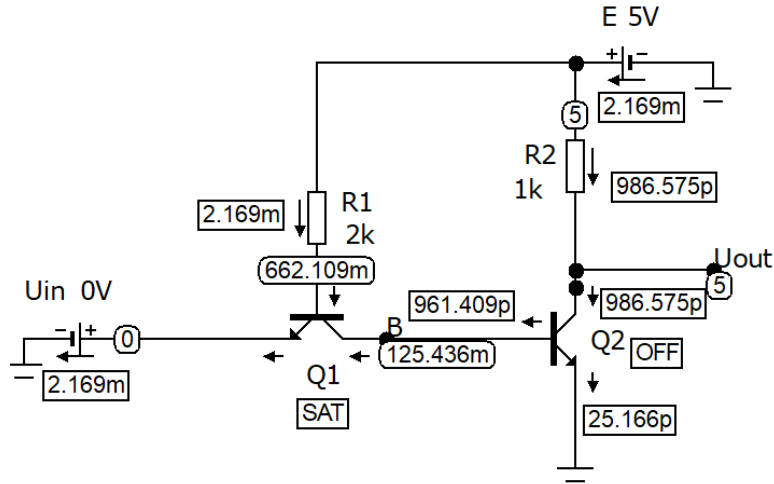


Рис. 2.93. Результати моделювання елемента ТТЛ ІІІ при низькому рівні вхідної напруги

На цьому виконання прикладу 2.29 завершено.

Контрольні завдання та запитання

1. В чому полягає принцип функціонування елементів ТТЛ?
2. Яким чином можна отримати схему елемента ТТЛ ІІІ, використовуючи схему елемента ДТЛ ІІС?
3. Приведіть електричну схему одноходового елемента ТТЛ з простим інвертором.
4. Поясніть принцип роботи елемента ТТЛ ІІІ при надходженні на вхід напруги високого рівня.
5. Поясніть принцип роботи елемента ТТЛ ІІІ при надходженні на вхід напруги низького рівня.
6. Яку логічну функцію виконує елемент, схема якого приведена на рис.2.88, при використанні логіки високого рівня?
7. Яку логічну функцію виконує елемент, схема якого приведена на рис.2.88, при використанні логіки низького рівня?
8. Чому елемент ТТЛ ІІІ відноситься до класу логічних елементів з переключенням струму?
9. В якому стані перебувають транзистори елемента ТТЛ ІІІ при надходженні на вхід напруги низького рівня?
10. Який рівень вхідної напруги необхідно підключати на вхід елемента ТТЛ ІІІ для забезпечення відсічки транзистора T_2 ?
11. Який рівень вхідної напруги необхідно підключати на вхід елемента ТТЛ ІІІ для забезпечення насичення транзистора T_2 ?

12. В якому стані перебувають діоди транзистора T_1 елемента ТТЛ Ш при надходженні на вхід напруги низького рівня?
13. Який рівень напруги формується на виході елемента ТТЛ Ш, якщо транзистор T_2 перебуває в насиченні?
14. Який рівень напруги формується на виході елемента ТТЛ Ш, якщо транзистор T_2 перебуває в режимі відсічки?
15. Який рівень напруги формується на виході елемента ТТЛ Ш, якщо транзистор T_1 перебуває в насиченні?
16. Який рівень напруги формується на виході елемента ТТЛ Ш, якщо транзистор T_1 перебуває в інверсному режимі?
17. Прокоментуйте схему на рис.2.89,б.
18. Чому в схемі заміщення на рис.2.89,б транзистор T_2 представлений двома незалежними схемами?
19. Чому в схемі заміщення на рис.2.89,а транзистор T_2 перебуває в режимі відсічки?
20. Яка схема заміщення використовується для представлення транзистора T_1 в схемі на рис.2.89,а?
21. Яка схема заміщення використовується для представлення транзистора T_2 в схемі на рис.2.89,а?
22. Як визначити напруги у вузлах A і B при надходженні вхідної напруги низького рівня?
23. За допомогою якого закону визначаються напруги у вузлах A і B при надходженні вхідної напруги низького рівня?
24. Прокоментуйте вирази (2.33).
25. Як визначити струм бази транзистора T_1 при надходженні вхідної напруги низького рівня?
26. Доведіть, що при низькому рівні вхідної напруги $I_{in}^L \approx I_6^{T1}$.
27. Прокоментуйте вирази (2.34).
28. Чому при U_{in}^L напруги у вузлі B не вистачає для відпирання переходу база-емітер транзистора T_2 ?
29. Якій умові необхідно задовольнити для забезпечення відсічки транзистора T_2 ?
30. Як визначити вихідну напругу елемента ТТЛ Ш, якщо транзистор перебуває в режимі відсічки?
31. Як визначити вихідну напругу елемента ТТЛ Ш, якщо транзистор перебуває в режимі насичення?
32. За якої умови транзистор T_2 буде працювати в лінійному режимі?
33. Як визначити вихідну напругу елемента ТТЛ Ш, якщо транзистор T_2 перебуває в лінійному режимі?
34. В якому стані перебувають транзистори елемента ТТЛ Ш при надходженні на вхід напруги високого рівня?
35. В якому стані перебувають діоди транзистора T_1 елемента ТТЛ Ш при надходженні на вхід напруги високого рівня?
36. Прокоментуйте схему на рис.2.90,б.

37. Яка схема заміщення використовується для представлення транзистора T_1 в схемі на рис.2.90,а?
38. Яка схема заміщення використовується для представлення транзистора T_2 в схемі на рис.2.90,а?
39. Яким чином досягається дуже мале значення вхідного струму високого рівня в елементі ТТЛ ІІІ?
40. Як визначити напруги у вузлах A і B при надходженні вхідної напруги високого рівня?
41. За допомогою якого закону визначаються напруги у вузлах A і B при надходженні вхідної напруги високого рівня?
42. Прокоментуйте вирази (2.35).
43. Як визначити струм бази транзистора T_1 при надходженні вхідної напруги високого рівня?
44. Доведіть, що при високому рівні вхідної напруги $I_{\bar{b}}^{T1} \approx I_{\bar{b}}^{T2}$.
45. Як визначити умову, за якої транзистор T_2 працює в режимі насичення?
46. Як визначити $I_{\bar{b}H}^{T2}$?
47. Як визначити $I_{\bar{b}}^{T2}$?
48. Прокоментуйте нерівність (2.36).
49. В якому режимі працює транзистор T_2 при виконанні нерівності (2.36)?
50. В якому режимі працює транзистор T_2 при невиконанні нерівності (2.36)?
51. Як визначити вихідну напругу елемента ТТЛ ІІІ при насиченні транзистора T_2 ?
52. Як визначити вихідну напругу елемента ТТЛ ІІІ, якщо транзистор T_2 працює в лінійному режимі?
53. Прокоментуйте результати моделювання на рис.2.91.
54. Прокоментуйте результати моделювання на рис.2.92.
55. Прокоментуйте результати моделювання на рис.2.93.
56. Визначити вихідну напругу елемента ТТЛ ІІІ для заданого значення вхідної напруги. Параметри елемента ТТЛ ІІІ: $E = 5V$; $R_1 = 5k$; $R_2 = 2k$; $I_{km} = 0$; $\beta = 20$; $U_{\bar{b}e} = 0,7V$; $U_{d0} = 0,7V$; $U_{кен} = 0,1V$; $m = 1$; $U_{in}^H = 5V$.
57. Визначити вихідну напругу елемента ТТЛ ІІІ для заданого значення вхідної напруги. Параметри елемента ТТЛ ІІІ: $E = 5V$; $R_1 = 5k$; $R_2 = 2k$; $I_{km} = 0$; $\beta = 20$; $U_{\bar{b}e} = 0,7V$; $U_{d0} = 0,7V$; $U_{кен} = 0,1V$; $m = 1$; $U_{in}^H = 0,2V$.
58. Визначити вхідний струм низького рівня елемента ТТЛ ІІІ з параметрами: $E = 5V$; $R_1 = 8k$; $R_2 = 1k$; $I_{km} = 0$; $\beta = 20$; $U_{\bar{b}e} = 0,7V$; $U_{d0} = 0,7V$; $U_{кен} = 0,1V$; $m = 1$; $U_{in}^H = 0,3V$.

2.3.2. Параметри елемента ТТЛ з простим інвертором

Як і раніше, будемо розглядати в якості параметрів завадостійкість та коефіцієнт розгалуження.

Розрахунок споживаної потужності пропонуємо здобувачам вищої освіти розрахувати самостійно. Для цього необхідно визначити струми від джерела

живлення I_{R1} і I_{R2} . Значення цих струмів було визначено в попередньому підрозділі.

В результаті проведених в підрозділі 2.2.2.2 розрахунків було визначено, що функціонування елементів з переключенням струму характеризується наявністю тільки однієї порогової напруги переключення U_{Π} , яка визначається за допомогою виразу $U_{\Pi} = n_{dzm} \cdot U_{dsw}$ (див.п.2.2.2.2), тобто для визначення величини U_{Π} необхідно знати кількість діодів зміщення n_{dzm} в схемі елемента.

Як вже було відзначено в попередньому підрозділі, одним з призначень транзистора T_1 елемента ТТЛ ІІ є виконання функції вхідного діода (перехід база-емітер T_1) і діода зміщення (перехід база-колектор T_1). Таким чином, в схемі елемента ТТЛ ІІ присутній тільки один діод зміщення, роль якого виконує діод колектору транзистора T_1 .

В результаті величина визначається за виразом $U_{\Pi} = n_{dzm} \cdot U_{dsw}$, де $n_{dzm} = 1$, а $U_{dsw} = 0,5B$, тобто $U_{\Pi} = 0,5B$.

Далі відповідно до виразів (2.30) визначається величина завадостійкості елемента ТТЛ ІІ.

Приклад 2.30. Визначити завадостійкість елемента ТТЛ ІІ з такими параметрами: $E = 5B$; $R_1 = 2k$; $R_2 = 1k$; $I_{km} = 0$; $\beta = 20$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0,1B$; $U_{in}^H = 5B$.

Розв'язок.

Порогова напруга переключення визначається за виразом $U_{\Pi} = U_{dsw} = 0,5B$.

Відповідно до (2.30) визначимо завадостійкість

$$NM^L = U_{\Pi} - U_{in}^L = 0,5 - 0,1 = 0,4B; \quad NM^H = U_{in}^H - U_{\Pi} = 5 - 0,5 = 4,5B.$$

Як і для елемента ДТЛ ІІС, для того, щоб функціонування елемента в околі переключення діодів не залежало від технологічних розкидів транзистора T_1 , потрібно використовувати максимальний діапазон неприпустимих значень вхідної напруги ($U_{\Pi} - 0,1B$, $U_{\Pi} + 0,1B$). В прикладі, що розглядається, діапазон неприпустимих значень вхідної напруги з точки зору впливу завад перебуває між $0,4B$ і $0,6B$.

Перевірка результатів розрахунків виконується за допомогою моделювання передатної характеристики елемента ТТЛ ІІ, яка приведена на рис.2.94.

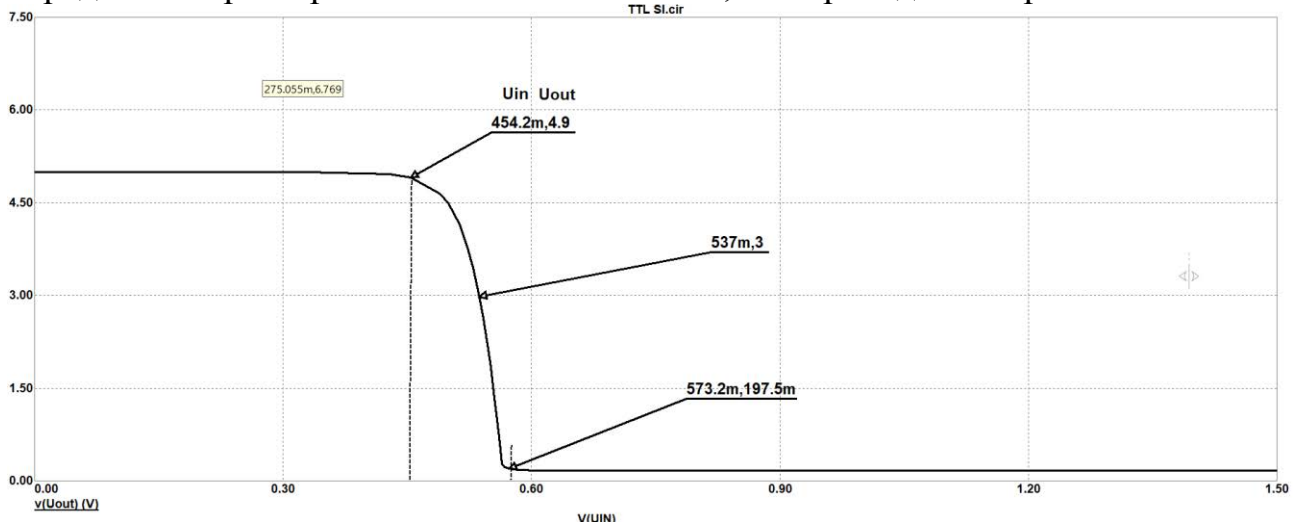


Рис. 2.94. Передатна характеристика елемента ТТЛ ІІ (приклад 2.30)

На цій характеристиці можна побачити, що при збільшенні вхідної напруги логічний елемент починає переключатися при $U_{in} \approx 0,45B$, а вхідна напруга $0,57B$ вже забезпечує появу на виході низького рівня, тобто перебування транзистора T_2 в режимі насичення. Таким чином, переключення елемента ТТЛ ІІІ відбувається в околі напруги $U_{II} = 0,5B$, а діапазон неприпустимих вхідних напруг складає $(U_{II} - 0,05B, U_{II} + 0,07B)$, що збігається з результатами розрахунків.

На цьому виконання прикладу 2.30 завершено.

Далі розглянемо розрахунок коефіцієнта розгалуження логічного елемента ТТЛ ІІІ. Коефіцієнт розгалуження цього елемента розраховується таким же чином, як і в елементі ДТЛ ІІС (див.підрозділ 2.2.2.2) для низького рівня напруги на виході елемента-джерела, тобто при насиченні транзистора T_2 . Звичайно, що при цьому транзистор T_1 елементів навантаження перебуває в режимі насичення, а транзистор T_2 – в режимі відсічки. Схема заміщення для розрахунку коефіцієнта розгалуження елемента ТТЛ ІІІ приведена на рис.2.95.

Для визначення коефіцієнта розгалуження запишемо вираз відповідно до першого закону Кірхгофа для вихідного вузла елемента-джерела.

$$I_{\kappa}^{T2} = I_{R2}^{T2} + I_n = I_{R2}^{T2} + k_{load} \cdot I_{in}^L = I_{R2}^{T2} + k_{load} \cdot (I_{R1}^{T1} + I_{\kappa m}). \quad (2.37)$$

З виразу (2.37) випливає, що при збільшенні k_{load} відбувається збільшення струму колектору транзистора T_2 елемента-джерела сигналу. Якщо цей струм перевищить максимально допустиме значення струму колектору $I_{\kappa max}$, то транзистор T_2 елемента-джерела виходить з ладу, що надалі потребує його заміну. Таким чином, для забезпечення правильного функціонування елемента ТТЛ ІІІ з підключеним навантаженням необхідно забезпечити виконання умови $I_{\kappa}^{T2} < I_{\kappa max}$.

Струми I_{R2}^{T2} і I_{R1}^{T1} визначаються за законом Ома:

$$I_{R1}^{T1} = \frac{E - (U_{кен}^{T2} + U_{бе}^{T1})}{R_1}; \quad I_{R2}^{T2} = \frac{E - U_{кен}^{T2}}{R_2}. \quad (2.38)$$

Підставляючи вирази (2.37), (2.38) до нерівності $I_{\kappa}^{T2} < I_{\kappa max}$, визначимо максимальну кількість навантажень, що можуть бути підключені до елемента ТТЛ ІІІ:

$$k_{load} < \frac{I_{\kappa max} - I_{R2}^{T2}}{I_{R1}^{T1} + I_{\kappa m}}; \quad N = int\left(\frac{I_{\kappa max} - I_{R2}^{T2}}{I_{R1}^{T1} + I_{\kappa m}}\right), \quad (2.39)$$

де функція $int(X)$ повертає цілу частину числа X , тобто відбувається округлення числа X до найближчого меншого цілого.

Приклад 2.31. Визначити коефіцієнт розгалуження N елемента ТТЛ ІІІ. Параметри елемента: $E = 5B$; $R_1 = 2k$; $R_2 = 1k$; $I_{\kappa m} = 0$; $\beta = 20$; $U_{бе} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $U_{in}^H = 5B$; $I_{\kappa max} = 16mA$.

Відповідно до виразів (2.38) і (2.39)

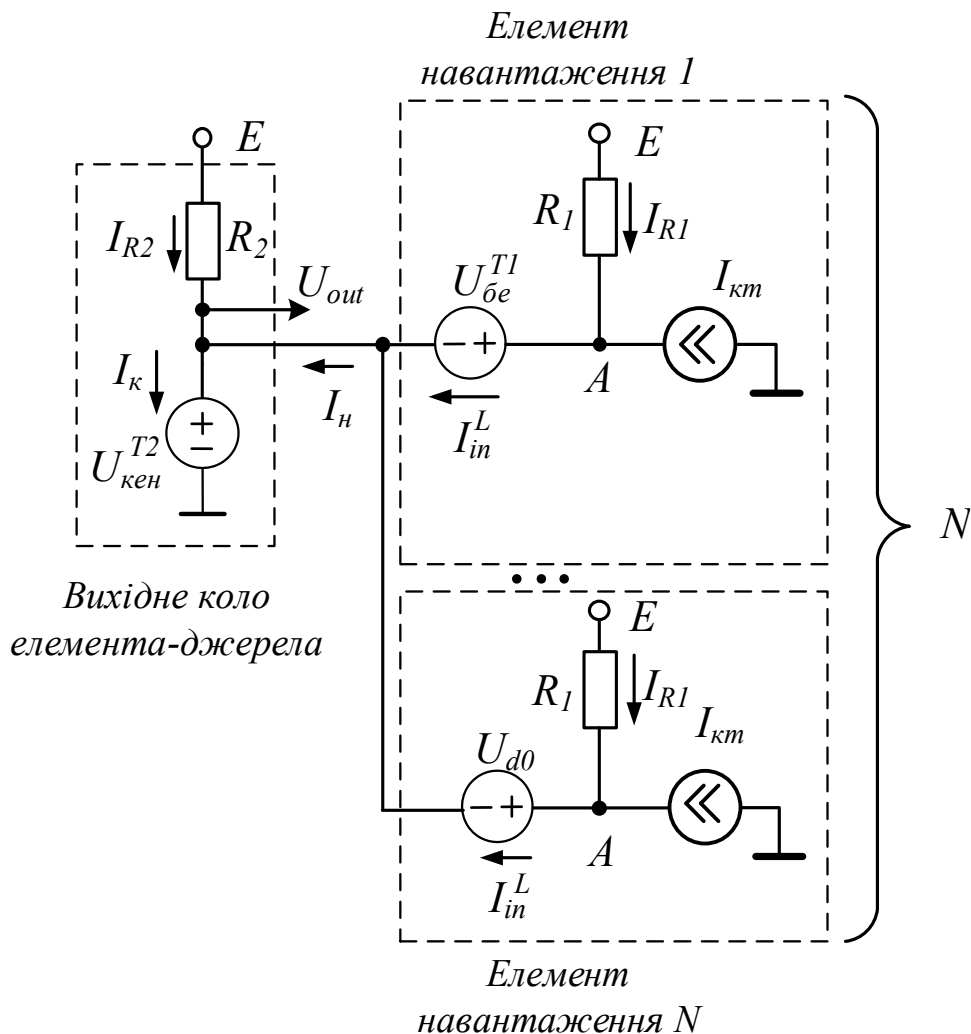


Рис. 2.95. Схема заміщення для визначення коефіцієнта розгалуження елемента ТТЛ-ІІІ

$$I_{R1}^{T1} = \frac{E - (U_{кеп}^{T2} + U_{бе}^{T1})}{R_1} = \frac{5 - (0,1 + 0,7)}{2} = 2,1 \text{ mA}; \quad I_{R2}^{T2} = \frac{E - U_{кеп}^{T2}}{R_2} = \frac{5 - 0,1}{1} = 4,9 \text{ mA};$$

$$N = \text{int} \left(\frac{I_{кmax} - I_{R2}^{T2}}{I_{R1}^{T1} + I_{км}} \right) = \text{int} \left(\frac{16 - 4,9}{2,1 + 0} \right) = \text{int}(5,3) = 5.$$

Таким чином, до виходу заданого елемента ТТЛ ІІІ можна підключати не більше п'яти таких же елементів.

Результати моделювання логічного елемента, до якого відповідно до значення коефіцієнта розгалуження підключені N ($N=5$) елементів ТТЛ ІІІ, приведені на рис.2.66. Як і раніше, для моделювання використовується еквівалентна схема N елементів навантаження, яка утворена за рахунок зменшення величини опору R_1 в N разів.

З результатів моделювання на рис.2.96 можна побачити, що струм колектору транзистора елемента-джерела не перевищує допустиме значення $I_{кmax}$ і складає приблизно 15 mA .

При перенавантаженні елемента-джерела струм колектору цього елемента перевищує максимально припустиме значення $I_{кmax}$, що призводить до втрати

працездатності елемента-джерела. На рис.2.97 приведені результати моделювання функціонування елемента ТТЛ ІІІ, який є перенавантажений. До виходу цього елемента підключено на один елемент навантаження більше, ніж дозволяє коефіцієнт розгалуження ($k_{load} = N+1 = 6$).

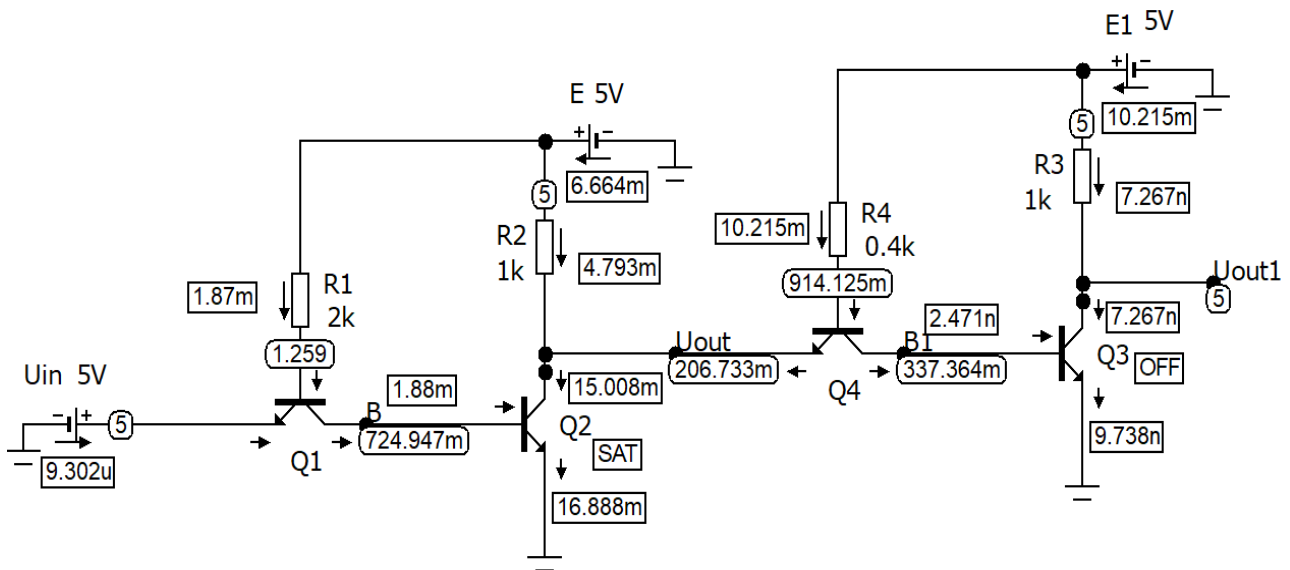


Рис. 2.96. Результати моделювання елемента ТТЛ ІІІ з $N = 5$ (приклад 2.31)

Як вже було відзначено, для моделювання навантаження використовується еквівалентна схема шести елементів навантаження, яка утворена за допомогою зменшення величини опору R_I в елементах навантаження в 6 разів. З результатів моделювання на рис.2.97 можна побачити, що струм колектору транзистора елемента-джерела перевищує припустиме значення I_{kmax} і складає приблизно $17mA$.

На цьому виконання прикладу 2.31 завершено.

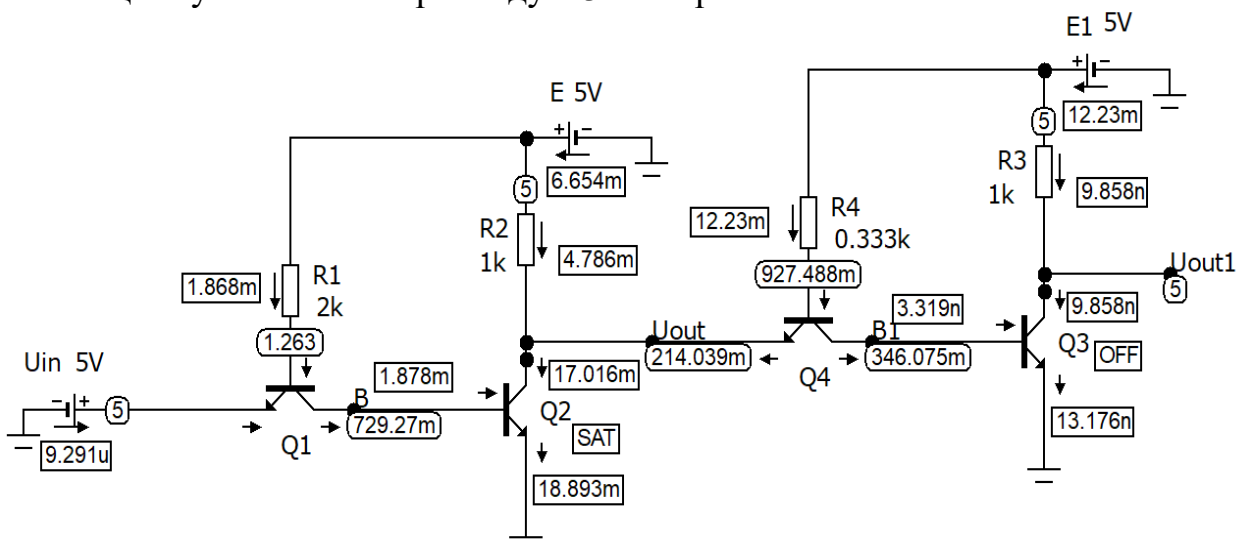


Рис. 2.97. Результати моделювання елемента ТТЛ ІІІ з $N = 6$ (приклад 2.31)

Контрольні завдання та запитання

1. Як розрахувати величину споживаної потужності низького рівня елемента ТТЛ ІІІ?
2. Як розрахувати величину споживаної потужності високого рівня елемента ТТЛ ІІІ?
3. Як розрахувати величину середньої споживаної потужності елемента ТТЛ ІІІ?
4. В яких одиницях вимірюється статична завадостійкість елемента ТТЛ ІІІ?
5. Поясніть, як використовуючи передатну характеристику, визначити завадостійкість елемента ТТЛ ІІІ?
6. Скільки порогових напруг переключення характеризують функціонування елементів ТТЛ ІІІ?
7. Що відбувається в елементі ТТЛ ІІІ, якщо величина вхідної напруги досягне значення $U_{П}$ при зміні вхідної напруги від низького до високого рівня?
8. Що відбувається в елементі ТТЛ ІІІ, якщо величина вхідної напруги досягне значення $U_{П}$ при зміні вхідної напруги від високого до низького рівня?
9. Що визначає параметр $U_{П}$?
10. Якими параметрами характеризується функціонування елемента ТТЛ ІІІ?
11. Як визначити $U_{П}$ для елемента ТТЛ ІІІ?
12. Як визначити припустиме мінімальне значення вхідної напруги верхнього рівня елемента ТТЛ ІІІ?
13. Як визначити припустиме максимальне значення вхідної напруги низького рівня елемента ТТЛ ІІІ?
14. В чому полягає різниця між принципом роботи елементів ДТЛ ІІІ і ТТЛ ІІІ?
15. В чому полягає різниця між кількістю порогових напруг елементів ДТЛ ІІІ, ДТЛ ІІС і ТТЛ ІІІ?
16. Визначити завадостійкість елемента ТТЛ ІІІ з параметрами: $E = 5B$; $R_1 = 3k$; $R_2 = 2k$; $I_{км} = 0$; $\beta = 20$; $U_{бе} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $U_{in}^L = 0,2B$; $U_{in}^H = 3,5B$.
17. Скільки діодів зміщення міститься в елементі ТТЛ ІІІ? Обґрунтуйте відповідь.
18. Які елементи транзисторів в ТТЛ ІІІ використовуються в якості діодів зміщення?
19. Для чого використовується діапазон неприпустимих значень вхідної напруги елемента ТТЛ ІІІ.
20. Прокоментуйте передатну характеристику, приведену на рис.2.94.
21. Як використовуючи характеристику, приведену на рис.2.94, визначити завадостійкість низького рівня?
22. Як використовуючи характеристику, приведену на рис.2.94, визначити завадостійкість високого рівня?

23. Для якого стану транзистора T_2 елемента-джерела ТТЛ ІІІ необхідно розраховувати коефіцієнт розгалуження?
24. Для якого рівня вихідної напруги елемента-джерела ТТЛ ІІІ необхідно розраховувати коефіцієнт розгалуження?
25. В якому стані перебувають транзистори елементів навантаження для визначення коефіцієнта розгалуження елемента ТТЛ ІІІ?
26. В чому полягає різниця при визначенні коефіцієнта розгалуження елементів ТТЛ ІІІ, ДТЛ ПС, і ДТЛ ПН І- ІІІ?
27. Прокоментуйте схему заміщення на рис.2.95.
28. В чому полягає різниця між схемами заміщення для визначення коефіцієнта розгалуження елементів ТТЛ ІІІ, ДТЛ ПС і ДТЛ ПН І- ІІІ? Обґрунтуйте відповідь.
29. Яким чином отримано вираз (2.37)?
30. Що відбувається в схемі на рис.2.95 при збільшенні кількості елементів навантаження?
31. За допомогою якого закону визначається напруга у вузлі A при низькому рівні напруги на вході елемента ТТЛ ІІІ?
32. За допомогою якого закону визначається вхідний струм при низькому рівні напруги на вході елемента ТТЛ ІІІ?
33. Прокоментуйте вирази (2.38).
34. Прокоментуйте вирази (2.39).
35. Для чого використовується функція $int(X)$ у виразі (2.39)?
36. Визначити коефіцієнт розгалуження елемента ТТЛ ІІІ. Параметри елемента: $E = 5B$; $R_1 = 3k$; $R_2 = 1k$; $I_{km} = 0$; $\beta = 20$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $U_{in}^H = 5B$; $I_{kmax} = 20mA$.
37. Визначити коефіцієнт розгалуження елемента ТТЛ ІІІ. Параметри елемента: $E = 5B$; $R_1 = 2k$; $R_2 = 0,5k$; $I_{km} = 0$; $\beta = 20$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $U_{in}^H = 5B$; $I_{kmax} = 12mA$.
38. В чому полягає різниця між параметрами N і k_{load} ?
39. Чому на рис.2.95 транзистор T_2 елемента-джерела замінений джерелом напруги?
40. Поясніть, чому на рис.2.95 не показані транзистори T_2 елементів навантаження?
41. Які процеси відбуваються в елементі ТТЛ ІІІ у випадку його перенавантаження?
42. Прокоментуйте результати моделювання на рис.2.96.
43. З якою метою необхідно забезпечити виконання умови $I_k < I_{kmax}$ для елементів ТТЛ ІІІ?
44. Чи поновлюється працездатність елемента ТТЛ ІІІ після усунення причин перенавантаження? Обґрунтуйте відповідь.
45. Як визначити вхідний струм елемента ТТЛ ІІІ при низькому рівні вхідної напруги?
46. Як визначити вхідний струм елемента ТТЛ ІІІ при високому рівні вхідної напруги?

47. Яким чином формується еквівалентна схема, яка замінює відразу кілька елементів навантаження ТТЛ ІІІ?
48. Прокоментуйте результати моделювання на рис.2.97.
49. В чому полягає різниця в результатах моделювання елемента ТТЛ ІІІ на рис.2.96 і рис.2.97?
50. Чому на рис.2.97 величини опорів еквівалентного елемента навантаження в 6 разів менше, ніж в елементі-джерелі сигналу?
51. Яким чином отримано схему еквівалентного елемента навантаження?
52. Який рівень вихідної напруги необхідно сформувати в елементі ТТЛ ІІІ, який є джерелом сигналу, під час визначення коефіцієнта розгалуження?
53. З якою метою використовується коефіцієнт розгалуження?
54. Як зменшити величину споживаної потужності елемента ТТЛ ІІІ?
55. Як збільшити коефіцієнт розгалуження елемента ТТЛ ІІІ?
56. При якому стані транзистора T_2 елемент ТТЛ ІІІ має меншу споживану потужність? Обґрунтуйте відповідь.
57. За якого рівня вхідного сигналу елемент ТТЛ ІІІ має більшу завадостійкість?

ВИСНОВКИ

В результаті розгляду розділу 2 можна зробити такі висновки:

1. Розглянуті принципи функціонування та властивості елементів РТЛ, ДТЛ, ТТЛ з простим інвертором, для яких приведений детальний розрахунок значень їх параметрів та моделювання з підтвердженням коректності результатів розрахунків.
2. Визначені споживана потужність, завадостійкість та коефіцієнт розгалуження зазначених елементів.

РОЗДІЛ 3. ЛОГІЧНІ ЕЛЕМЕНТИ ЗІ СКЛАДНИМ ІНВЕРТОРОМ

Розглянуті в попередніх розділах системи логічних елементів у своєму складі мають так званий звичайний (простий) інвертор, побудований на базі одного транзистора. Використання таких інверторів має ряд недоліків:

- при високому рівні вихідної напруги підключення навантаження викликає зниження величини вихідного рівня, що впливає на величину коефіцієнта розгалуження, в зв'язку з чим, як правило, такі системи елементів мають невеликі значення коефіцієнта розгалуження;

- величина опору в колекторному колі, як правило, достатньо велика, що збільшує час заряду навантажувальної ємності, тобто знижує швидкодію логічного елемента;

- для підвищення швидкодії елемента та величини коефіцієнта розгалуження необхідно зменшувати вихідний опір елемента, що, в свою чергу, приводить до збільшення споживаної потужності.

Для покращення параметрів логічних елементів в сучасних системах цифрових елементів використовуються так звані елементи зі складним інвертором [2, 4, 5, 9, 14, 20].

3.1. Елементи ДТЛ зі складним інвертором

Схема m -входового елемента зі складним інвертором (ДТЛ СІ) приведена на рис.3.1.

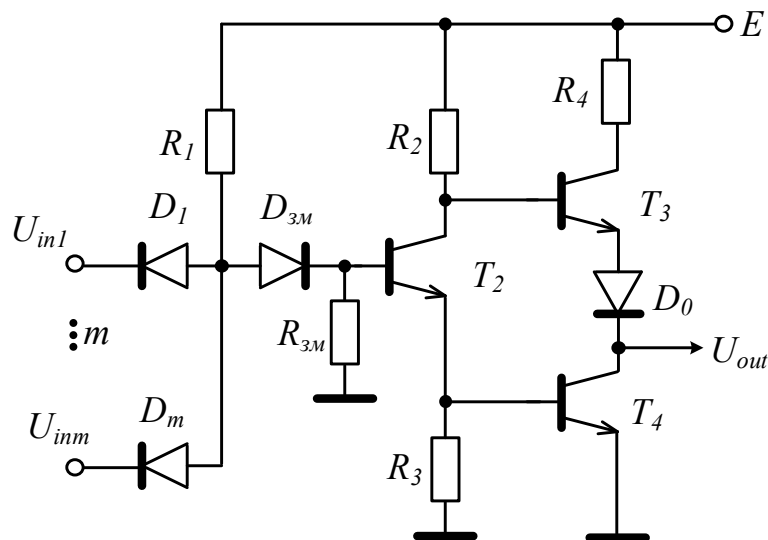


Рис. 3.1. Електрична схема m -входового елемента ДТЛ СІ

Аналізуючи схему логічного елемента, можна побачити, що вхідні кола елемента утворюють схему елемента ДТЛ ПС (вхідні діоди D_1, \dots, D_m, R_1 , коло зміщення D_{3m}, R_{3m} , що підключені до бази транзистора T_2). На базі транзисторів $T_2 - T_4$ реалізований так званий складний інвертор (фазо-обертальний каскад). Опір R_{3m} забезпечує швидке вимикання транзистора T_2 , зменшуючи час розсмоктування неосновних носіїв зарядів з ділянки бази цього транзистора.

Розглянемо принцип роботи цього елемента.

Якщо на всі входи логічного елемента надходить високий рівень напруги, то всі вхідні діоди перебувають в закритому стані, а діод зміщення D_{zm} – у відкритому стані. Струм кола E, R_1 поступає в базове коло транзистора T_2 , який відкривається і входить в режим насичення. В результаті з'являються струми колектору і емітера цього транзистора. У свою чергу струм емітера T_2 втікає у вузол бази транзистора T_4 , у зв'язку з чим T_4 теж відкривається і входить в насичення, а на колекторі T_4 формується низький рівень вихідної напруги. При цьому транзистор T_3 перебуває в режимі відсічки, тобто вихідне коло елемента ДТЛ СІ відключено від джерела живлення E транзистором T_3 . Діод D_0 забезпечує переключення транзистора T_3 в режим відсічки.

При надходженні хоча б на один вхід логічного елемента низького рівня напруги, відповідний вхідний діод відкривається, а діод зміщення D_{zm} – закривається. E, R_1 поступає у кола відкритих вхідних діодів елемента ДТЛ СІ. У зв'язку із закритим станом D_{zm} , в колі бази транзистора T_2 практично відсутній струм, тому T_2 закривається. В колекторному та емітерному колах T_2 також відсутні струми для відкриття транзистора T_4 , тому цей транзистор перебуває в режимі відсічки. В результаті вихід елемента ДТЛ СІ відключається від загального виводу («землі»). Струм кола E, R_2 поступає в базове коло транзистора T_3 , який відкривається. В залежності від значення струму навантаження транзистор T_3 може працювати в лінійному режимі або в насиченні, а на виході елемента формується високий рівень напруги.

Таким чином, з аналізу роботи елемента ДТЛ СІ можна зробити висновок, що логічний елемент на рис.3.1 реалізує логічну функцію Шефера для кодування сигналів за допомогою логіки високого рівня.

Крім того, можна зазначити, що принцип роботи цього елемента відповідає роботі елементів з переключенням струму.

На практиці існує кілька модифікацій схем елемента ДТЛ СІ. Наприклад, резистор R_{zm} може підключатися між базою і емітером транзистора T_2 . Інші модифікації схем елемента ДТЛ СІ та детальний розрахунок параметрів такого елемента буде розглядатися в наступному підрозділі.

Контрольні завдання та запитання

1. Які недоліки характерні для логічних елементів з простим інвертором?
2. Що відбувається з вихідною напругою високого рівня в елементі з простим інвертором при підключенні навантаження у вигляді таких же елементів?
3. Яким чином вихідний опір впливає на швидкодію логічного елемента?
4. Приведіть схему елемента ДТЛ СІ.
5. Чому елемент ДТЛ СІ відноситься до класу схем з переключенням струму?
6. Яку логічну функцію виконує елемент, схема якого приведена на рис.3.1, при використанні логіки високого рівня?
7. Яку логічну функцію виконує елемент, схема якого приведена на рис.3.1, при використанні логіки низького рівня?

8. Яку логічну функцію виконує елемент, схема якого приведена на рис.3.1, при $m = 1$?
9. Яка частина схеми на рис.3.1 збігається зі схемою елемента ДТЛ ПІ?
10. Як використовуючи передатну характеристику, визначити завадостійкість елемента ДТЛ СІ?
11. Скільки порогових напруг переключення характеризують функціонування елементів ДТЛ СІ?
12. На базі яких електронних елементів реалізується складний інвертор в схемі на рис.3.1?
13. В яких режимах працюють транзистори одноходового елемента ДТЛ СІ при високому рівні вхідної напруги?
14. В яких режимах працюють транзистори одноходового елемента ДТЛ СІ при низькому рівні вхідної напруги?
15. Чому при низькому рівні вхідної напруги транзистор T_2 перебуває в режимі відсічки?
16. Чому при низькому рівні вхідної напруги транзистор T_4 перебуває в режимі відсічки?
17. В яких режимах може працювати транзистор T_3 при низькому рівні вхідної напруги?
18. Від чого залежить режим роботи T_3 при низькому рівні вхідної напруги?
19. Яку роль виконує опір $R_{зм}$ в елементі ДТЛ СІ?
20. Поясніть, в чому полягає принцип переключення струмів в елементі ДТЛ СІ?
21. В якому стані перебуває діод $D_{зм}$ при низькому рівні вхідної напруги?
22. В якому стані перебуває діод $D_{зм}$ при високому рівні вхідної напруги?
23. В якому стані перебуває вхідний діод одноходового елемента ДТЛ СІ при низькому рівні вхідної напруги?
24. В якому стані перебуває вхідний діод одноходового елемента ДТЛ СІ при високому рівні вхідної напруги?
25. Який рівень вихідної напруги формується в елементі ДТЛ СІ, якщо транзистор T_4 перебуває в режимі відсічки?
26. Який рівень вихідної напруги формується в елементі ДТЛ СІ, якщо транзистор T_4 перебуває в режимі насичення?
27. Приведіть схему елемента ДТЛ СІ, в якому резистор $R_{зм}$ підключений між базою і емітером транзистора T_2 .
28. Що буде відбуватися в елементі ДТЛ СІ, якщо резистор $R_{зм}$ видалити зі схеми?
29. Для чого використовується діод D_0 в елементі ДТЛ СІ?
30. В якому стані перебуває діод D_0 при низькому рівні вихідної напруги?
31. В якому стані перебуває діод D_0 при високому рівні вихідної напруги?

3.2. Елементи ТТЛ зі складним інвертором

Схема елемента транзисторно-транзисторної логіки зі складним інвертором (ТТЛ СІ) будується з двох складових частин: вхідні кола являють собою вхідні

кола елемента ТТЛ ІІІ та складний інвертор, який використовується в елементі ДТЛ СІ.

Схема одноходового елемента ТТЛ СІ приведена на рис.3.2.

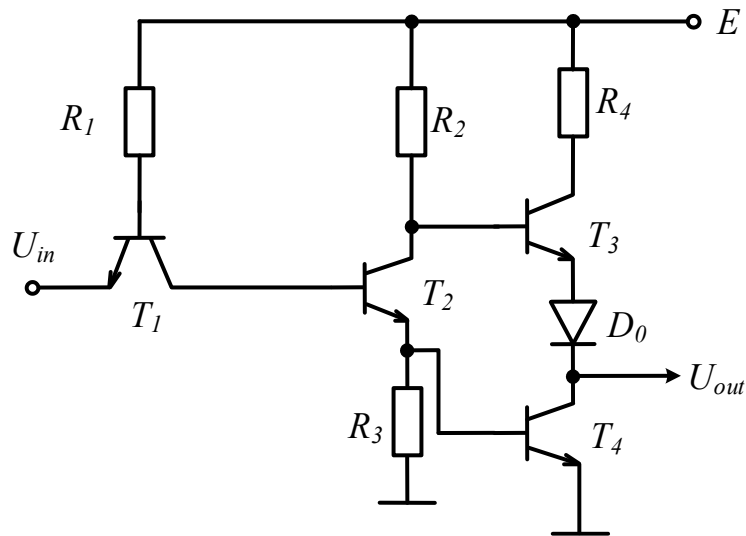


Рис. 3.2. Схема елемента ТТЛ зі складним інвертором

Розглянемо принцип роботи цього елемента.

Нехай на вхід елемента надходить напруга низького рівня U_{in}^L . В цьому випадку, як і в елементі ТТЛ ІІІ, транзистор T_1 перебуває в режимі глибокого насичення, у зв'язку з тим, що струм колектору T_1 дорівнює тепловому струму (можна вважати його нульовим) і набагато менше струму бази цього ж транзистора (див. підрозділ 2.3.1). В результаті вхідний струм низького рівня складається зі струмів бази і колектору T_1 та практично дорівнює струму бази цього транзистора. При цьому транзистор T_2 перебуває в стані відсічки, тобто в колах T_2 відсутні струми, що приводить до того, що транзистор T_4 також перебуває в режимі відсічки. Струм кола E, R_2 втікає в базу транзистора T_3 , перехід база-емітер якого відкривається. Режим роботи T_3 залежить від струму навантаження елемента, тобто T_3 може перебувати як в лінійному режимі, так і в насиченні. В результаті на виході елемента ТТЛ СІ формується високий рівень напруги.

На рис.3.3 приведена схема елемента ТТЛ СІ, на якій зазначені напрями струмів, що протікають в елементі при низькому рівні вхідної напруги.

При надходженні на вхід напруги високого рівня U_{in}^H транзистор T_1 працює в інверсному режимі. Враховуючи, що величина β_i транзистора T_1 дуже мала (див. підрозділ 2.3.1), струм колектору цього транзистора формується практично за рахунок струму бази T_1 . В результаті струм колектору T_1 втікає в базу T_2 , який перебуває в режимі насичення. Струм емітера T_2 втікає в базове коло транзистора T_4 , який також перебуває в режимі насичення. При цьому на виході елемента ТТЛ СІ формується низький рівень напруги. Транзистор T_3 працює в режимі відсічки, що досягається за допомогою діода D_0 .

На рис.3.4 приведена схема елемента ТТЛ СІ, на якій зазначені напрями струмів, що протікають в елементі при високому рівні вхідної напруги.

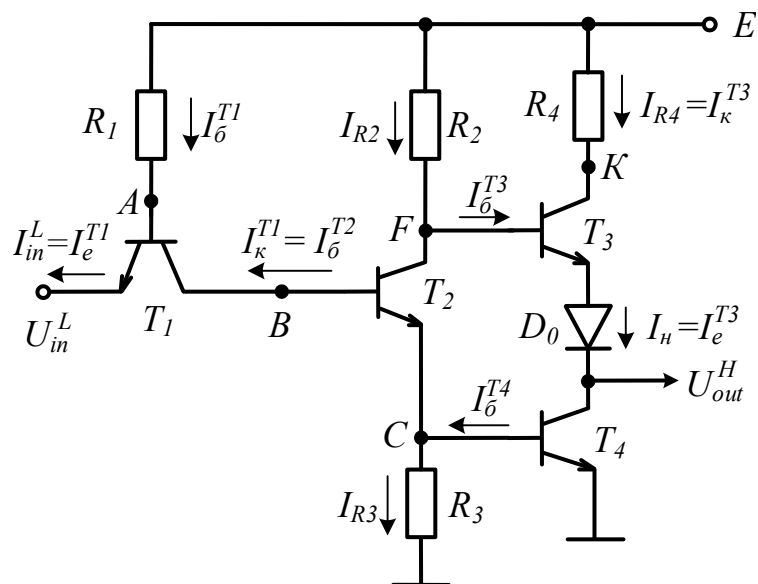


Рис. 3.3. Напрями струмів в елементі ТТЛ СІ при низькому рівні вхідної напруги

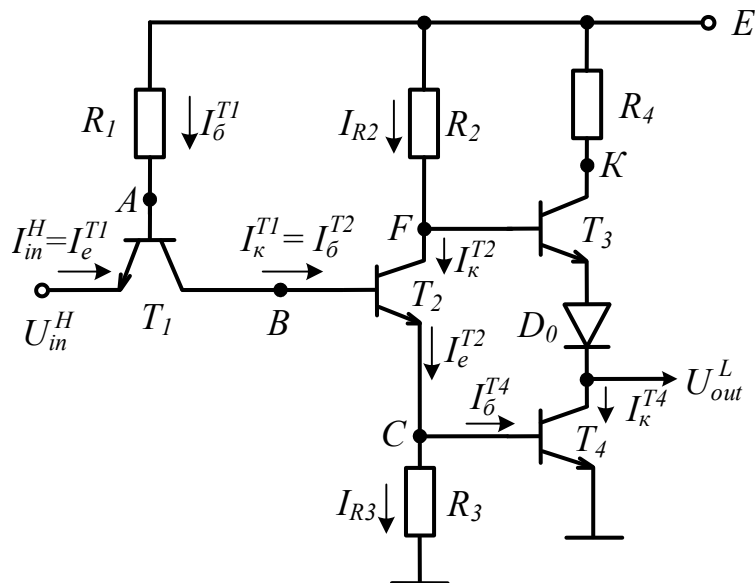


Рис. 3.4. Напрями струмів в елементі ТТЛ СІ при високому рівні вхідної напруги

Таким чином, елемент ТТЛ СІ виконує функцію інвертування і відноситься до класу цифрових елементів з переключенням струму.

Виконаємо розрахунок значень напруг і струмів в елементі ТТЛ СІ в залежності від рівня вхідної напруги. Величина напруги живлення елементів ТТЛ завжди складає $5V$.

Спочатку розглянемо випадок надходження на вхід елемента напруги низького рівня U_{in}^L . Як вже було відзначено транзистори T_2 і T_4 перебувають в режимі відсічки. Не враховуючи теплові струми цих транзисторів, схему елемента ТТЛ СІ можна представити в спрощеному вигляді (рис.3.5):

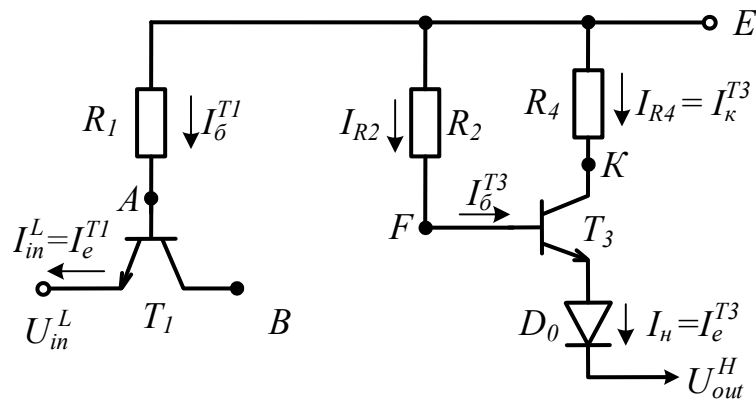


Рис. 3.5. Спрощена схема ТТЛ СІ при низькому рівні вхідної напруги

Схема заміщення вхідних кіл елемента ТТЛ СІ приведена на рис.3.6,а, де використовуються схеми заміщення транзистора T_1 в режимі насичення і транзистора T_2 в режимі відсічки з боку бази. На рис.3.6,б приведена схема заміщення базового кола транзистора T_4 .

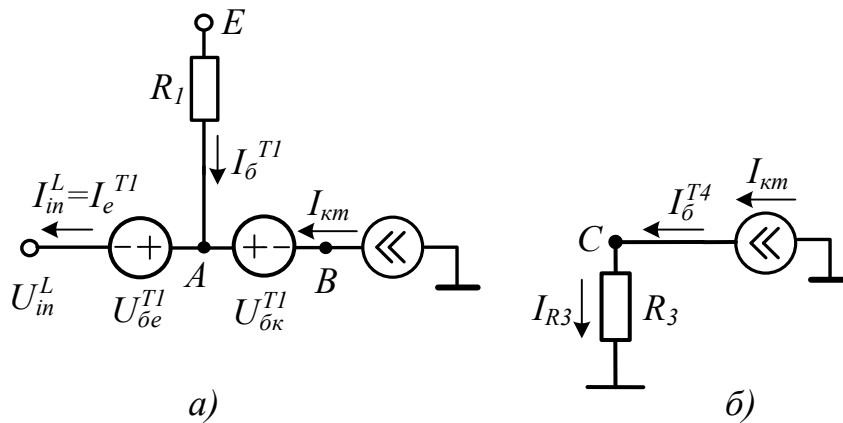


Рис. 3.6. Схема заміщення вхідного кола ТТЛ СІ і базового кола T_4 при низькому рівні вхідної напруги

Значення напруги у вузлах A і B визначаються відповідно до виразів (2.33), а вхідний струм низького рівня та струм бази T_1 – за виразами (2.34). Транзистор T_2 буде перебувати в стані відсічки, поки напруга у вузлі B буде недостатньою для відпирання двох послідовно з'єднаних $p-n$ переходів, які утворюються діодами емітера транзисторів T_2 і T_4 . Таким чином, для забезпечення відсічки транзистора T_2 необхідно задовольнити нерівності $U_B < U_{\beta e\Pi}^{T2} + U_{\beta e\Pi}^{T4}$, де $U_{\beta e\Pi}^{T2}$, $U_{\beta e\Pi}^{T4}$ – порогові напруги переключення $p-n$ переходів база-емітер транзисторів T_2 і T_4 відповідно.

Далі виконаємо розрахунок напруг і струмів в складному інверторі елемента ТТЛ СІ. Для розрахунку базового кола транзистора T_4 скористуємося схемою заміщення на рис.3.6,б. Відповідно до цієї схеми $I_{\beta}^{T4} = I_{\kappa m} = I_{R3}$. Струм I_{R3} підвищує потенціал вузла C , тому для забезпечення режиму відсічки необхідно забезпечити, щоб падіння напруги на R_3 було нижче порогової напруги відпирання емітерного переходу $U_{dsw} = 0,55B$ транзистора T_4 :

$$U_C < U_{dsw}; \quad I_{R3} \cdot R_3 < U_{dsw}; \quad I_{\kappa m} \cdot R_3 < U_{dsw}.$$

З останньої нерівності витікає вимога до величини опору R_3 : $R_3 < U_{dsw} / I_{km}$.

Схема для розрахунку електричних кіл транзистора T_3 приведена на рис.3.5, з якої можна побачити, що транзистор T_3 включений за схемою емітерного повторювача. Як вже було відзначено, транзистор T_3 може працювати в режимі насичення або в лінійному режимі в залежності від величини струму навантаження I_n . Визначимо умову функціонування транзистора T_3 в лінійному режимі.

Для забезпечення лінійного режиму транзистора T_3 необхідно забезпечити закритий стан діода колектору цього транзистора, тобто:

$$U_{\text{бк}}^{T3} < U_{dsw}; \quad U_{\text{б}}^{T3} - U_{\text{к}}^{T3} < U_{dsw}, \quad (3.1)$$

де $U_{\text{б}}^{T3} = U_F$, $U_{\text{к}}^{T3} = U_K$ – напруги на базі і колекторі транзистора T_3 відповідно.

Визначимо значення напруги на базі і колекторі T_3 за допомогою другого закону Кірхгофа:

$$U_F = U_{\text{б}}^{T3} = E - I_{\text{б}}^{T3} \cdot R_2; \quad U_K = U_{\text{к}}^{T3} = E - I_{\text{к}}^{T3} \cdot R_4. \quad (3.2)$$

Виконаємо віднімання другого виразу (3.2) від першого та отримаємо

$$U_{\text{б}}^{T3} - U_{\text{к}}^{T3} = U_{\text{бк}}^{T3} = (E - I_{\text{б}}^{T3} \cdot R_2) - (E - I_{\text{к}}^{T3} \cdot R_4) = I_{\text{к}}^{T3} \cdot R_4 - I_{\text{б}}^{T3} \cdot R_2 < U_{dsw}; \quad (3.3)$$

Враховуючи, що при виконанні нерівності (3.1), транзистор T_3 перебуває в лінійному режимі, виразимо струми бази і колектору цього транзистора через струм емітера, який, в свою чергу, є струмом навантаження елемента ТТЛ СІ ($I_n = I_e^{T3}$).

$$I_{\text{к}}^{T3} = \alpha \cdot I_e^{T3}; \quad I_{\text{б}}^{T3} = \frac{I_e^{T3}}{\beta + 1}.$$

Тоді вираз (3.3) може бути представлений у вигляді:

$$U_{\text{бк}}^{T3} = \alpha \cdot I_e^{T3} \cdot R_4 - \frac{I_e^{T3}}{\beta + 1} \cdot R_2 = \alpha \cdot I_n \cdot R_4 - \frac{I_n}{\beta + 1} \cdot R_2 < U_{dsw}. \quad (3.4)$$

В результаті отримаємо вираз, що визначає умову перебування транзистора T_3 в лінійному режимі:

$$I_n < \frac{U_{dsw}}{\alpha \cdot R_4 - \frac{R_2}{\beta + 1}}. \quad (3.5)$$

Враховуючи, що $\alpha \approx 1$; $(\beta + 1) \approx \beta$, запишемо

$$I_n < I_{nn}; \quad I_n = \frac{U_{dsw}}{R_4 - \frac{R_2}{\beta}}, \quad (3.6)$$

де I_{nn} – порогове значення струму навантаження.

Таким чином, при умові виконання нерівностей (3.5) або (3.6) транзистор T_3 елемента ТТЛ працює в лінійному режимі, а в протилежному випадку – в режимі насичення.

Далі визначимо значення вихідної напруги елемента в залежності від режиму роботи транзистора T_3 .

Спочатку визначимо вихідну напругу високого рівня U_{out}^H за умови лінійного режиму роботи транзистора T_3 . Схема заміщення для цього випадку приведена на рис.3.7.

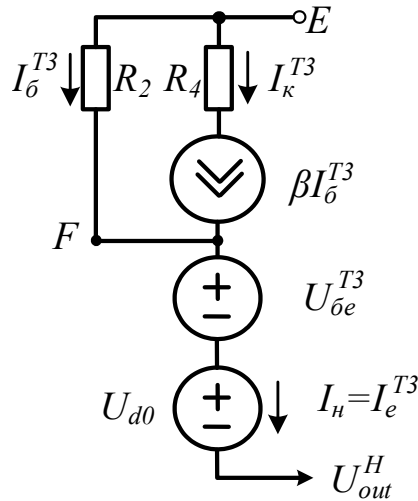


Рис. 3.7. Схема заміщення вихідного кола ТТЛ СІ при лінійному режимі T_3

Відповідно до другого закону Кірхгофа $U_{out} = U_F - U_{be}^{T3} - U_{d0}$.

У свою чергу, $U_F = E - I_o^{T3} \cdot R_2$. Враховуючи, що T_3 працює в лінійному режимі, отримаємо $U_{out} = E - I_o^{T3} \cdot R_2 - U_{be}^{T3} - U_{d0}$, де $I_o^{T3} = I_e^{T3} / (\beta + 1) = I_n / (\beta + 1)$ у зв'язку з тим, що струм навантаження I_n фактично є струмом емітера T_3 . Величина β транзисторів у складі ТТЛ приймає значення від 15 до 20, тому струм бази T_3 , буде приблизно в 16-21 разів менше струму навантаження. Наприклад, якщо $I_n = 1 \text{ mA}$, а $R_2 = 1 \text{ k}\Omega$, то падіння напруги на R_2 буде складати 0,05В, тобто $R_2 \cdot I_n / (\beta + 1) \ll E$. Таким чином,

$$U_{out} = E - I_o^{T3} \cdot R_2 - U_{be}^{T3} - U_{d0} \approx E - U_{be}^{T3} - U_{d0}. \quad (3.7)$$

Вважаючи, що $U_{d0} = 0,7-0,75\text{В}$, то вихідна напруга високого рівня при лінійному режимі роботи T_3 складає 3,5-3,6В. При цьому за відсутності підключеного навантаження струми I_n і I_o^{T3} будуть практично нульовими, а вихідна напруга складатиме приблизно E .

Далі визначимо величину вихідної напруги високого рівня при насиченні транзистора T_3 . Схема заміщення для цього випадку приведена на рис.3.8,а.

На основі метода еквівалентного генератора відключимо коло U_{be}^{T3} , U_{d0} від вузла F і визначимо напругу холостого ходу в цьому вузлі U_F^{xx} відповідно до методу двох вузлів, а також еквівалентний опір R_F^{xx} :

$$U_F^{xx} = \frac{\frac{E + U_{ok}^{T3}}{R_4} + \frac{E}{R_2}}{\frac{1}{R_4} + \frac{1}{R_2}}; \quad R_F^{xx} = \frac{R_4 \cdot R_2}{R_4 + R_2};$$

В результаті схему заміщення на рис.3.8,а можна спростити і представити у вигляді,веденому на рис.3.8.б. Відповідно до схем заміщення на рис.3.8

визначення величини вихідної напруги можливо тільки для конкретно заданого навантаження елемента ТТЛ.

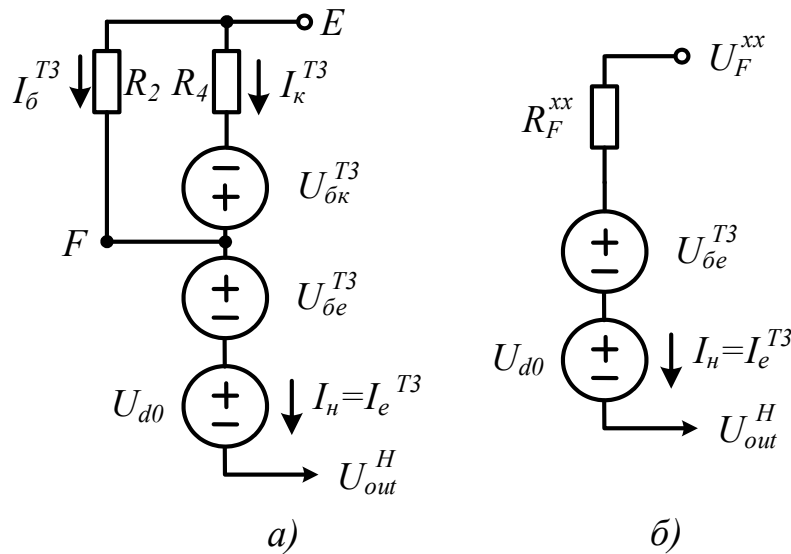


Рис. 3.8. Схема заміщення вихідного кола ТТЛ СІ при насиченні T_3

В результаті вихідна напруга високого рівня визначається за другим законом Кірхгофа $U_{out}^H = U_F^{xx} - I_n \cdot R_F^{xx} - U_{be}^{T3} - U_{d0}$, але в цьому виразі величина струму навантаження в загальному випадку невідома і залежить від схем навантаження елемента ТТЛ.

Розглянемо функціонування елемента ТТЛ при надходженні високого рівня вхідної напруги. Як вже було зазначено, при високому рівні вхідної напруги транзистор T_1 перебуває в інверсному режимі, транзистори T_2, T_4 – в насиченні, а T_3 – в режимі відсічки.

Схема заміщення елемента ТТЛ для високого рівня вхідної напруги приведена на рис.3.9 (без врахування теплових струмів закритого T_3).

За допомогою другого закону Кірхгофа визначимо напруги у вузлах елемента:

$$U_C = U_{be}^{T4}; \quad U_B = U_{be}^{T4} + U_{be}^{T2}; \quad U_F = U_{be}^{T4} + U_{be}^{T2} - U_{be}^{T2} = U_{be}^{T4} + U_{кен}^{T2};$$

$$U_A = U_{be}^{T4} + U_{be}^{T2} + U_{be}^{T1}; \quad U_{out}^L = U_{be}^{T4} - U_{be}^{T4} = U_{be}^{T4}.$$

Далі використовуючи закон Ома і перший закон Кірхгофа, визначимо струми в колах елемента:

$$I_{R1} = I_{\bar{6}}^{T1} = \frac{(E - U_A)}{R_1}; \quad I_{in}^H = I_e^{T1} = \beta_i \cdot I_{\bar{6}}^{T1};$$

$$I_{\kappa}^{T1} = I_{\bar{6}}^{T2} = I_{\bar{6}}^{T1} + I_e^{T1} = I_{\bar{6}}^{T1} + \beta_i \cdot I_{\bar{6}}^{T1} = I_{\bar{6}}^{T1} \cdot (1 + \beta_i) \approx I_{\bar{6}}^{T1};$$

$$I_{R2} = \frac{(E - U_F)}{R_2}; \quad I_{\kappa}^{T2} = I_{R2} + I_{\kappa m}^{T3} \approx I_{R2}; \quad I_e^{T2} = I_{\kappa}^{T2} + I_{\bar{6}}^{T2};$$

$$I_{R3} = \frac{U_C}{R_1}; \quad I_{\bar{6}}^{T4} = I_e^{T2} - I_{R3}.$$

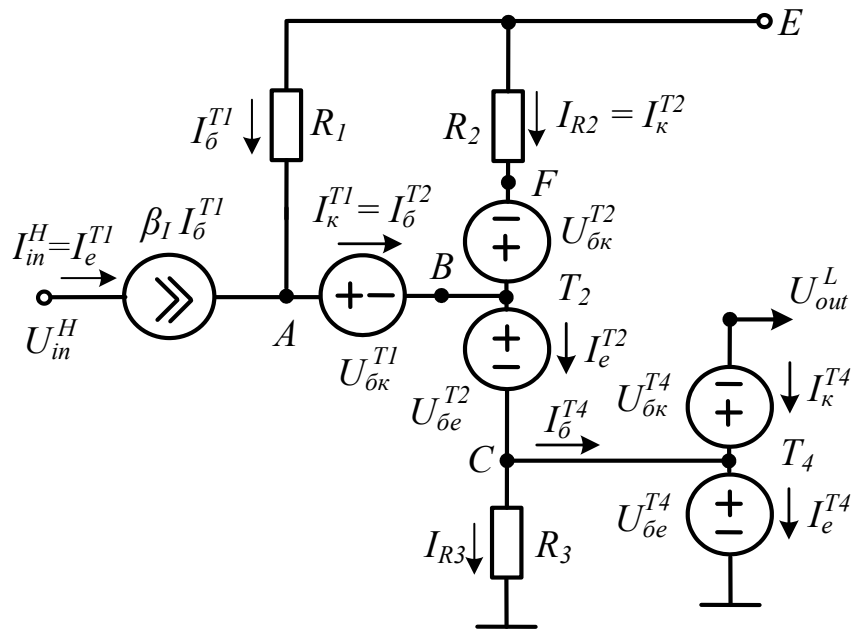


Рис. 3.9. Схема заміщення елемента ТТЛ СІ при високому рівні вхідної напруги

Опори елемента ТТЛ повинні забезпечувати насичення транзисторів T_2 і T_4 . Для того, щоб транзистор T_2 був у насиченні, необхідно забезпечити виконання умови $I_6^{T2} \geq I_{\text{бн}}^{T2}$, де $I_{\text{бн}}^{T2}$ – струм бази насичення транзистора T_2 , який визначається за виразом $I_{\text{бн}}^{T2} = I_{\text{кн}}^{T2} / \beta$. Таким чином, враховуючи, що $I_6^{T2} \approx I_6^{T1}$, а $I_{\text{к}}^{T2} \approx I_{R2}$ (див. вираз (3.8)), можна отримати умову насичення T_2

$$\frac{(E - U_A)}{R_1} \geq \frac{(E - U_F)}{\beta \cdot R_2}. \quad (3.9)$$

Аналогічним чином, для насичення T_4 треба забезпечити виконання умови $I_6^{T4} \geq I_{\text{бн}}^{T4}$, де $I_{\text{бн}}^{T4}$ визначається за одним з виразів (3.8), а $I_{\text{бн}}^{T4} = I_{\text{кн}}^{T4} / \beta$.

Однак тут необхідно відзначити, що величина струму $I_{\text{кн}}^{T4}$ формується навантаженням елемента ТТЛ. В найгіршому випадку для забезпечення насичення T_4 струм колектору цього транзистора, який є струмом навантаження, повинен бути максимальним, тобто $I_6^{T4} \geq I_{\text{кн.макс}}^{T4} / \beta$. Наприклад, для серії інтегральних схем ТТЛ SN74/SN54 величина максимально допустимого струму транзистора T_4 складає 16 mA [21, 22], тобто при вимірюванні струмів в міліамперах умова для насичення T_4 в складі SN74/SN54 виглядає наступним чином $I_6^{T4} \geq 16 \text{ mA} / \beta$.

За умови насичення транзистора T_4 вихідна напруга низького рівня визначається за виразом $U_{\text{out}}^L = U_{\text{кен}}^{T4} = 0,1B$.

Визначимо призначення діода D_0 в складі елемента ТТЛ. Для цього виконаємо розрахунок величин напруг на базі і емітері транзистора T_3 при високому рівні вхідної напруги.

Напруга на базі T_3 (вузол F) визначається за виразом

$$U_F = U_{\text{бе}}^{T4} + U_{\text{бе}}^{T2} - U_{\text{бк}}^{T2} = U_{\text{бе}}^{T4} + U_{\text{кен}}^{T2}, \quad (3.10)$$

Напруга на емітері T_3 визначається за виразом відповідно до другого закону Кірхгофа

$$U_e^{T3} = U_{кен}^{T4} + U_{do}; \quad (3.11)$$

Виконаємо віднімання виразу (3.11) від (3.10), тобто визначимо напругу, прикладену до переходу база- емітер транзистора T_3 . В результаті отримаємо

$$U_F - U_e^{T3} = U_{бе}^{T4} + U_{кен}^{T2} - U_{кен}^{T4} - U_{do} = 0. \quad (3.12)$$

Таким чином, з виразу (3.12) випливає, що транзистор T_3 закритий.

У випадку відсутності в схемі елемента ТТЛ діода D_0 доданок U_{do} у виразі (3.11) відсутній, в результаті чого з виразу (3.12) можна отримати, що $U_F - U_e^{T3} = U_{бе}^{T4} + U_{кен}^{T2} - U_{кен}^{T4} = 0,75B$. Це означає, що за відсутності діода D_0 транзистор T_3 не буде закриватися, тобто елемент ТТЛ працює некоректно. Таким чином, діод D_0 виконує роль діода зміщення та підвищує потенціал емітера транзистора T_3 , забезпечуючи відсічку цього транзистора.

Розглянемо приклади розрахунків напруг і струмів в елементі ТТЛ.

Приклад 3.1. Визначити напруги і струми в елементі ТТЛ СІ для заданого значення вхідної напруги. Параметри елемента: $E = 5B$; $R_1 = 4k$; $R_2 = 1k$; $R_3 = 1k$; $R_4 = 0,15k$; $I_{км} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{бе} = 0,7B$; $U_{do} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0,1B$. Між виходом елемента і загальним виводом («землею») підключений опір навантаження $R_L = 3k$.

Розв'язок.

Відповідно до умови завдання на вхід логічного елемента надходить низький рівень напруги U_{in}^L . Транзистори елемента перебувають в наступних режимах: T_1 – насичення; T_2, T_4 – відсічки; T_3 – насичення або лінійний режим.

Відповідно до виразів (2.33) виконаємо розрахунок напруг у вузлах A і B :

$$U_A = U_{in}^L + U_{бе}^{T1} = 0,1 + 0,7 = 0,8B;$$

$$U_B = U_{in}^L + U_{кен}^{T1} = 0,1 + 0,1 = 0,2B; \quad U_C = I_{км} \cdot R_3 = 0.$$

У зв'язку з виконанням умови $U_B < U_{беII}^{T2} + U_{беII}^{T4}$; $U_B < 0,55 + 0,55$; $U_B < 1,1B$, то транзистори T_2 і T_4 дійсно перебувають в режимі відсічки.

Струми в колах транзистора T_1 визначаються за виразами (2.34):

$$I_{б}^{T1} = \frac{E - U_A}{R_1} = \frac{5 - 0,8}{4} = 1,05mA; \quad I_{к}^{T1} = I_{км} = 0; \quad I_{in}^L = I_e^{T1} = I_{б}^{T1} + I_{к}^{T1} = 1,05mA.$$

Далі визначимо режим роботи транзистора T_3 і вихідну напругу елемента ТТЛ, для чого обчислимо величину порогового струму навантаження відповідно до виразу (3.6)

$$I_{nn} = \frac{U_{dsw}}{R_4 - \frac{R_2}{\beta}} = \frac{0,55}{0,15 - \frac{1}{20}} = 5,5mA.$$

Вихідна напруга елемента ТТЛ не може бути вище напруги живлення $5B$, тобто струм навантаження не може перевищити величину $E / R_L = 5 / 3 = 1,6mA$. Таким чином, струм навантаження елемента не перевищує I_{nn} . Це означає, що транзистор T_3 працює в лінійному режимі, а вихідна напруга визначається за виразом (3.7): $U_{out} = E - U_{бе}^{T3} - U_{do} = 3,6B$.

Для перевірки розрахунків виконаємо моделювання елемента ТТЛ при низькому рівні вхідної напруги і $R_L = 3k$. Результати моделювання підтверджують коректність розрахунків та приведені на рис.3.10, на якому можна побачити стани транзисторів, величини струмів і напруг в елементі ТТЛ за заданих умов.

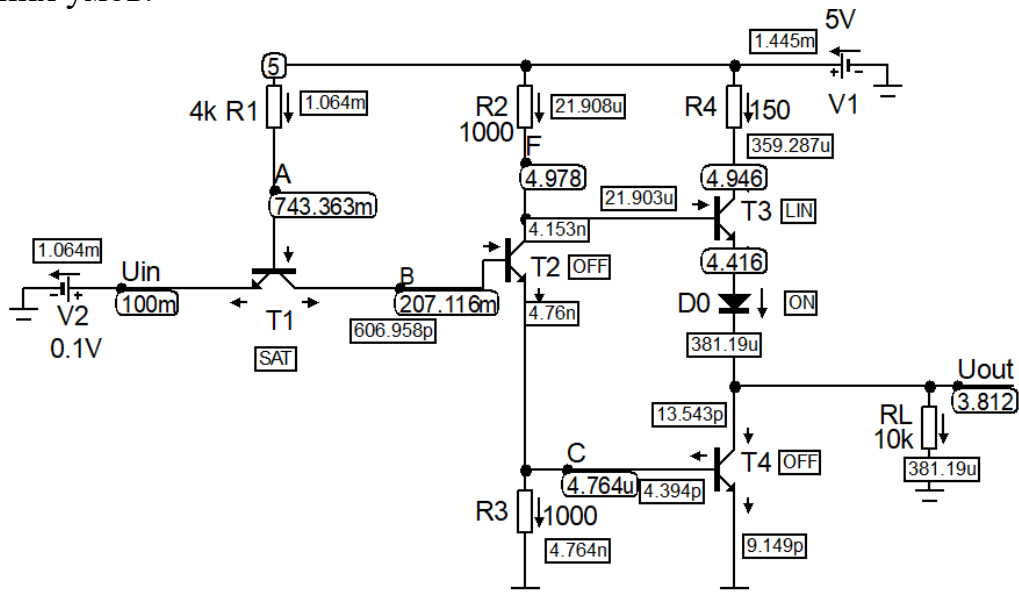


Рис. 3.10. Результати моделювання елемента ТТЛ при низькому рівні вхідної напруги і $R_L = 3k$

Приклад 3.2. Визначити напруги і струми в елементі ТТЛ СІ для заданого значення вхідної напруги. Параметри елемента: $E = 5B$; $R_1 = 4k$; $R_2 = 1k$; $R_3 = 1k$; $R_4 = 0,15k$; $I_{км} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^L = 0,1B$. Між виходом елемента і загальним виводом («землею») підключений опір навантаження $R_L = 0,2k$.

Розв'язок.

Відповідно до умови завдання на вхід логічного елемента надходить низький рівень напруги U_{in}^L . Розрахунок струмів і напруг в колах транзисторів T_1 , T_2 і T_4 виконується таким же чином, як в прикладі 3.1. Відмінність від прикладу 3.1 полягає в тому, що до виходу елемента ТТЛ підключається резистор навантаження з опором невеликої величини, що може перевести транзистор T_3 в режим насичення.

І, дійсно, вихідна напруга елемента ТТЛ (при низькому рівні вхідної напруги) не може бути нижче мінімального значення напруги високого рівня, яка для елементів ТТЛ складає $2B-2,4B$. В результаті мінімальне значення струму навантаження складає $U_{out}^H / R_L = 2 / 0,2 = 10mA$. Під час розв'язання прикладу 3.1 було визначено, що пороговий струм переключення транзистора T_3 складає $I_{nn} = 5,5mA$, тобто транзистор T_3 перебуває в режимі насичення.

Визначимо вихідну напругу елемента ТТЛ для даного випадку. Спочатку визначимо параметри еквівалентної схеми, яка приведена на рис.3.8,б:

$$U_F^{xx} = \frac{\frac{E+U_{\bar{b}k}^{T3}}{R_4} + \frac{E}{R_2}}{\frac{1}{R_4} + \frac{1}{R_2}} = \frac{\frac{5+0,65}{0,15} + \frac{5}{1}}{\frac{1}{0,15} + \frac{1}{1}} = 5,55B; \quad R_F^{xx} = \frac{R_4 \cdot R_2}{R_4 + R_2} = \frac{0,15 \cdot 1}{0,15 + 1} = 0,13k;$$

В результаті схема для визначення вихідної напруги при насиченні T_3 та заданого навантаження приведена на рис.3.11.

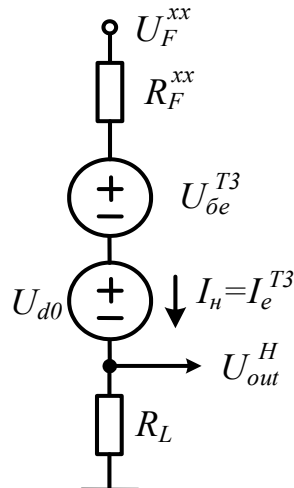


Рис. 3.11. Схема заміщення елемента ТТЛ для визначення вихідної напруги при насиченні транзистора T_3

Відповідно до схеми заміщення на рис.3.11 визначимо вихідну напругу елемента ТТЛ:

$$U_{out}^H = \frac{U_F^{xx} - U_{\bar{b}e}^{T3} - U_{d0}}{R_F^{xx} + R_L} \cdot R_L = \frac{5,55 - 0,7 - 0,7}{0,13 + 0,2} \cdot 0,2 = 2,5B;$$

Для перевірки розрахунків виконаємо моделювання елемента ТТЛ при низькому рівні вхідної напруги і $R_L = 0,2k$.

Результати моделювання приведені на рис.3.12 та підтверджують коректність розрахунків.

Приклад 3.3. Визначити напруги і струми в елементі ТТЛ СІ для заданого значення вхідної напруги. Параметри елемента: $E = 5B$; $R_1 = 4k$; $R_2 = 1k$; $R_3 = 1k$; $R_4 = 0,15k$; $I_{кт} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{\bar{b}e} = 0,7B$; $U_{d0} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $U_{in}^H = 3,6B$.

Розв'язок.

Відповідно до умови завдання на вхід логічного елемента надходить високий рівень напруги U_{in}^H .

Визначимо напруги у вузлах елемента

$$U_C = U_{\bar{b}e}^{T4} = 0,7B; \quad U_B = U_{\bar{b}e}^{T4} + U_{\bar{b}e}^{T2} = 1,4B;$$

$$U_F = U_{\bar{b}e}^{T4} + U_{кен}^{T2} = 0,8B; \quad U_A = U_{\bar{b}e}^{T4} + U_{\bar{b}e}^{T2} + U_{\bar{b}k}^{T1} = 2B;$$

Далі відповідно до виразів (3.8) визначимо струми в колах елемента ТТЛ

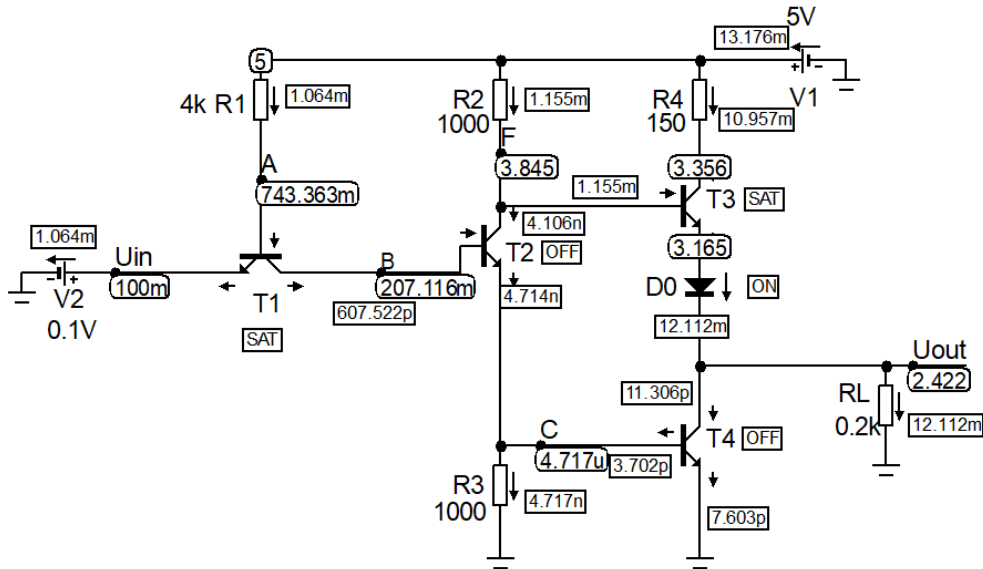


Рис. 3.12. Результати моделювання елемента ТТЛ при низькому рівні вхідної напруги і $R_L = 0,2k$

$$I_{R1} = I_6^{T1} = \frac{(E - U_A)}{R_1} = \frac{(5 - 2)}{4} = 0,75mA;$$

$$I_{in}^H = I_e^{T1} = \beta_i \cdot I_6^{T1} = 0,01 \cdot 0,75 = 7,5\mu A \approx 0;$$

$$I_k^{T1} = I_6^{T2} = I_6^{T1} + I_e^{T1} = 0,75mA;$$

$$I_{R2} = \frac{(E - U_F)}{R_2} = \frac{(5 - 0,8)}{1} = 4,2mA; \quad I_k^{T2} = I_{R2} + I_{km}^{T3} \approx I_{R2} = 4,2mA;$$

$$I_e^{T2} = I_k^{T2} + I_6^{T2} = 4,2 + 0,75 = 4,95mA;$$

$$I_{R3} = \frac{U_C}{R_1} = \frac{0,7}{1} = 0,7mA; \quad I_6^{T4} = I_e^{T2} - I_{R3} = 4,95 - 0,7 = 4,25mA.$$

Виконаємо перевірку перебування транзистора T_2 в режимі насичення відповідно до нерівності (3.9)

$$\frac{(E - U_A)}{R_1} \geq \frac{(E - U_F)}{\beta \cdot R_2}; \quad \frac{(5 - 2)}{4} \geq \frac{(5 - 0,8)}{20 \cdot 1}; \quad 0,75 > 0,21.$$

В результаті перевірки можна зробити висновок, що транзистор T_2 перебуває в режимі насичення.

Для визначення режиму роботи транзистора T_4 перевіримо умову

$$I_6^{T4} \geq 16/\beta; \quad 4,25 \geq 16/20; \quad 4,25 > 0,8.$$

Транзистор T_4 також перебуває в режимі насичення, тобто вихідна напруга відповідає низькому рівню і визначається за виразом $U_{out}^L = U_{кен}^{T4} = 0,1V$.

Результати моделювання елемента ТТЛ приведені на рис.3.13.

Результати моделювання, приведені на рис.3.13, підтверджують коректність проведених розрахунків.

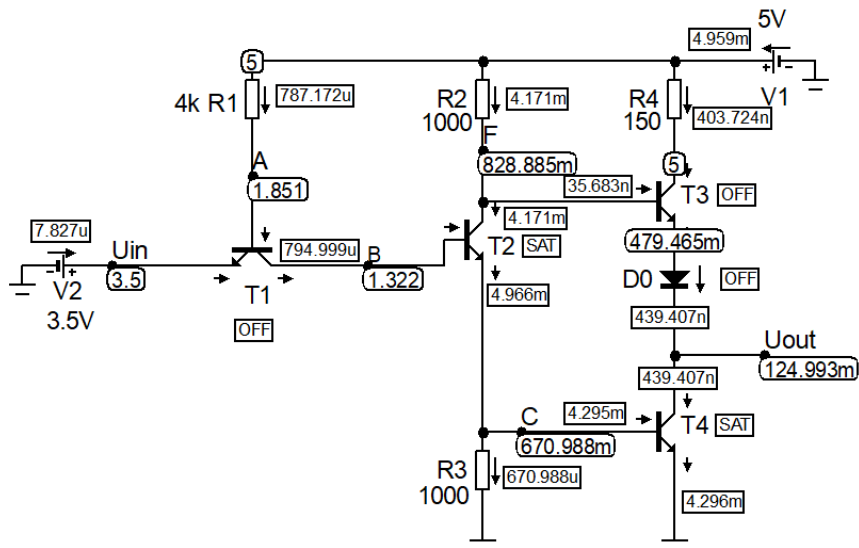


Рис. 3.13. Результати моделювання елемента ТТЛ при високому рівні вхідної напруги

В підрозділі 3.1 розглядався елемент діодно-транзисторної логіки зі складним інвертором ДТЛ СІ, схема якого складається з вхідного кола, що збігається з вхідним колом елементів ДТЛ ІІІ (див. підрозділ 2.2.2), та складного інвертора. Детальний розрахунок вхідних кіл елементів ДТЛ ІІІ приведений в підрозділі 2.2.2, а розрахунок складного інвертора розглянуто в поточному підрозділі, тому розрахунок елемента ДТЛ СІ в цьому посібнику не приводиться і пропонується здобувачам вищої освіти зробити розрахунок цього елемента самостійно.

Контрольні завдання та запитання

1. Яким чином будується елемент ТТЛ СІ?
2. Приведіть схему одноходового елемента ТТЛ СІ.
3. Чому елемент ТТЛ СІ відноситься до класу схем з переключенням струму?
4. Яку логічну функцію виконує елемент, схема якого приведена на рис.3.2, при використанні логіки високого рівня?
5. Яку логічну функцію виконує елемент, схема якого приведена на рис.3.2, при використанні логіки низького рівня?
6. Яка частина схеми на рис.3.2 збігається зі схемою елемента ТТЛ ІІІ?
7. На базі яких електронних елементів реалізується складний інвертор в схемі на рис.3.2?
8. В яких режимах працюють транзистори одноходового елемента ТТЛ СІ при високому рівні вхідної напруги?
9. В яких режимах працюють транзистори одноходового елемента ТТЛ СІ при низькому рівні вхідної напруги?
10. Чому при високому рівні вхідної напруги транзистор T_1 перебуває в інверсному режимі?

11. Чому при низькому рівні вхідної напруги транзистор T_1 перебуває в насиченні?
12. Чому при низькому рівні вхідної напруги транзистор T_2 перебуває в режимі відсічки?
13. Чому при низькому рівні вхідної напруги транзистор T_4 перебуває в режимі відсічки?
14. В яких режимах може працювати транзистор T_3 при низькому рівні вхідної напруги?
15. Від чого залежить режим роботи T_3 при низькому рівні вхідної напруги?
16. В якому стані перебуває перехід база-емітер транзистора T_1 одноходового елемента ТТЛ СІ при низькому рівні вхідної напруги?
17. В якому стані перебуває перехід база-емітер транзистора T_1 одноходового елемента ТТЛ СІ при високому рівні вхідної напруги?
18. Який рівень вихідної напруги формується в елементі ТТЛ СІ, якщо транзистор T_4 перебуває в режимі відсічки?
19. Який рівень вихідної напруги формується в елементі ТТЛ СІ, якщо транзистор T_4 перебуває в режимі насичення?
20. Для чого використовується діод D_0 в елементі ТТЛ СІ?
21. В якому стані перебуває діод D_0 при низькому рівні вихідної напруги?
22. В якому стані перебуває діод D_0 при високому рівні вихідної напруги?
23. Що буде відбуватися в елементі ТТЛ СІ за відсутності діода D_0 ?
24. Поясніть напрями струмів в схемі на рис.3.3.
25. Поясніть напрями струмів в схемі на рис.3.4.
26. Чому дорівнює величина напруги живлення елементів ТТЛ?
27. Поясніть, яким чином отримана схема на рис.3.5?
28. Прокоментуйте схему заміщення на рис.3.6,а.
29. Прокоментуйте схему заміщення на рис.3.6,б.
30. Як визначити напругу у вузлі A при низькому рівні вхідної напруги?
31. Як визначити напругу у вузлі B при низькому рівні вхідної напруги?
32. Як визначити струм бази транзистора T_1 при низькому рівні вхідної напруги?
33. Як визначити струм колектору транзистора T_1 при низькому рівні вхідної напруги?
34. Як визначити струм емітера транзистора T_1 при низькому рівні вхідної напруги?
35. Як визначити вхідний струм низького рівня елемента ТТЛ?
36. Як визначити струм бази транзистора T_2 при низькому рівні вхідної напруги?
37. Поясніть схему заміщення транзистора T_1 на рис.3.6,а.
38. Поясніть схему заміщення транзистора T_2 на рис.3.6,а.
39. Виконання якої умови забезпечує відсічку транзистора T_2 при низькому рівні вхідної напруги?
40. Яким чином отримана нерівність $I_{km} \cdot R_3 < U_{dsw}$ при низькому рівні вхідної напруги?

41. Як забезпечити виконання умови функціонування транзистора T_3 в лінійному режимі?
42. Прокоментуйте вираз (3.1).
43. Як визначити величини напруг на базі і колекторі транзистора T_3 при низькому рівні вхідної напруги?
44. Яким чином отримані вирази (3.2)?
45. Яким чином отримано вираз (3.3)?
46. Прокоментуйте вираз (3.4).
47. Яку умову описує нерівність (3.5)?
48. В чому полягає різниця між виразами (3.5) і (3.6)?
49. Поясніть фізичний сенс терміну «порогове значення струму навантаження».
50. Що відбувається в схемі елемента ТТЛ при виконанні умови (3.5)?
51. Що відбувається в схемі елемента ТТЛ при невиконанні умови (3.5)?
52. Як визначити вихідну напругу елемента ТТЛ при лінійному режимі роботи T_3 ?
53. Як визначити вихідну напругу елемента ТТЛ при насиченні T_3 ?
54. Прокоментуйте схему заміщення на рис.3.7.
55. Поясніть, чому при лінійному режимі роботи транзистора T_3 можна не враховувати падіння напруги на R_2 ?
56. Яким чином отримано вираз (3.7)?
57. Чому дорівнює вихідна напруга елемента ТТЛ при лінійному режимі роботи транзистора T_3 ?
58. Яким чином отримано схему заміщення на рис.3.8,а?
59. Яким чином отримано схему заміщення на рис.3.8,б?
60. Поясніть схему заміщення транзистора T_4 на рис.3.6,б.
61. Поясніть схему заміщення транзистора T_3 на рис.3.7.
62. На основі якого методу виконано перетворення схеми на рис.3.8,а в схему на рис.3.8,б?
63. Як визначити еквівалентні параметри в схемі 3.8,б?
64. Поясніть схему заміщення транзистора T_3 на рис.3.8,а.
65. Чому неможливо визначити вихідну напругу елемента ТТЛ при насиченні транзистора T_3 без використання конкретної схеми навантаження елемента ТТЛ?
66. Прокоментуйте схему заміщення елемента ТТЛ на рис.3.9.
67. Поясніть схему заміщення транзистора T_1 на рис.3.9.
68. Поясніть схему заміщення транзистора T_2 на рис.3.9.
69. Чому в схемі заміщення на рис.3.9 не показані кола транзистора T_3 ?
70. За допомогою схеми заміщення, яка приведена на рис.3.9, визначити напругу у вузлі C . Обґрунтуйте відповідь.
71. Поясніть схему заміщення транзистора T_4 на рис.3.9.
72. Використовуючи схему заміщення на рис.3.9, визначити напругу у вузлі B . Обґрунтуйте відповідь.
73. Як визначити напругу у вузлі B в схемі заміщення на рис.3.9?

74. Як визначити вхідний струм високого рівня елемента ТТЛ?
75. Як визначити струми транзистора T_1 при надходженні високого рівня вхідної напруги?
76. Як визначити струми транзистора T_2 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
77. Як визначити режим роботи транзистора T_2 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
78. Як визначити режим роботи транзистора T_4 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
79. Яким чином використовувати вираз (3.9)?
80. Як визначити струм колектору насичення транзистора T_4 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
81. Чому для визначення насичення транзистора T_4 в елементі ТТЛ необхідно враховувати $I_{кн макс}^{T4}$?
82. Поясніть призначення діода D_0 в схемі елемента ТТЛ.
83. Як визначити напругу на базі транзистора T_3 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
84. Як визначити напругу на емітері транзистора T_3 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
85. Прокоментуйте вираз (3.10).
86. Прокоментуйте вираз (3.11).
87. Як визначити напругу на діоді емітера транзистора T_3 в елементі ТТЛ при надходженні високого рівня вхідної напруги?
88. Як буде працювати елемент ТТЛ, якщо з його складу видалити діод D_0 ? Обґрунтуйте відповідь.
89. Прокоментуйте результати моделювання, приведені на рис.3.10.
90. Прокоментуйте результати моделювання, приведені на рис.3.12.
91. В чому полягає різниця між результатами моделювання елементів, схеми яких приведені на рис.3.10 і рис.3.12?
92. Яким чином в прикладі 3.2 було розраховане значення вихідної напруги елемента ТТЛ?
93. Прокоментуйте схему заміщення на рис.3.11.
94. Як визначити величину струму навантаження в прикладі 3.2?
95. Прокоментуйте результати моделювання, приведені на рис.3.13.
96. В чому полягає різниця у функціонуванні елементів ДТЛ СІ і ТТЛ СІ?
97. В якому стані перебуває вхідний діод елемента ДТЛ СІ при надходженні високого рівня вхідної напруги? Обґрунтуйте відповідь.
98. В якому стані перебуває вхідний діод елемента ДТЛ СІ при надходженні низького рівня вхідної напруги? Обґрунтуйте відповідь.
99. В якому стані перебуває діод зміщення елемента ДТЛ СІ при надходженні високого рівня вхідної напруги? Обґрунтуйте відповідь.
100. В якому стані перебуває діод зміщення елемента ДТЛ СІ при надходженні низького рівня вхідної напруги? Обґрунтуйте відповідь.

101. В яких станах перебувають транзистори елемента ДТЛ СІ при надходженні низького рівня вхідної напруги ?
102. В яких станах перебувають транзистори елемента ДТЛ СІ при надходженні високого рівня вхідної напруги ?
103. Від чого залежить режим роботи T_3 елемента ДТЛ СІ при низькому рівні вхідної напруги?
104. Який рівень вихідної напруги формується в елементі ДТЛ СІ, якщо транзистор T_4 перебуває в режимі відсічки?
105. Який рівень вихідної напруги формується в елементі ДТЛ СІ, якщо транзистор T_4 перебуває в режимі насичення?
106. Для чого використовується діод D_0 в елементі ДТЛ СІ?
107. Як визначити напругу на аноді вхідного діода в елементі ДТЛ СІ при низькому рівні вхідної напруги?
108. Як визначити напругу на аноді вхідного діода в елементі ДТЛ СІ при високому рівні вхідної напруги?
109. Як визначити напругу на базі транзистора T_2 в елементі ДТЛ СІ при низькому рівні вхідної напруги?
110. Як визначити напругу на базі транзистора T_2 в елементі ДТЛ СІ при високому рівні вхідної напруги?
111. Як визначити вхідний струм низького рівня елемента ДТЛ СІ?
112. Як визначити вхідний струм високого рівня елемента ДТЛ СІ?
113. Як визначити струм через діод зміщення транзистора T_2 в елементі ДТЛ СІ при низькому рівні вхідної напруги?
114. Як визначити струм через діод зміщення транзистора T_2 в елементі ДТЛ СІ при високому рівні вхідної напруги?
115. Яким чином забезпечити виконання умови функціонування транзистора T_3 в лінійному режимі в елементі ДТЛ СІ?
116. При виконанні якої умови з точки зору величини струму навантаження транзистор T_3 перебуває в лінійному режимі?
117. Як визначити вихідну напругу елемента ДТЛ СІ за умови лінійного режиму роботи T_3 ?
118. Як визначити вихідну напругу елемента ДТЛ СІ за умови насичення T_3 ?
119. Поясніть, чому при лінійному режимі роботи транзистора T_3 падіння напруги на R_2 в елементі ДТЛ СІ можна не враховувати?
120. Чому неможливо визначити вихідну напругу елемента ДТЛ СІ при насиченні транзистора T_3 без використання конкретної схеми навантаження елемента ДТЛ СІ?
121. Як визначити струм колектору насичення транзистора T_4 в елементі ДТЛ СІ при надходженні високого рівня вхідної напруги?

3.3. Параметри елементів ТТЛ зі складним інвертором

В якості параметрів елементів ТТЛ СІ (далі ТТЛ) будемо аналізувати завадостійкість і коефіцієнт розгалуження.

Величина споживаної потужності залежить від значень струмів I_{R1} , I_{R2} , I_{R4} , які були визначені в попередньому підрозділі, тому в цьому підрозділі не розглядається.

Як вже було відзначено, елементи ТТЛ відносяться до класу елементів з переключенням струму, тобто мають тільки одну напругу переключення, яка визначається за виразом $U_{\Pi} = n_{d3m} \cdot U_{dsw}$ (див. підрозділ 2.2.2.2). Таким чином, для розрахунку значення порогової напруги необхідно знати кількість діодів зміщення n_{d3m} , які є в наявності в складі елемента. Діодами зміщення в елементі ТТЛ виступають діод колектору транзистора T_1 (як і в елементі ТТЛ з простим інвертором), а також діод емітера транзистора T_2 , тобто величина порогової напруги переключення дорівнює $U_{\Pi} = U_{\beta k}^{T1} + U_{\beta e}^{T2} = 0,65 + 0,75 = 1,4B$. В результаті приймаючи до уваги, що, наприклад, $U_{in}^H = 3,6B$, $U_{in}^L = 0,1B$, можна визначити завадостійкість елемента ТТЛ СІ:

$$NM^L = U_{\Pi} - U_{in}^L = 1,4 - 0,1 = 1,3B; \quad NM^H = U_{in}^H - U_{\Pi} = 3,6 - 1,4 = 2,2B.$$

Таким чином, як і для попередньо розглянутих елементів з переключенням струму, завадостійкість практично не залежить від номіналів резисторів в складі елемента ТТЛ. Звичайно, що для забезпечення незалежності переключення логічного елемента від технологічних розкидів параметрів транзисторів елемента ТТЛ необхідно використовувати діапазон неприпустимих значень вхідної напруги ($U_{\Pi} - 0,1B$, $U_{\Pi} + 0,1B$).

Виконаємо визначення порогової напруги переключення елемента ТТЛ за допомогою моделювання передатної характеристики цього елемента.

Схема для моделювання передатної характеристики приведена на рис.3.14, а сама передатна характеристика приведена на рис.3.15.

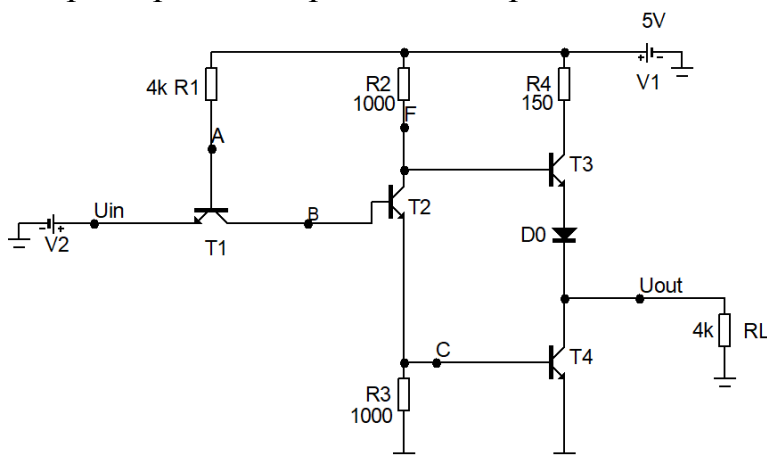


Рис. 3.14. Схема елемента ТТЛ для визначення передатної характеристики

З передатної характеристики (див. рис.3.15) можна побачити, що при збільшенні вхідної напруги елемент ТТЛ СІ починає переключатися при $U_{in} \approx 1,3B$, а вхідна напруга $1,44B$ вже забезпечує появу на виході низького рівня, тобто переключення транзистора T_4 в режим насичення. Таким чином, переключення елемента ТТЛ СІ відбувається в околі напруги $U_{\Pi} = 1,4B$. Крім того, на рис.3.15 показаний діапазон неприпустимих значень вхідної напруги, який перебуває в межах $1,3B$ і $1,44B$.

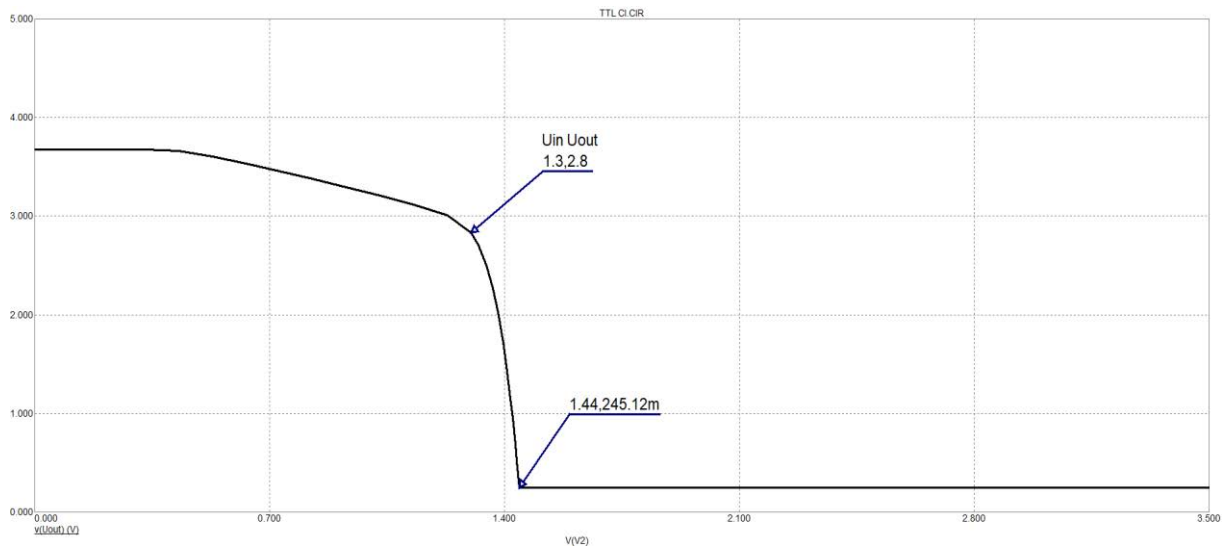


Рис. 3.15. Передатна характеристика елемента ТТЛ

Далі розглянемо розрахунок коефіцієнта розгалуження логічного елемента ТТЛ СІ. Коефіцієнт розгалуження цього елемента розраховується таким же чином, як і для попередніх елементів з переключенням струму (див. підрозділи 2.2.2.2 і 2.3.2), тобто для низького рівня напруги на виході елемента-джерела, тобто при насиченні транзистора T_4 . Звичайно, що при цьому транзистор T_1 елементів навантаження перебуває в режимі насичення, а транзистор T_2 і T_4 – в режимі відсічки. Схема заміщення для розрахунку коефіцієнта розгалуження елемента ТТЛ СІ (струм бази I_6^{T2} закритого транзистора T_2 вважаємо нульовим) приведена на рис.3.16.

Розглянемо вираз відповідно до першого закону Кірхгофа для вихідного вузла U_{out} елемента-джерела.

$$I_{\kappa}^{T4} = I_n = k_{load} \cdot I_{in}^L = k_{load} \cdot I_{RI}^{T1} = k_{load} \cdot I_6^{T1}. \quad (3.13)$$

Аналізуючи вираз (3.13), можна зробити висновок, що при збільшенні кількості підключених навантажень k_{load} спостерігається збільшення струму колектору вихідного транзистора T_4 елемента-джерела сигналу. Якщо цей струм перевищить максимально припустиме значення $I_{\kappa max}$, то транзистор T_4 елемента-джерела виходить з ладу, що потребує його заміну. В результаті для того, щоб забезпечити коректне функціонування елемента ТТЛ СІ з підключеним навантаженням необхідно забезпечити виконання умови $I_{\kappa}^{T4} < I_{\kappa max}$, де, наприклад, для ІС $SN74/SN54$ величина максимально допустимого струму транзистора T_4 складає 16 mA [21, 22].

Відповідно до (3.13) необхідно обчислити значення вхідного струму низького рівня I_{in}^L , який може бути визначений за виразом (2.34), а напругу у вузлі A можна розрахувати за (2.33).

Таким чином, маємо

$$I_{\kappa}^{T4} < I_{\kappa max}; \quad k_{load} \cdot I_{in}^L < I_{\kappa max},$$

де

$$I_{in}^L \approx I_{\bar{o}}^{T1} = \frac{E - U_A}{R_1}; U_A = U_{out}^L + U_{\bar{o}e}^{T1} = U_{кен}^{T4} + U_{\bar{o}e}^{T1}.$$

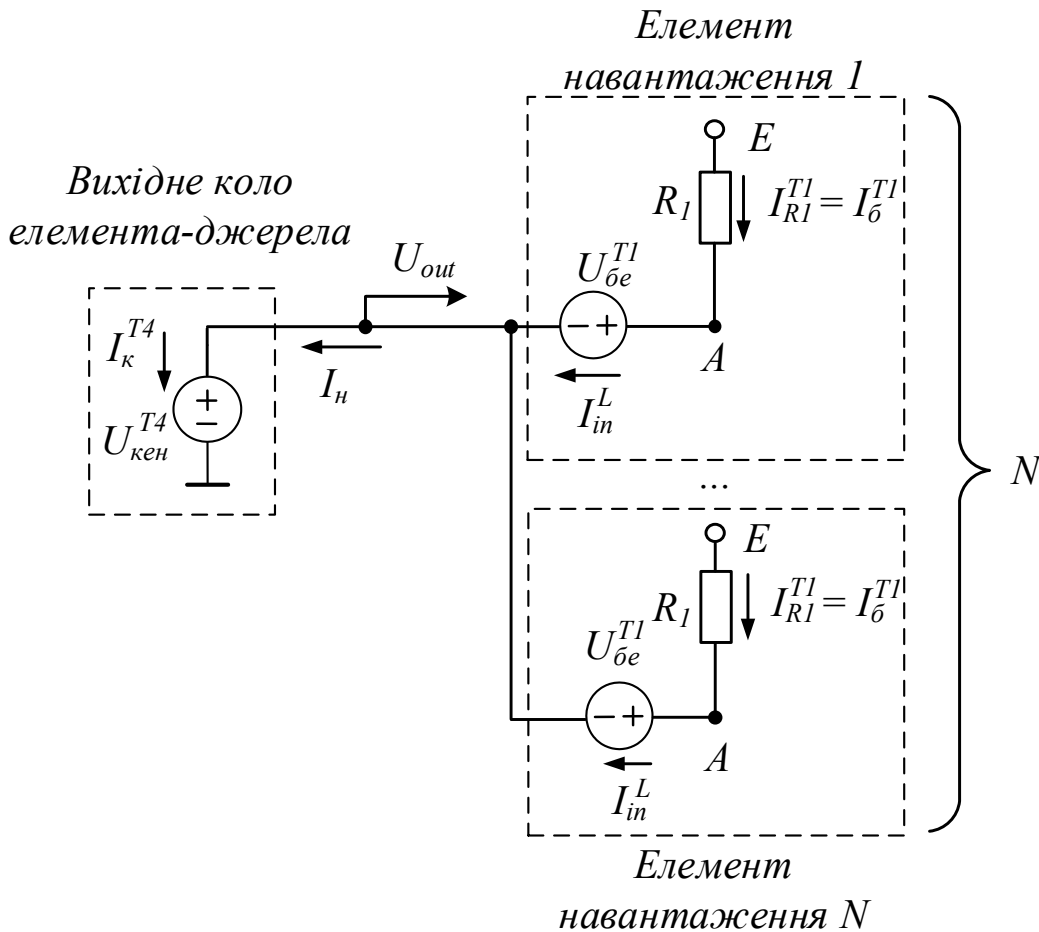


Рис. 3.16. Схема заміщення для визначення коефіцієнта розгалуження елемента ТТЛ-СІ

В результаті отримаємо нерівність для визначення коефіцієнта розгалуження

$$k_{load} \cdot \frac{E - (U_{кен}^{T4} + U_{\bar{o}e}^{T1})}{R_1} < I_{кmax}; N = \text{int} \left(\frac{I_{кmax} \cdot R_1}{E - (U_{кен}^{T4} + U_{\bar{o}e}^{T1})} \right), \quad (3.14)$$

де, як визначалося раніше, функція $\text{int}(X)$ виконує округлення числа X до найближчого меншого цілого.

Приклад 3.4. Визначити коефіцієнт розгалуження N елемента ТТЛ СІ. Параметри елемента: $E = 5B$; $R_1 = 4k$; $R_2 = 1k$; $R_3 = 1k$; $R_4 = 0,15k$; $I_{км} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{\bar{o}e} = 0,7B$; $U_{кен} = 0,1B$; $m = 1$; $I_{кmax} = 16mA$.

Розв'язок.

Відповідно до виразу (3.14) запишемо

$$N = \text{int} \left(\frac{I_{кmax} \cdot R_1}{E - (U_{кен}^{T4} + U_{\bar{o}e}^{T1})} \right) = \text{int} \left(\frac{16 \cdot 4}{5 - (0,1 + 0,7)} \right) = 15.$$

Таким чином, до виходу заданого елемента ТТЛ СІ можна підключати не більше 15 таких же елементів.

Результати моделювання логічного елемента, до якого відповідно до значення коефіцієнта розгалуження підключені N ($N=15$) елементів ТТЛ СІ, приведені на рис.3.17. Як і раніше, для моделювання використовується еквівалентна схема N елементів навантаження, яка утворена за рахунок зменшення величини опору R_I елемента навантаження в N разів ($4k/15 = 0,27k$).

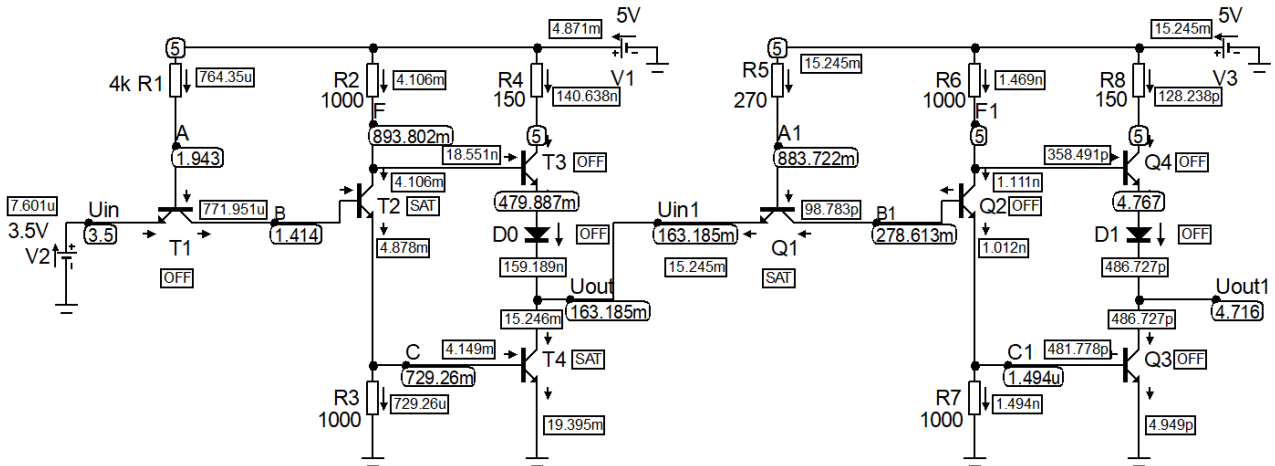


Рис. 3.17. Результати моделювання елемента ТТЛ СІ з $N = 15$ (приклад 3.4)

З результатів моделювання на рис.3.17 можна побачити, що струм колектору транзистора T_4 елемента-джерела не перевищує допустиме значення $I_{kmax} = 16 \text{ mA}$ і складає приблизно $15,2 \text{ mA}$.

Розглянемо випадок перенавантаження елемента-джерела, де до елемента-джерела підключено $N+1 = 16$ елементів навантаження (величина R_I елемента навантаження зменшена в 16 разів ($4k/16 = 0,25k$). На рис.3.18 приведені результати моделювання функціонування елемента ТТЛ СІ при його перенавантаженні.

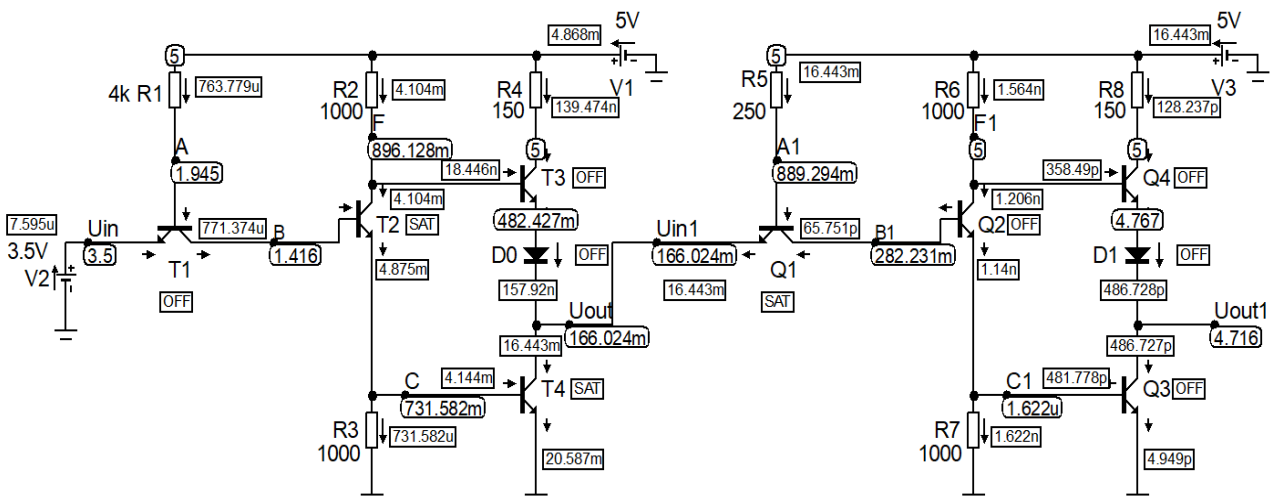


Рис. 3.18. Результати моделювання елемента ТТЛ СІ з $N = 16$ (приклад 3.4)

З результатів моделювання на рис.3.18 можна побачити, що струм колектору транзистора T_4 елемента-джерела перевищує припустиме значення $I_{kmax} = 16 mA$ і складає $16,4mA$.

На цьому виконання прикладу 3.4 завершено.

Контрольні завдання та запитання

1. Яким чином виконати розрахунок статичної споживаної потужності низького рівня елемента ТТЛ СІ?
2. Яким чином виконати розрахунок статичної споживаної потужності високого рівня елемента ТТЛ СІ?
3. Як розрахувати середню споживану потужність логічного елемента?
4. Чому динамічна споживана потужність перевищує статичну споживану потужність?
5. Порівняйте значення споживаної потужності високого і низького рівнів елемента ТТЛ СІ.
6. В яких одиницях вимірюється статична завадостійкість елемента ТТЛ?
7. Поясніть, яким чином використовуючи передатну характеристику, визначити завадостійкість елемента ТТЛ?
8. Скільки порогових напруг переключення характеризують функціонування елемента ТТЛ СІ?
9. Що відбувається в елементі ТТЛ СІ, якщо вхідна напруга досягне значення U_{II} при зміні вхідної напруги від низького до високого рівня?
10. Що відбувається в елементі ТТЛ СІ, якщо вхідна напруга досягне значення U_{II} при зміні вхідної напруги від високого до низького рівня?
11. Поясніть фізичний сенс параметра U_{II} ?
12. Як визначити U_{II} для елемента ТТЛ СІ?
13. Як визначити припустиме мінімальне значення вхідної напруги верхнього рівня елемента ТТЛ СІ?
14. Як визначити припустиме максимальне значення вхідної напруги низького рівня елемента ТТЛ СІ?
15. В чому полягає різниця між кількістю порогових напруг елементів з переключенням напруги і елементів з переключенням струму?
16. Визначити завадостійкість елемента ТТЛ СІ з параметрами: $E = 5V$; $R_1 = 4k$; $R_2 = 1k$; $R_3 = 1k$; $R_4 = 0,15k$; $I_{km} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7V$; $U_{кен} = 0,1V$; $m = 1$; $I_{kmax} = 16mA$; $U_{in}^L = 0,3V$; $U_{in}^H = 3,6V$.
17. Скільки діодів зміщення міститься в елементі ТТЛ СІ?
18. Які елементи транзисторів в ТТЛ СІ виконують роль діодів зміщення?
19. Для чого використовується діапазон неприпустимих значень вхідної напруги логічних елементів з переключенням струму?
20. Як завадостійкість елемента ТТЛ залежить від величин номіналів резисторів цього елемента?
21. Для чого до виходу елемента ТТЛ на рис.3.14 підключено резистор навантаження R_L ?
22. Прокоментуйте передатну характеристику, приведену на рис.3.15.

23. Як використовуючи характеристику, приведену на рис.3.15, визначити завадостійкість низького рівня?
24. Як використовуючи характеристику, приведену на рис. 3.15, визначити завадостійкість високого рівня?
25. Для якого стану транзистора T_4 елемента-джерела ТТЛ СІ необхідно розраховувати коефіцієнт розгалуження?
26. Для якого рівня вихідної напруги елемента-джерела ТТЛ СІ необхідно розраховувати коефіцієнт розгалуження?
27. В якому стані перебувають транзистори елементів навантаження для визначення коефіцієнта розгалуження елемента ТТЛ СІ?
28. В чому полягає різниця при визначенні коефіцієнта розгалуження елементів з переключенням струму і елемента ДТЛ ПН І- НІ?
29. В чому полягає різниця при визначенні коефіцієнта розгалуження елементів з переключенням струму і елемента ДТЛ ПН АБО- НІ?
30. Прокоментуйте схему заміщення на рис.3.16.
31. Яким чином отримано вираз (3.13)?
32. Що відбувається в схемі на рис.3.16 при збільшенні кількості елементів навантаження?
33. За допомогою якого закону визначається напруга у вузлі A при низькому рівні напруги на вході елемента ТТЛ СІ?
34. За допомогою якого закону визначається вхідний струм при низькому рівні напруги на вході елемента ТТЛ СІ?
35. Прокоментуйте вирази (3.14).
36. Для чого використовується функція $int(X)$ у виразі (3.14)?
37. Визначити коефіцієнт розгалуження елемента ТТЛ ІІ. Параметри елемента: $E = 5V$; $R_1 = 3k$; $R_2 = 1k$; $I_{км} = 0$; $\beta = 20$; $U_{be} = 0,7V$; $U_{d0} = 0,7V$; $U_{кен} = 0,1V$; $U_{in}^H = 5V$; $I_{кmax} = 20mA$.
38. Визначити коефіцієнт розгалуження елемента ТТЛ СІ. Параметри елемента: $E = 5V$; $R_1 = 40k$; $R_2 = 5k$; $R_3 = 5k$; $R_4 = 0,5k$; $I_{км} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7V$; $U_{кен} = 0,1V$; $m = 1$; $I_{кmax} = 16mA$.
39. Поясніть різницю між параметрами N і k_{load} .
40. Чому на рис.3.16 транзистор T_4 елемента-джерела замінений джерелом напруги?
41. Чому на рис. 3.16 відсутні транзистори T_2 елементів навантаження?
42. Що відбувається в елементі ТТЛ СІ при його перенавантаженні?
43. Прокоментуйте результати моделювання на рис.3.17.
44. З якою метою необхідно забезпечити виконання умови $I_k < I_{кmax}$ для елементів ТТЛ?
45. Чи поновлюється працездатність елемента ТТЛ після усунення причин перенавантаження? Обґрунтуйте відповідь.
46. Як визначити вхідний струм елемента ТТЛ при низькому рівні вхідної напруги?
47. Як визначити вхідний струм елемента ТТЛ при високому рівні вхідної напруги?

48. Яким чином формується еквівалентна схема, яка замінює відразу кілька елементів навантаження ТТЛ?
49. Прокоментуйте результати моделювання на рис.3.18.
50. В чому полягає різниця в результатах моделювання елемента ТТЛ на рис.3.17 і рис.3.18?
51. Чому на рис.3.18 величина опору R_I еквівалентного елемента навантаження в 16 разів менше, ніж в елементі-джерелі сигналу?
52. З якою метою використовується коефіцієнт розгалуження?
53. Як зменшити величину споживаної потужності елементів ТТЛ?
54. Як збільшити коефіцієнт розгалуження елемента ТТЛ?
55. При якому стані транзистора T_4 елемент ТТЛ має меншу споживану потужність? Обґрунтуйте відповідь.
56. За якого рівня вхідного сигналу елемент ТТЛ має більшу завадостійкість?
57. Який параметр погіршується при збільшенні величин опору резисторів елемента ТТЛ?
58. Який параметр погіршується при зменшенні величин опору резисторів елемента ТТЛ?
59. Яким чином величина R_I впливає на значення коефіцієнта розгалуження?

3.4. Характеристики елементів ТТЛ

Серії інтегральних схем, побудованих за технологією ТТЛ, широко застосовуються при проектуванні цифрової апаратури. В якості прикладу можна відзначити серії $SN54xx/SN74xx$, які виробляється фірмою *Texas Instruments* [21, 22, 23]. Всі серії $SN54xx/SN74xx$ в основному являють собою цифрові вузли малого та середнього ступеню інтеграції (наприклад, логічні елементи, тригери, регістри, лічильники, дешифратори, мультиплексори тощо). Кожний з цих вузлів в різних серіях є однаковим з точки зору представлення на логічному рівні, але мають різні електричні параметри такі, як швидкодія та споживана потужність.

Крім елементів ТТЛ до складу серій $SN54xx/SN74xx$ входять також логічні елементи за *CMOS (КМОП)*-технологією та *BiCMOS*-технологією [23]. Для позначення серій також використовується код серії (до трьох символів, але він може бути і відсутнім), який конкретизує тип інтегральної схеми з точки зору електронної побудови. Різні типи кодів (L, S, LS, ALS, F тощо) та їх призначення детально розглядається в [23].

Розглянемо різновиди елементів ТТЛ з точки зору їх електронних параметрів.

Рекомендовані умови експлуатації [21, 22] на прикладі $SN74xx$ приведені в табл.3.1. Значення споживаної потужності залежить від складності логічних схем і табл.3.1 не приведені.

Мінімальне значення вхідної напруги високого рівня визначається необхідністю забезпечення закритого стану діода емітера транзистора T_1 при насиченні транзисторів T_4 і T_2 .

Таблиця 3.1. Рекомендовані умови експлуатації SN54xx/SN74xx

Параметр	Серія ІС	Значення		
		min.	nom.	max.
Напруга живлення, В	SN54xx	4,5	5	5,5
	SN74xx	4,75	5	5,25
Вхідна напруга високого рівня, В		2	3,5-3,6	4,5
Вхідна напруга низького рівня, В		-1,5	0-0,1	0,8
	SN54LSxx		0-0,1	0,7
Вихідний струм високого рівня, мА				-0,4
Вихідний струм низького рівня, мА	SN54, SN74			16
	SN54LSxx			4
	SN74LSxx			8
	SN74Sxx			20
Температура, °С	SN54	-55		125
	SN74	0		70
Час переключення у високий рівень, нс	SN74xx		11	22
	SN74LSxx		9	15
	SN74Sxx		3	4,5
Час переключення в низький рівень, нс	SN74xx		7	15
	SN74LSxx		10	15
	SN74Sxx		3	5
Коефіцієнт розгалуження (окрім спеціальних елементів)	SN54, SN74		10	

Максимальне значення вхідної напруги низького рівня повинно забезпечувати перебування транзисторів T_4 і T_2 в режимі відсічки.

Максимальне значення вихідного струму низького рівня разом зі значенням опору резистора R_I визначає коефіцієнт розгалуження елемента ТТЛ. Як зазначено в табл.3.1, значення коефіцієнта розгалуження для більшості елементів дорівнює десяти, але в складі серій інтегральних схем (ІС) існують елементи з підвищеною навантажувальною здатністю, коефіцієнт розгалуження яких дорівнює 30.

Крім того, коефіцієнт розгалуження визначає максимальну кількість елементів навантаження, які можуть бути підключені до виходу елемента-джерела за умови, що всі ці елементи належать до однієї серії ІС. Однак в складі схем цифрових пристроїв дуже часто до виходу елемента-джерела можуть підключатися елементи навантаження, які належать до різних серій ІС, що призводить до того, що для розрахунку можливої кількості підключених елементів навантаження не можна використовувати значення коефіцієнта розгалуження. В цьому випадку необхідно застосовувати спеціальні

таблиці або виконувати розрахунок можливості підключення заданої номенклатури та кількості елементів навантаження.

Використання спеціальних таблиць обмежено тим, що вони можуть застосовуватися тільки в тому випадку, коли всі елементи навантаження належать до однієї серії ІС, яка відрізняється від серії елемента-джерела.

Розглянемо розрахунок можливості підключення заданої номенклатури та кількості елементів навантаження ТТЛ, тобто визначимо навантажувальну здатність елемента-джерела для заданого навантаження.

В попередньому підрозділі було визначено, що при перенавантаженні вихідний транзистор елемента-джерела виходить з ладу, тому навантажувальна здатність може бути визначена за рахунок порівняння значення суми вхідних струмів всіх елементів навантаження і максимально допустимого вихідного струму елемента-джерела. Таким чином, необхідно забезпечити виконання умови [1]

$$I_{k\max}^{T4} > I_k^{T4}; \quad I_k^{T4} = \sum_{i=1}^{n_T} I_{in\ i} \cdot m_i, \quad (3.15)$$

де $I_{in\ i}$ – величина вхідного струму елемента навантаження i -того типу;

m_i – кількість елементів навантаження i -того типу;

n_T – кількість типів елементів навантаження;

I_k^{T4} – величина струму колектору транзистора T_4 елемента-джерела;

$I_{k\max}^{T4}$ – величина максимально допустимого струму колектору транзистора T_4 елемента-джерела.

Значення параметрів $I_{in\ i}$ і $I_{k\max}^{T4}$ наводяться в довідниках. Крім того, значення вхідного струму можна розрахувати за виразами (2.33), (2.34), знаючи R_1 . Визначення можливості підключення заданої кількості елементів навантаження проілюстровано за допомогою структурної схеми на рис.3.19.

Значення опорів резисторів, що входять до складу базових серій ТТЛ $SN74$, $SN74L$, $SN74H$ приведені в табл.3.2.

Приклад 3.5. Визначити коректність функціонування елемента ТТЛ серії $SN74$ за умови, що до виходу цього елемента потрібно підключити по 5 елементів серій $SN74$, $SN74L$, $SN74H$. Значення резисторів елементів ТТЛ зазначених серій приведені в табл.3.2. Інші параметри елементів: $E = 5B$; $I_{km} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7B$; $U_{кен} = 0,15B$; $m = 1$; $I_{k\max} = 16mA$.

Розв'язок.

Відповідно до виразу (3.15) необхідно визначити величин вхідних струмів низького рівня для елементів навантаження кожної серії. Використовуючи вирази (2.33), (2.34), отримаємо формули для розрахунку вхідного струму низького рівня I_{in}^L для кожної заданої серії ТТЛ

$$U_A = U_{in}^L + U_{be}^{T1}; \quad I_0^{T1} = \frac{E - U_A}{R_1}; \quad I_{in}^L = I_e^{T1} = I_0^{T1} + I_{km} \approx I_0^{T1}.$$

Результати розрахунку приведені в табл.3.3.

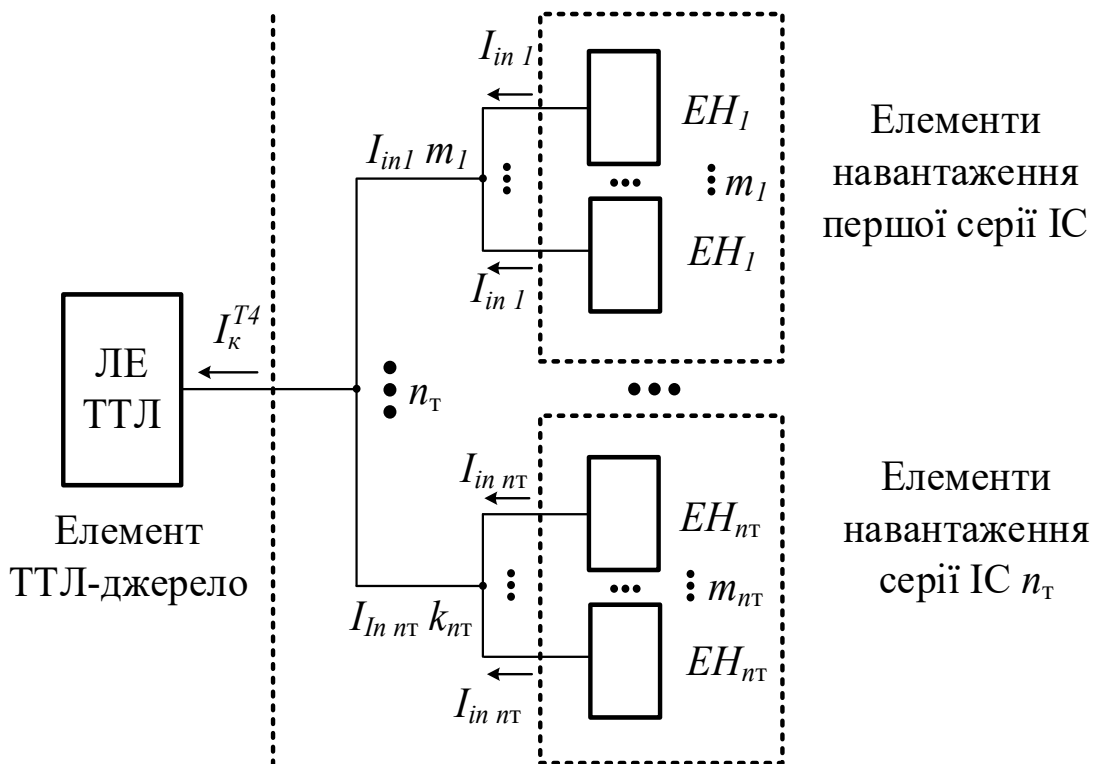


Рис. 3.19. Структурна схема для визначення навантажувальної здатності елементів ТТЛ

Таблиця 3.2. Значення опорів елементів ТТЛ базових серій

Серії ТТЛ	Опори резисторів, кОм			
	R_1	R_2	R_3	R_4
SN74	4	1,6	1	0,13
SN74L	40	20	12	0,5
SN74H	2,8	0,7	0,47	0,058

Таблиця 3.3. Значення вхідного струму низького рівня (приклад 3.5)

Вхідний струм I_{in}^L, mA	Серія ІС ТТЛ		
	SN74	SN74L	SN74H
	1,038	0,1038	1,48

В результаті струм навантаження елемента-джерела SN74 відповідно до (3.15) складає

$$I_k^{T4} = I_{in SN74} \cdot 5 + I_{in SN74L} \cdot 5 + I_{in SN74H} \cdot 5 = 5 \cdot (I_{in SN74} + I_{in SN74L} + I_{in SN74H}) = 5 \cdot (1,038 + 0,1038 + 1,48) = 13,1 mA.$$

Таким чином, струм колектору T_4 не перевищує максимально допустиме значення $I_{k max}^{T4}$, тобто до елемента-джерела можна підключати зазначене в умові прикладу навантаження.

Виконаємо перевірку результату розрахунків за допомогою моделювання. Результати моделювання приведені на рис.3.20.

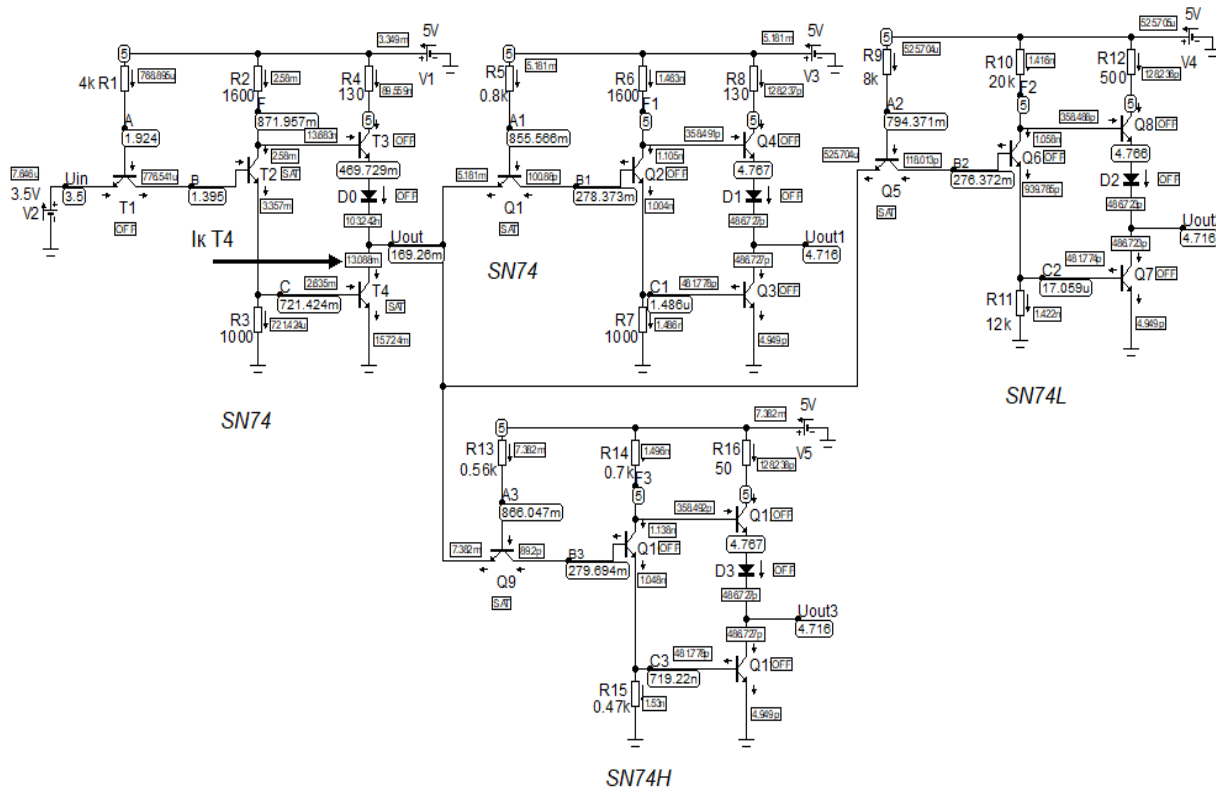


Рис. 3.20. Результати моделювання за умови прикладу 3.5

На рис.3.20 до виходу елемента-джерела підключені елементи навантаження, що являють собою еквівалентні схеми відразу п'ятих елементів ТТЛ. У кожного з цих елементів величина опору R_l зменшена в п'ять разів відповідно до умови завдання. На результатах моделювання можна побачити, що величина струму $I_{к}^{T4}$ складає $13,09mA$ (на рис.3.20 показано стрілкою), що відповідає результатам розрахунків.

На цьому розв'язання прикладу 3.5 завершено.

3.4.1. Передатна характеристика елементів ТТЛ

Передатна характеристика елемента ТТЛ, яка ілюструє залежність вихідної напруги від вхідної $U_{out} = f(U_{in})$, приведена на рис.3.21.

На передатній характеристиці можна виділити 4 ділянки.

Перша ділянка характеризує статичний режим роботи елемента ТТЛ, при якому напруга на вході елемента відповідає низькому рівню, а вихідна – високому рівню. На цій ділянці величина вихідної напруги залишається на постійному рівні і не залежить від зміни значення вхідної напруги.

Підвищення рівня вхідної напруги U_{in} визиває збільшення потенціалу бази транзистора T_1 відповідно до виразу (2.33). Коли U_{in} досягає значення $U_{in I-II}$, де $U_{in I-II}$ – вхідна напруга на межі першої та другої ділянок, то відбувається відпирання діода емітера транзистора T_2 , в результаті чого T_2 починає працювати в лінійному режимі, тобто з'являються струми бази і колектору цього транзистора. Це визиває збільшення падіння напруги на R_2 і зменшення рівня вихідної напруги відповідно до виразу (3.7). Таким чином, на другій ділянці

вихідна напруга U_{out} знижується, але при цьому ще відповідає високому рівню. Нахил характеристики на цій ділянці визначається співвідношенням значень опорів R_2 і R_3 .

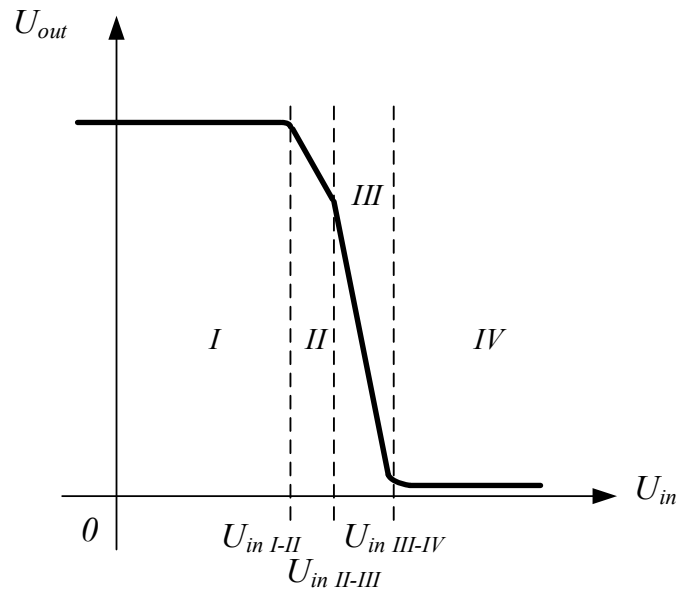


Рис. 3.21. Передатна характеристика елемента ТТЛ

При подальшому підвищенні вхідної напруги до величини $U_{in II-III}$ (межа другої і третьої ділянки), відкривається транзистор T_4 і обидва транзистори (T_2 і T_4) переключаються в режим насичення. На третій ділянці вихідна напруга елемента швидко знижується до низького рівня.

Далі, при підвищенні U_{in} до величини $U_{in III-IV}$ починається ($U_{in III-IV}$ – межа третьої і четвертої ділянки) четверта ділянка передатної характеристики. Ця ділянка, як і перша, характеризує статичний режим роботи елемента ТТЛ, при якому напруга на вході елемента відповідає високому рівню, а вихідна – низькому рівню. На цій ділянці величина вихідної напруги залишається на постійному рівні і не залежить від подальшого підвищення рівня вхідної напруги.

Таким чином, ділянки I і IV відповідають статичному режиму функціонування елемента. Ділянка II теж може використовуватися в статичному режимі роботи елемента ТТЛ, але необхідно мати на увазі зниження величини вихідної напруги високого рівня. На ділянці III відбувається зміна рівня вихідної напруги, тобто ця ділянка відповідає динамічному режиму роботи елемента. В результаті вхідна напруга між значеннями $U_{in II-III}$ і $U_{in III-IV}$ є неробочою і не може використовуватися в статичному режимі.

На рис.3.22 приведена передатна характеристика елемента серії IC SN74.

Відповідно до результатів моделювання передатної характеристики елемента ТТЛ можна визначити, що

$$U_{in I-II} = 0,43B; U_{in II-III} = 1,3B; U_{in III-IV} = 1,4B.$$

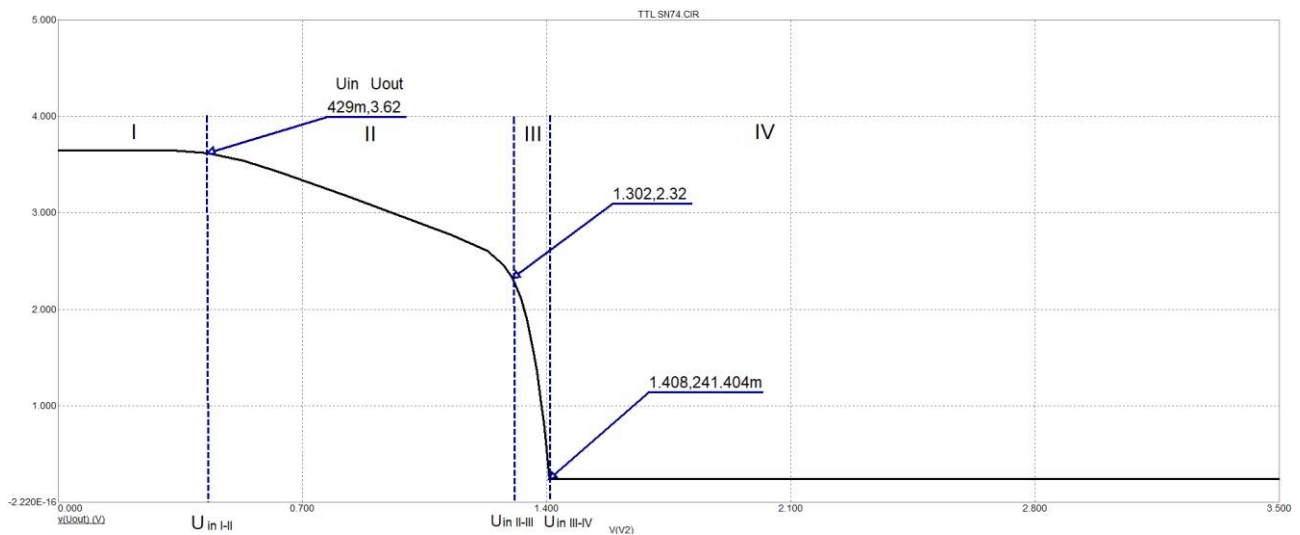


Рис. 3.22. Передатна характеристика елемента ТТЛ SN74

Контрольні завдання та запитання

1. В чому полягає різниця між серіями IC *SN74xx* і *SN54xx*?
2. В чому полягає різниця між серіями IC *SN74xx*, *SN74L* і *SN74H*?
3. В яких межах може змінюватися напруга живлення елементів *SN74xx*?
4. Яка величина мінімальної вхідної напруги високого рівня елементів ТТЛ?
5. Яка величина максимальної вхідної напруги низького рівня елементів ТТЛ?
6. Яке максимальне значення вихідного струму низького рівня елементів серії *SN74*?
7. Чим визначається мінімальне значення вхідної напруги високого рівня елементів ТТЛ?
8. Чим визначається максимальне значення вхідної напруги низького рівня елементів ТТЛ?
9. Як визначити можливість підключення елементів навантаження різних серій, які можуть бути під'єднані до виходу елемента ТТЛ?
10. Які обмеження до використання мають таблиці для визначення кількості навантажень елемента ТТЛ, якщо серія елемента-джерела відрізняється від серії елементів навантаження?
11. Поясніть різницю між навантажувальною здатністю і коефіцієнтом розгалуження.
12. Прокоментуйте вираз (3.15).
13. Для чого використовується нерівність $I_{k\ max}^{T4} > I_k^{T4}$?
14. Що відбувається в елементі-джерелі, якщо струм навантаження перевищує допустимий струм колектору транзистора T_4 ?
15. Як визначити вхідний струм низького рівня елемента навантаження?
16. В якому режимі перебувають вихідні транзистори елемента-джерела для визначення коефіцієнта розгалуження?
17. Прокоментуйте структурну схему на рис.3.19.

18. Аналізуючи значення резисторів в табл.3.2, обґрунтуйте різницю між споживаною потужністю і швидкодією елементів серій *SN74*, *SN74L* і *SN74H*.
19. Як необхідно змінювати значення опорів в елементі ТТЛ для зменшення споживаної потужності?
20. Як необхідно змінювати значення опорів в елементі ТТЛ для збільшення швидкодії?
21. Визначити коректність функціонування елемента ТТЛ серії *SN74* за умови, що до виходу цього елемента потрібно підключити по 3 елементи серії *SN74*, 9 елементів серії *SN74L*, 2 елементи серії *SN74H*. Значення резисторів елементів ТТЛ зазначених серій приведені в табл.3.2. Інші параметри елементів: $E = 5B$; $I_{km} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{oe} = 0,7B$; $U_{кен} = 0,15B$; $m = 1$; $I_{kmax} = 16mA$.
22. Визначити коректність функціонування елемента ТТЛ серії *SN74H* за умови, що до виходу цього елемента потрібно підключити по 3 елементи серії *SN74*, 9 елементів серії *SN74L*, 2 елементи серії *SN74H*. Значення резисторів елементів ТТЛ зазначених серій приведені в табл.3.2. Інші параметри елементів: $E = 5B$; $I_{km} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{oe} = 0,7B$; $U_{кен} = 0,15B$; $m = 1$; $I_{kmax} = 20mA$.
23. Визначити коректність функціонування елемента ТТЛ серії *SN74L* за умови, що до виходу цього елемента потрібно підключити по 2 елементи серії *SN74*, 5 елементів серії *SN74L*, 1 елемент серії *SN74H*. Значення резисторів елементів ТТЛ зазначених серій приведені в табл.3.2. Інші параметри елементів: $E = 5B$; $I_{km} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{oe} = 0,7B$; $U_{кен} = 0,15B$; $m = 1$; $I_{kmax} = 8mA$.
24. Прокоментуйте результати моделювання на рис.3.20.
25. Яким чином отримані схеми елементів ТТЛ, які є еквівалентними відразу кільком елементів навантаження?
26. Прокоментуйте характеристику на рис.3.21.
27. Яку залежність описує передатна характеристика елемента ТТЛ?
28. Що відбувається на ділянці *I* передатної характеристики на рис.3.21?
29. Що відбувається на ділянці *IV* передатної характеристики на рис.3.21?
30. Що спільного між ділянками *I* і *IV* передатної характеристики на рис.3.21?
31. Що відбувається на ділянці *II* передатної характеристики на рис.3.21? 7
32. Поясніть, чому на ділянці *II* передатної характеристики спостерігається зниження вихідної напруги?
33. В якому режимі працюють транзистори елемента ТТЛ на ділянці *I* передатної характеристики?
34. В якому режимі працюють транзистори елемента ТТЛ на ділянці *II* передатної характеристики?
35. Поясніть фізичний сенс напруги $U_{in I-II}$.
36. Чим визначається нахил передатної характеристики на ділянці *II* передатної характеристики?

37. Якому рівню відповідає вихідна напруга елемента ТТЛ на ділянці II передатної характеристики?
38. В якому режимі працюють транзистори елемента ТТЛ на ділянці III?
39. В якому режимі працюють транзистори елемента ТТЛ на ділянці IV?
40. Як визначити завадостійкість елемента ТТЛ, використовуючи передатну характеристику?
41. Поясніть фізичний сенс напруги $U_{in II-III}$.
42. Що відбувається на ділянці III передатної характеристики на рис.3.21?
43. Поясніть фізичний сенс напруги $U_{in III-IV}$.
44. Яка ділянка передатної характеристики на рис.3.21 відповідає динамічному режиму роботи елемента ТТЛ? Обґрунтуйте відповідь.
45. Які ділянки передатної характеристики на рис.3.21 відповідають статичному режиму роботи елемента ТТЛ? Обґрунтуйте відповідь.
46. Прокоментуйте передатну характеристику на рис.3.22.

3.4.2. Вхідна характеристика елементів ТТЛ

Вхідна характеристика елемента ТТЛ, яка ілюструє залежність вхідного струму від вхідної напруги $I_{in} = f(U_{in})$, приведена на рис.3.23.

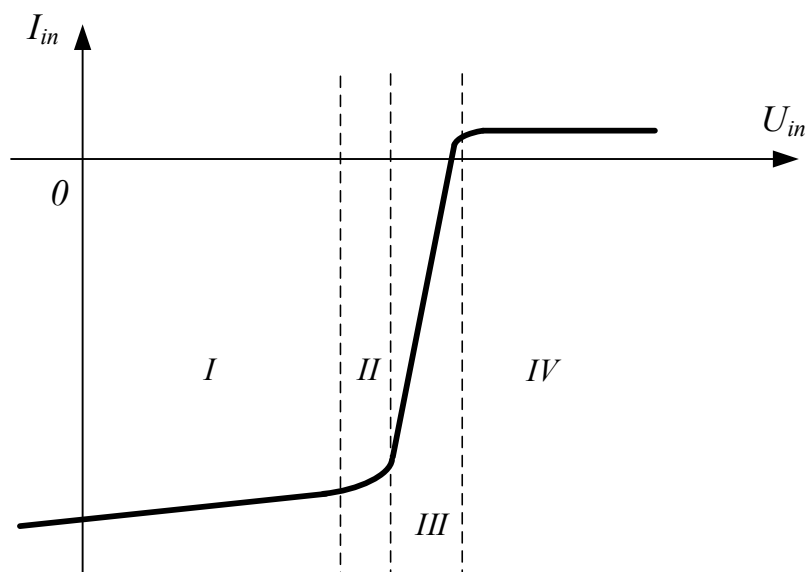


Рис. 3.23. Вхідна характеристика елемента ТТЛ

На вхідній характеристиці виділено 4 ділянки, хоча ділянки I і II можна об'єднати в одну, але для відповідності з передатною характеристикою будемо також використовувати розділення вхідної характеристики на 4 ділянки.

Перша і друга ділянки характеризують статичний режим роботи елемента ТТЛ, при якому напруга на вході елемента відповідає низькому рівню, а вихідна – високому рівню, хоча, як було розглянуто в попередньому підрозділі, вихідна напруга елемента на другій ділянці знижується. Нагадаємо, що струм, що витікає з будь-якого пристрою вважається від'ємним, а струм, що втікає – додатним. При низькому рівні вхідної напруги U_{in} вхідний струм

низького рівня I_{in}^L витікає з елемента ТТЛ (див. підрозділ 3.2), тому на рис.3.23 цей струм показаний у від'ємній частині характеристики.

При підвищенні вхідної напруги відбувається збільшення напруги на базі транзистора T_1 відповідно до виразів (2.33). Це визиває зниження величини вхідного струму (за модулем), що відображується на ділянках I, II . Нахил вхідної характеристики на цих ділянках залежить від значення опору резистора R_1 .

Коли напруга на базі T_1 стане достатньою для відпирання двох $p-n$ переходів (переходи база-емітер транзисторів T_2 і T_4) $U_{in II-III}$, то подальше підвищення вхідної напруги визиває запирання переходу база-емітер транзистора T_1 і переключення його в інверсний режим, в результаті чого вхідний струм елемента ТТЛ швидко знижується до нуля (третья ділянка вхідної характеристики). Після переключення транзисторів T_2 і T_4 в режим насичення вхідний струм високого рівня I_{in}^H буде втікати в елемент ТТЛ, але в зв'язку з дуже малим значенням β_i (див. підрозділ 3.2) величина цього струму буде дуже малою і не залежить від вхідної напруги.

Таким чином, як і для передатної характеристики, ділянка III характеризує динамічний режим роботи елемента ТТЛ, а вхідна напруга між значеннями $U_{in II-III}$ і $U_{in III-IV}$ є неробочою і не може використовуватися в статичному режимі.

На рис.3.24 приведена вхідна характеристика елемента серії IC SN74.

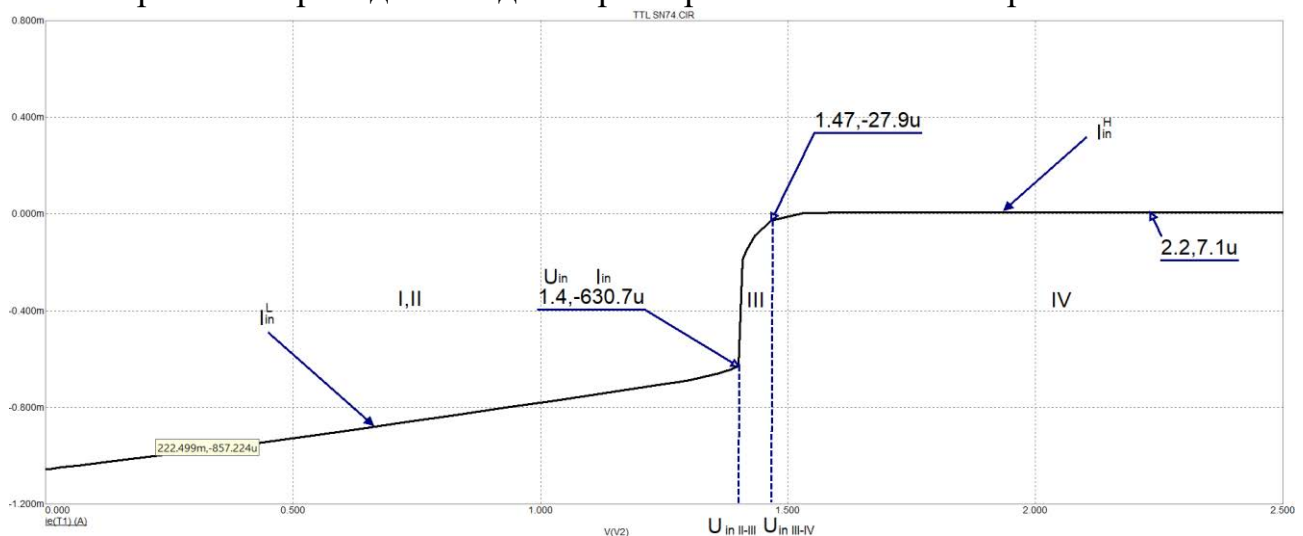


Рис. 3.24. Вхідна характеристика елемента ТТЛ SN74

На рис.2.34 показані вхідні струми низького I_{in}^L і високого рівня I_{in}^H відповідно. Величина I_{in}^H складає $7,1\text{мкА}$ і не залежить від U_{in} , а межі ділянки II відповідають напругам $U_{in II-III} = 1,4\text{В}$; $U_{in III-IV} = 1,47\text{В}$, тобто ширина третьої ділянки складає всього 70мВ .

Вхідна характеристика може використовуватися, наприклад, для визначення вхідного струму низького рівня в разі відсутності інформації про значення опору резистора T_1 , тобто при визначенні коефіцієнта розгалуження або навантажувальної здатності тощо. У випадку відсутності інформації про вхідну характеристику її можна отримати експериментально.

Контрольні завдання та запитання

1. Яку залежність описує вхідна характеристика елемента ТТЛ?
2. Прокоментуйте характеристику на рис.3.23.
3. Як визначити вхідний струм низького рівня елемента ТТЛ за допомогою вхідної характеристики?
4. Як визначити вхідний струм низького рівня елемента ТТЛ аналітично?
5. Як визначити вхідний струм високого рівня елемента ТТЛ за допомогою вхідної характеристики?
6. Чому вхідний струм високого рівня не залежить від вхідної напруги?
7. Скільки ділянок можна виділити на вхідній характеристиці елемента ТТЛ?
8. В чому полягає різниця між ділянками *I* і *IV*?
9. Що відбувається в елементі ТТЛ на першій і другій ділянках вхідної характеристики?
10. Чому при підвищенні рівня вхідної напруги на першій і другій ділянках спостерігається зменшення вхідного струму за абсолютною величиною?
11. Що відбувається в елементі ТТЛ на третій ділянці вхідної характеристики?
12. Яка ділянка вхідної характеристики елемента ТТЛ описує вхідний струм низького рівня?
13. Що відбувається в елементі ТТЛ на четвертій ділянці вхідної характеристики?
14. Яка ділянка вхідної характеристики елемента ТТЛ описує вхідний струм високого рівня?
15. Чому на першій ділянці вхідний струм є від'ємним?
16. Чи є напрями вхідних струмів низького і високого рівнів однаковими? Обґрунтуйте відповідь.
17. Чим визначається нахил вхідної характеристики елемента ТТЛ на першій ділянці?
18. Чому вхідний струм високого рівня має дуже малі значення?
19. В яких режимах працюють транзистори елемента ТТЛ на ділянках *I* і *II* вхідної характеристики?
20. В яких режимах працюють транзистори елемента ТТЛ на ділянці *IV* вхідної характеристики?
21. Що спільного можна відзначити між ділянками *I* і *IV* вхідної характеристики елемента ТТЛ?
22. Поясніть, чому на ділянці *III* передатної характеристики спостерігається зниження вхідного струму за абсолютною величиною?
23. Яка ділянка вхідної характеристики відповідає динамічному режиму роботи елемента ТТЛ? Обґрунтуйте відповідь.
24. Які ділянки вхідної характеристики відповідають статичному режиму роботи елемента ТТЛ? Обґрунтуйте відповідь.
25. Прокоментуйте характеристику на рис.3.24.

26. Як визначати величину вхідного струму за допомогою вхідної характеристики при розрахунку величини коефіцієнта розгалуження?

3.4.3. Вихідна характеристика елементів ТТЛ

Вихідна характеристика логічного елемента ілюструє залежність вихідної напруги від вихідного струму $U_{out} = f(I_{out})$. В зв'язку з тим, елемент може перебувати в двох станах, то розрізняють вихідні характеристики низького і високого рівнів, якщо на виході елемента сформований низький або високий рівень напруги відповідно. Вихідний струм логічного елемента фактично є його струмом навантаження, тому далі будемо розглядати вихідний струм в цьому контексті.

На рис.3.25 приведена узагальнена вихідна характеристика елемента ТТЛ, на якій можна виділити 3 ділянки.

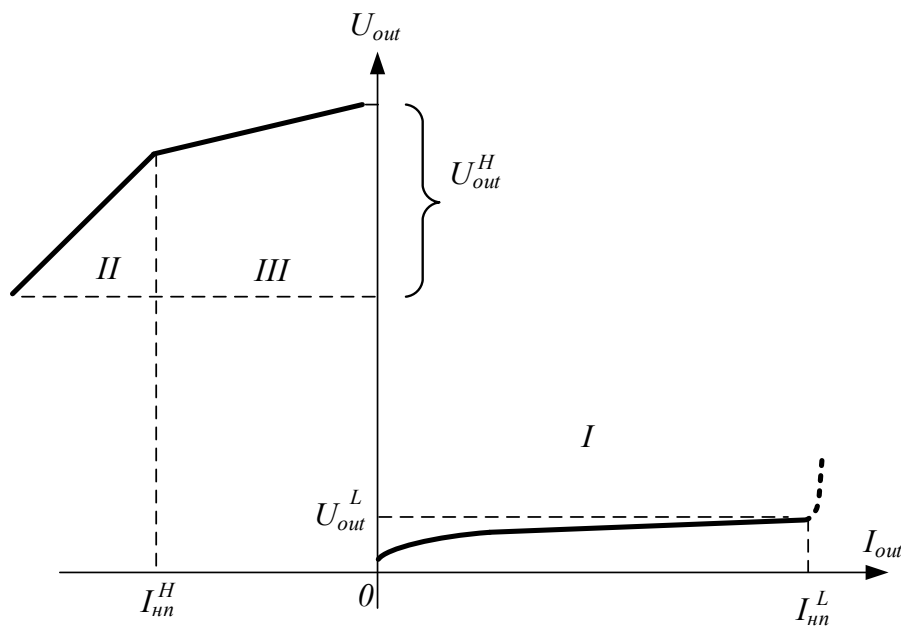


Рис. 3.25. Вихідна характеристика елемента ТТЛ

На першій ділянці показана вихідна характеристика низького рівня, яка схожа на вольт-амперну характеристику діода. На цій ділянці характеристика практично є горизонтальною, тобто вихідна напруга низького рівня U_{out}^L дорівнює $U_{кен}^{T_4}$, складає $0,05-0,2V$ і практично не залежить від струму навантаження.

Коли струм навантаження досягне або перевищить величину порогового струму навантаження низького рівня I_{nn}^L , де $I_{nn}^L = I_{\sigma}^{T_4} \cdot \beta$, транзистор T_4 переключиться з насичення в лінійний режим, в результаті чого вихідна напруга зростає (на рис.3.25 показано пунктиром). Але елементи ТТЛ побудовані таким чином, що $I_{nn}^L > I_{к max}^{T_4}$, тому лінійний режим T_4 є неможливим.

Струм навантаження на першій ділянці втікає в елемент ТТЛ, тому на рис.3.25 цей струм є додатнім і показаний в першому квадранті характеристики.

Ділянки II і III відповідають вихідній характеристиці високого рівня, тобто на виході елемента спостерігається напруга високого рівня. Нагадаємо, що струм

навантаження при високому рівні напруги на виході витікає з елемента, тому на рис.3.25 він показаний як від'ємний.

Якщо струм навантаження перевищує (за абсолютною величиною) величину порогового струму високого рівня I_{nn}^H , де цей струм визначається за виразом (3.5) або (3.6), то транзистор T_3 елемента ТТЛ перебуває в режимі насичення (ділянка II вихідної характеристики). Нахил характеристики на цій ділянці залежить від значень опорів резисторів R_2 і R_4 . Якщо струм навантаження менше I_{nn}^H , то T_3 перебуває в лінійному режимі (ділянка III вихідної характеристики). Нахил характеристики на цій ділянці залежить від значення опору R_2 .

Виконаємо моделювання вихідної характеристики високого і низького рівнів. Спочатку розглянемо вихідну характеристику високого рівня, яка може бути отримана за допомогою двох способів. Перший спосіб є опосередкованим і полягає в тому, що між виходом елемента ТТЛ і загальним виводом підключається резистор навантаження R_{load} . За допомогою зміни величини опору цього резистора отримуємо відповідні значення струму навантаження I_n за законом Ома: $I_n = U_{out}/R_{load}$, що дає можливість побудувати вихідну характеристику. На рис.3.26 приведені результати моделювання, які відображують залежність вихідної напруги U_{out} , струму навантаження високого рівня I_n (на рис.3.26 – I_{load}) від величини опору резистора навантаження R_{load} . Крім того, на рис.3.26 показана залежність напруги база-колектор транзистора T_3 від R_{load} , що ілюструє переключення транзистора T_3 з насичення в лінійний режим при збільшенні R_{load} , а, отже, при зменшенні I_{load} .

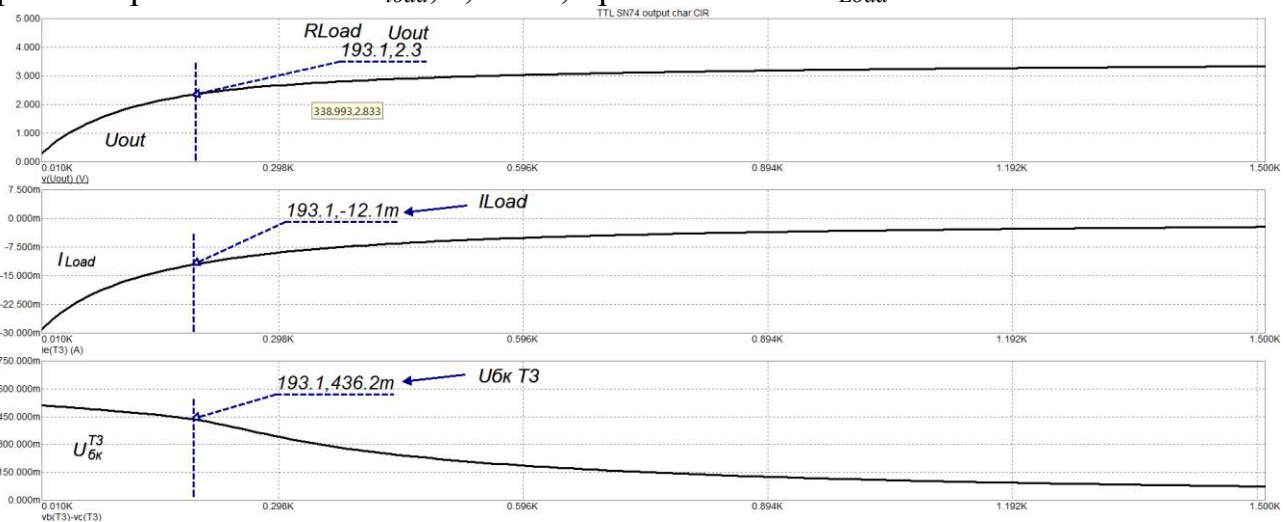


Рис. 3.26. Залежності $U_{out} = f(R_{load})$, $I_{load} = f(R_{load})$

Другий спосіб полягає в тому, що в якості навантаження використовується джерело струму I_n^H , зміна величини струму якого дає можливість отримати залежність $U_{out} = f(I_n^H)$.

На рис.3.27 приведені результати моделювання вихідної характеристики.

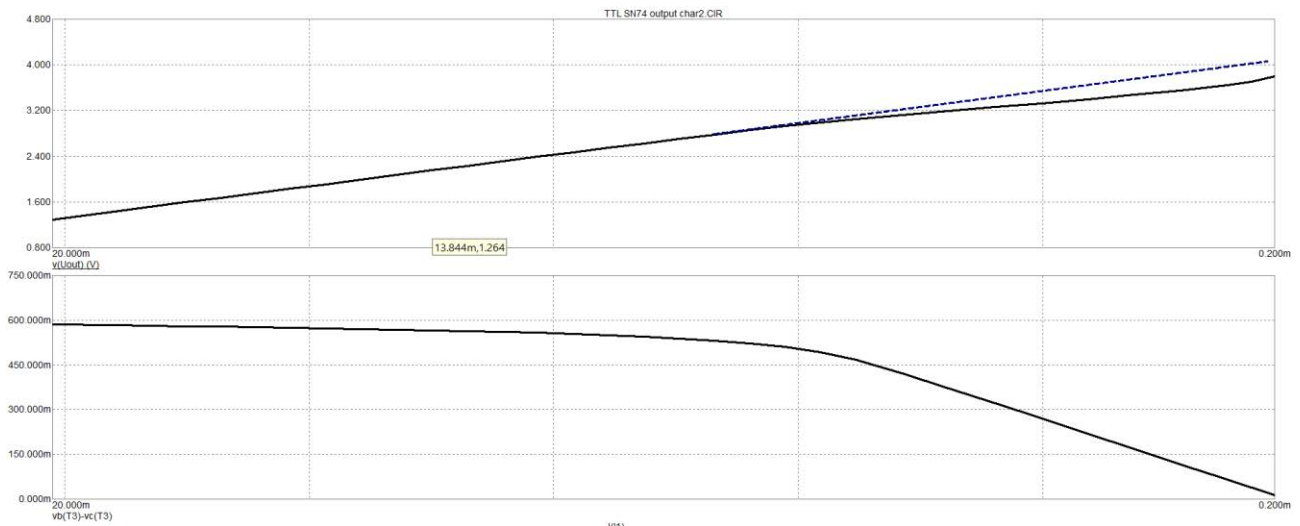


Рис. 3.27. Вихідна характеристики високого рівня елемента ТТЛ SN74

На рис.3.27 за допомогою пунктиру показано продовження вихідної характеристики, яка відповідає насиченню T_3 . Це дає можливість побачити, що нахил вихідної характеристики при насиченні T_3 більше, ніж при лінійному режимі цього транзистора, що відповідає вихідній характеристиці на рис.3.25. На рис.3.26 показана також залежність напруги база-колектор транзистора T_3 від струму навантаження, що ілюструє переключення транзистора T_3 між насиченням і лінійним режимом.

Далі розглянемо моделювання вихідної характеристики низького рівня, яка приведена на рис.3.28.

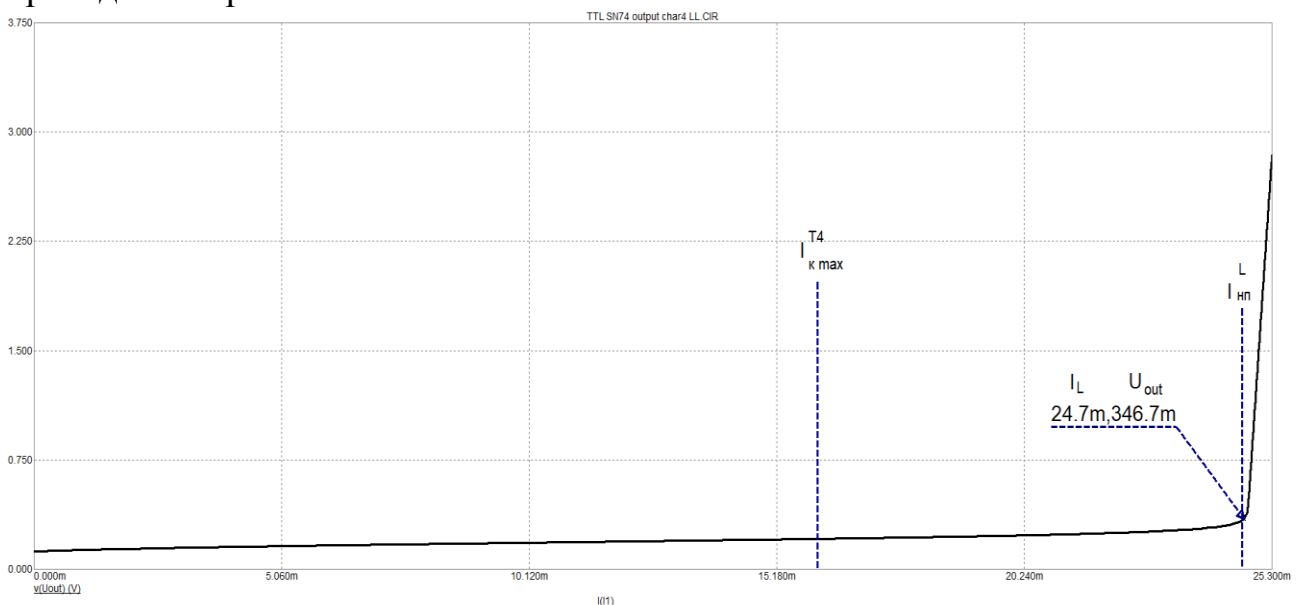


Рис. 3.28. Вихідна характеристики низького рівня елемента ТТЛ SN74

На рис.3.28 можна побачити, що при збільшенні струму навантаження, коли цей струм досягає величини порогового значення $I_{HH}^L = 24,7mA$, відбувається переключення транзистора T_4 з насичення в лінійний режим, в результаті чого вихідна напруга підвищується. Однак, приймаючи до уваги, що максимально

допустимий струм транзистора T_4 елемента ТТЛ $SN74$ складає 16 mA (див. табл.3.1), то транзистор T_4 працює в режимі насичення.

Контрольні завдання та запитання

1. Яку залежність описує вихідна характеристика елемента ТТЛ?
2. Чому вихідну характеристику доцільно розглядати окремо для високого і низького рівнів на виході?
3. Прокоментуйте характеристику на рис.3.25.
4. Як визначити вихідну напругу елемента ТТЛ за допомогою вихідної характеристики?
5. Яким чином можна змінювати вихідний струм елемента ТТЛ?
6. Як визначати вихідний струм елемента ТТЛ при низькому рівні вихідної напруги?
7. Як визначати вихідний струм елемента ТТЛ при високому рівні вихідної напруги?
8. Чому вихідні струми високого і низького рівнів мають різні знаки?
9. В якому напрямку в елементі ТТЛ протікає вихідний струм високого рівня?
10. В якому напрямку в елементі ТТЛ протікає вихідний струм низького рівня?
11. Скільки ділянок можна виділити на вихідній характеристиці елемента ТТЛ?
12. Що відбувається в елементі ТТЛ на першій ділянці вихідної характеристики?
13. Чому при підвищенні вихідного струму до величини I_{nn}^L на першій ділянці вихідної характеристики вихідна напруга елемента ТТЛ практично не змінюється?
14. Чому при перевищенні вихідного струму величини I_{nn}^L на першій ділянці вихідної характеристики вихідна напруга елемента ТТЛ збільшується?
15. Поясніть фізичний сенс струму I_{nn}^L .
16. В якому стані перебуває транзистор T_4 при низькому рівні вихідної напруги, якщо струм навантаження не перевищує I_{nn}^L ? Обґрунтуйте відповідь.
17. В якому стані перебуває транзистор T_4 при низькому рівні вихідної напруги, якщо струм навантаження перевищує I_{nn}^L ? Обґрунтуйте відповідь.
18. Як визначити струм I_{nn}^L ?
19. Який рівень вихідної напруги відповідає вихідній характеристиці елемента ТТЛ на першій ділянці?
20. Який рівень вихідної напруги відповідає вихідній характеристиці елемента ТТЛ на другій і третій ділянках?
21. Що відбувається в елементі ТТЛ на третій ділянці вихідної характеристики?

22. Що відбувається в елементі ТТЛ на другій ділянці вихідної характеристики?
23. Поясніть різницю між другою і третьою ділянками вихідної характеристики елемента ТТЛ?
24. В якому стані перебуває транзистор T_3 елемента ТТЛ при високому рівні вихідної напруги, якщо струм навантаження перевищує $I_{нп}^H$? Обґрунтуйте відповідь.
25. В якому стані перебуває транзистор T_3 елемента ТТЛ при високому рівні вихідної напруги, якщо струм навантаження не перевищує $I_{нп}^H$? Обґрунтуйте відповідь.
26. Чим визначається нахил вихідної характеристики високого рівня елемента ТТЛ на другій ділянці?
27. Чим визначається нахил вихідної характеристики високого рівня елемента ТТЛ на третій ділянці?
28. Як отримати вихідну характеристику низького рівня елемента ТТЛ експериментально?
29. Як отримати вихідну характеристику високого рівня елемента ТТЛ експериментально?
30. Чому в реальних елементах ТТЛ неможлива робота транзистора T_4 в лінійному режимі?
31. Як визначити струм $I_{нп}^H$?
32. Прокоментуйте результати моделювання на рис.3.26.
33. Яку інформацію можна отримати, знаючи напругу база-колектор T_3 ?
34. Прокоментуйте результати моделювання на рис.3.27.
35. Прокоментуйте результати моделювання на рис.3.28.
36. Поясніть співвідношення між струмами $I_{нп}^H$ і $I_{к\max}^{T4}$ на рис.3.28.
37. Чому на першій ділянці вихідної характеристики елемента ТТЛ вихідний струм є додатнім?
38. Чому на другій і третій ділянках вихідної характеристики елемента ТТЛ вихідний струм є від'ємним?
39. В яких режимах працюють транзистори елемента ТТЛ на ділянці I вихідної характеристики?
40. В яких режимах працюють транзистори елемента ТТЛ на ділянці II вихідної характеристики?
41. В яких режимах працюють транзистори елемента ТТЛ на ділянці III вихідної характеристики?
42. Що спільного можна відзначити між ділянками II і III вихідної характеристики елемента ТТЛ?

3.4.4. Динамічні характеристики елементів ТТЛ

Динамічні властивості визначають швидкодію елемента ТТЛ та можуть бути охарактеризовані наступними параметрами [1]:

- $t_{зр}$ – час затримки розповсюдження сигналу (час затримки спрацьовування елемента, *propagation delay*);

- $t_{\text{фр}}$ – тривалість фронту сигналу.

Час затримки розповсюдження сигналу (далі – час затримки) визначає проміжок часу між моментами переключення вхідних і вихідних сигналів.

На рис.3.29 приведені часові діаграми, що ілюструють перехідні процеси, які виникають під час переключення елемента ТТЛ.

На часовій діаграмі використовуються наступні позначення [1]:

- U^H, U^L – величини високого та низького рівнів елемента ТТЛ відповідно (див. табл.3.1);

- U_{Π} – порогова напруга переключення елемента ТТЛ (див. підрозділ 3.3);

- t_{3p}^{HL} – час затримки при переключенні елемента ТТЛ з високого рівня (ВР) в низький (НР);

- t_{3p}^{LH} – час затримки при переключенні елемента ТТЛ з НР у ВР;

- $t_{\text{фр}}^{HL}$ – тривалість фронту сигналу під час переключення з ВР в НР;

- $t_{\text{фр}}^{LH}$ – тривалість фронту сигналу під час переключення з НР у ВР;

- $U_{\text{фр}}^H$ – величина напруги високого рівня, яка використовується для відліку початку або кінця фронту сигналу;

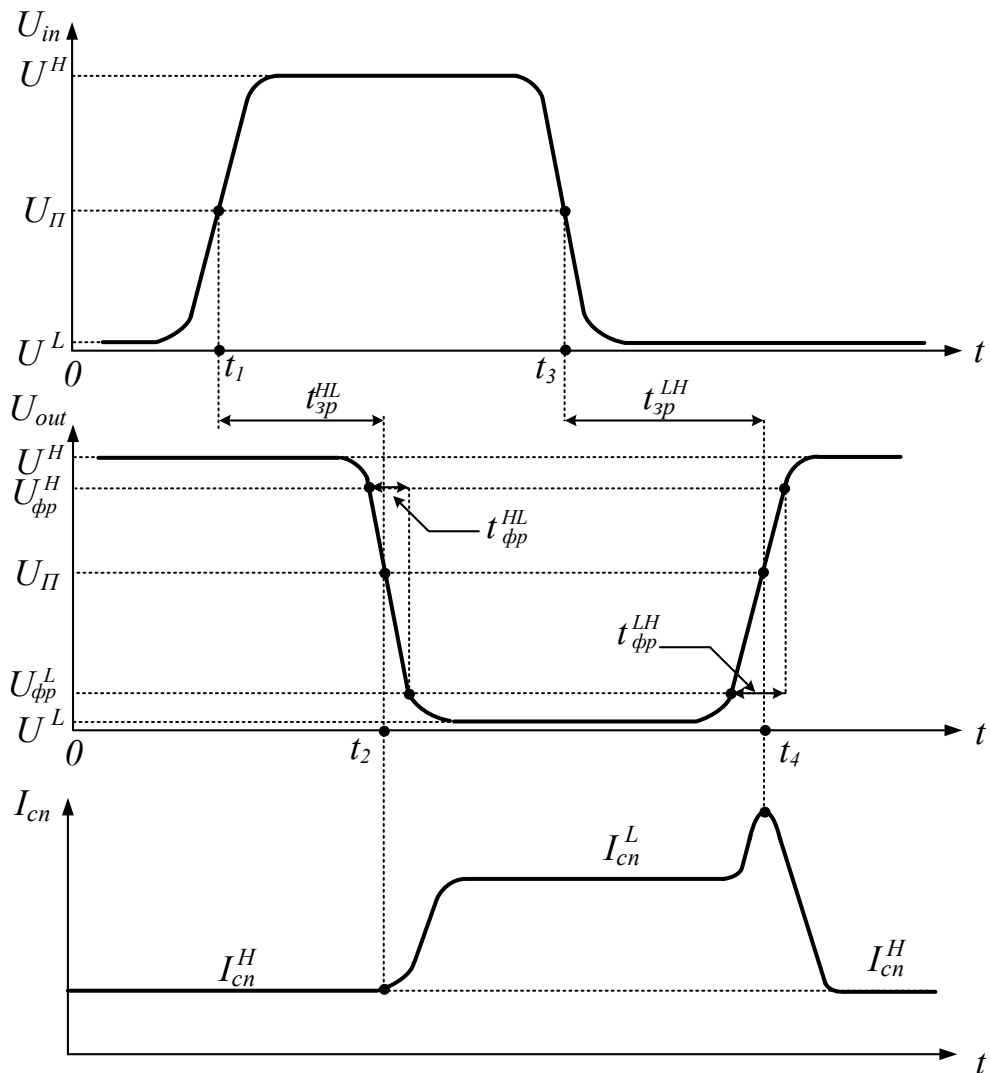


Рис. 3.29. Часові діаграми роботи елемента ТТЛ

- $U_{\text{фр}}^L$ – величина напруги низького рівня, яка використовується для відліку початку або кінця фронту сигналу;

- $I_{\text{сп}}$ – величина струму споживання;

- $I_{\text{сн}}^L, (I_{\text{сн}}^H)$ – величина струму споживання низького (високого) рівнів.

Величина $U_{\text{фр}}^H$ відзначається на рівні 90-95% від напруги високого рівня U^H .

Величина $U_{\text{фр}}^L$ перевищує величину низького рівня U^L на 5-10%, тобто $U_{\text{фр}}^L$ дорівнює від $1,05 U^L$ до $1,1 U^L$.

Розглянемо часові діаграми. Спочатку вхідна напруга переключується з НР U^L у ВР U^H . При досягненні цієї напругою порогової напруги переключення $U_{\text{п}}$ (момент t_1) починається поступове переключення транзисторів елемента ТТЛ. В момент, коли дійде черга до переключення T_4 , вихідна напруга U_{out} починає знижуватися. В момент t_2 вихідна напруга досягає величини $U_{\text{п}}$, на виході формується низький рівень напруги. Таким чином, інтервал часу (t_1, t_2) визначає час затримки при переключенні елемента ТТЛ з високого рівня в низький $t_{\text{зр}}^{HL}$.

Аналогічним чином вхідна напруга переключується з ВР в НР та в момент t_3 ця напруга досягає порогової напруги переключення. Елемент ТТЛ починає переключатися в низький рівень та в момент часу t_4 вихідна напруга досягає величини $U_{\text{п}}$, тобто інтервал часу (t_3, t_4) визначає час затримки при переключенні елемента ТТЛ з низького рівня у високий $t_{\text{зр}}^{LH}$. В загальному випадку значення величин $t_{\text{зр}}^{HL}$ і $t_{\text{зр}}^{LH}$ відрізняються один від одного (див. табл.3.1). При виконанні ручного аналізу функціонування цифрових схем можна використовувати середню затримку спрацьовування елемента ТТЛ, як середнє арифметичне від $t_{\text{зр}}^{HL}$ і $t_{\text{зр}}^{LH}$.

Окрім часу затримки динамічні властивості елемента ТТЛ також характеризуються тривалістю фронту сигналу, яка визначається часом, протягом якого рівень сигналу змінюється від $U_{\text{фр}}^L$ до $U_{\text{фр}}^H$ для переднього фронту сигналу або навпаки – для заднього фронту (див. рис.3.29). Тривалість фронту використовується для врахування інерційних властивостей елемента ТТЛ [1].

Під час переключення вхідної напруги з низького у високий рівень на базах транзисторів T_1, T_2 і T_4 теж підвищується, тобто відбувається заряд ємностей, що є в складі транзисторів [1]. В результаті формується затримка вмикання цих транзисторів, а потім починається сам процес вмикання, в результаті якого на виході елемента напруга починає знижуватися. Таким чином, затримка переключення елемента в низький рівень $t_{\text{зр}}^{HL}$ визначається зарядом ємностей транзисторів, а також розрядом зовнішньої по відношенню до елемента паразитної ємності навантаження.

При переключенні вхідної напруги з високого в низький рівень починається процес розсмоктування неосновних носіїв зарядів [1] з ділянки бази транзисторів T_2 і T_4 , після чого ці транзистори переключуються в режим відсічки протягом часу вимикання. Таким чином, затримка розповсюдження сигналу у високий рівень $t_{\text{зр}}^{LH}$ визначається часом розсмоктування та розряду внутрішніх ємностей

транзисторів T_2 і T_4 , а також часом заряду зовнішньої паразитної ємності навантаження.

Окрім ілюстрування динамічних параметрів на рис.3.29 приведена часова діаграма струму споживання елемента ТТЛ, де можна побачити, що струм споживання низького рівня I_{cn}^L більше аналогічного струму високого рівня I_{cn}^H за рахунок насичення транзистора T_2 . При цьому під час переключення елемента ТТЛ у високий рівень транзистори T_4 і T_3 одночасно перебувають в лінійному режимі або в насиченні поки транзистор T_3 відкривається, а T_4 закривається, що визиває появу наскрізного струму через ці транзистори та збільшення струму споживання (див. рис.3.29) на короткий час. У зв'язку з тим, що в цифрових пристроях переключення логічних елементів відбувається, як правило, синхронно, то одночасне перебування вихідних транзисторів елементів ТТЛ у відкритому стані визиває короткочасний стрибок струму споживання всього пристрою, що має негативний вплив на джерело живлення. Для захисту джерела живлення в принципові схеми цифрових пристроїв включають додаткові ємності для згладжування стрибків струму.

На рис.3.30 приведені результати моделювання динамічних параметрів елемента ТТЛ.

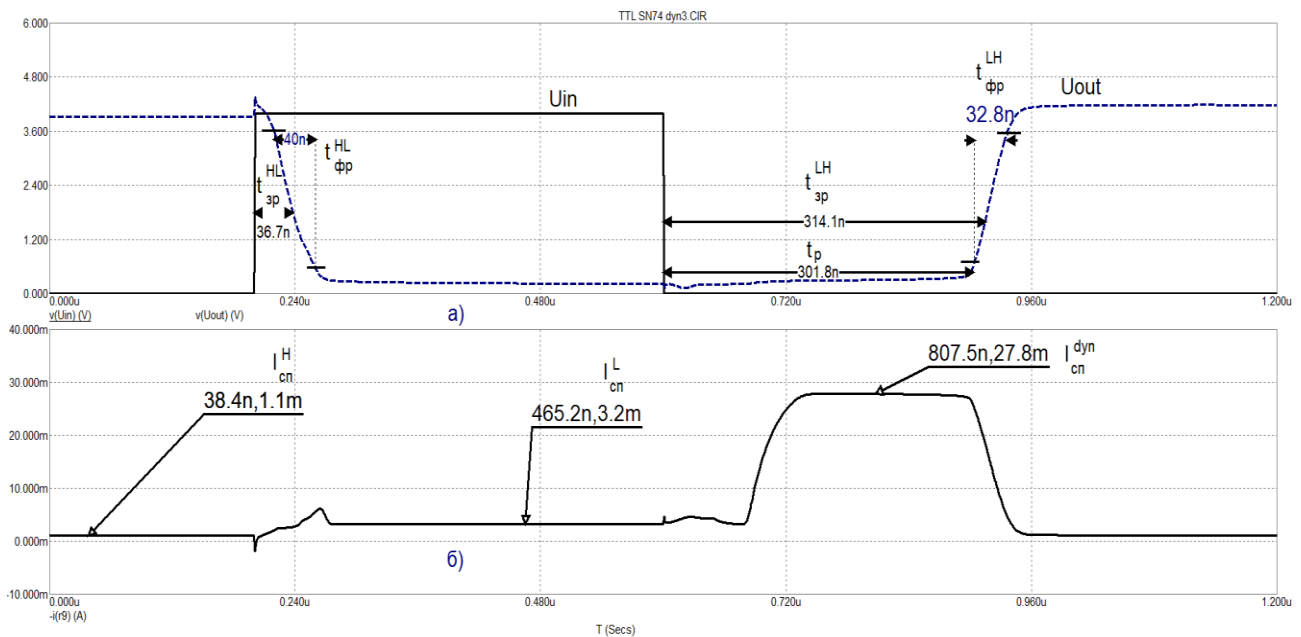


Рис. 3.30. Динамічні параметри елемента ТТЛ

На рис.3.30,а приведена часова діаграма динамічних параметрів елемента ТТЛ, з якої можна побачити, що тривалість фронтів вихідного сигналу складає $t_{фр}^{LH} = 32,8нс$; $t_{фр}^{HL} = 40нс$, а час затримки спрацьовування складає $t_{зр}^{HL} = 36,7нс$; $t_{зр}^{LH} = 314нс$. При цьому на часовій діаграмі видно, що в транзисторі T_4 відбувається процес розсмоктування неосновних носіїв зарядів протягом майже $t_p = 302нс$.

На рис.3.30,б приведена часова діаграма величини струму споживання в залежності від стану елемента ТТЛ. На часовій діаграмі видно, що величина струму споживання низького рівня $I_{cn}^L = 3,2mA$ вище аналогічного струму

високого рівня $I_{cn}^H = 1,1mA$. Окрім того, на часовій діаграмі можна побачити, що при переключенні вхідної напруги в низький рівень транзистор T_4 перебуває в режимі насичення протягом часу розсмоктування, а транзистор T_3 вже відкрився і теж перебуває в режимі насичення. В результаті в елементі з'являється наскрізний струм I_{cn}^{dyn} , який можна визначити за законом Ома

$$I_{cn}^{dyn} = \frac{E - U_{кен}^{T3} - U_{кен}^{T4} - U_{d0}}{R_4} = \frac{5 - 0,1 - 0,1 - 0,7}{0,15} = 27,3mA,$$

що відображується на діаграмі.

Контрольні завдання та запитання

1. Якими динамічними параметрами характеризується функціонування елемента ТТЛ?
2. Як визначити час затримки розповсюдження сигналу?
3. Як визначити тривалість переднього фронту сигналу?
4. Прокоментуйте часові діаграми на рис.3.29.
5. Які динамічні параметри ілюструють функціонування елемента ТТЛ на часовій діаграмі (рис.3.29)?
6. Чому струм споживання на рис.3.29 розглядається серед динамічних параметрів елемента ТТЛ?
7. При визначенні яких динамічних параметрів елемента ТТЛ використовується порогова напруга переключення?
8. Для чого використовуються параметри $U_{\phi p}^H$ і $U_{\phi p}^L$?
9. Поясніть, що відбувається в елементі ТТЛ під час зміни вхідної напруги з високого рівня в низький?
10. Поясніть, що відбувається в елементі ТТЛ під час зміни вхідної напруги з низького рівня у високий?
11. Який параметр елемента ТТЛ за допомогою часової діаграми на рис.3.29 визначається інтервалом (t_1, t_2) ?
12. Який параметр елемента ТТЛ за допомогою часової діаграми на рис.3.29 визначається інтервалом (t_3, t_4) ?
13. Як визначається величина середнього часу затримки розповсюдження сигналу?
14. Як визначити тривалість заднього фронту сигналу?
15. Якими процесами в елементі ТТЛ визначається $t_{зр}^{HL}$?
16. Якими процесами в елементі ТТЛ визначається $t_{зр}^{LH}$?
17. Прокоментуйте часову діаграму струму споживання елемента ТТЛ на рис.3.29?
18. Прокоментуйте часову діаграму вихідної напруги елемента ТТЛ на рис.3.29?
19. Який вплив мають стрибки струму споживання на роботу цифрових пристроїв?
20. Прокоментуйте часову діаграму на рис.3.30,а?
21. Прокоментуйте часову діаграму на рис.3.30,б?

22. Чому струм в елементі ТТЛ $I_{cn}^L > I_{cn}^H$?
23. Як визначити величину наскрізного струму через транзистори T_3 і T_4 в елементі ТТЛ?
24. В якому стані перебувають транзистори T_3 і T_4 елемента ТТЛ під час переключення вхідної напруги в низький рівень?
25. Приведіть часову діаграму роботи елемента ТТЛ інвертувального типу, яка ілюструє динамічні параметри.
26. Приведіть часову діаграму роботи елемента ТТЛ неінвертувального типу, яка ілюструє динамічні параметри.
27. Яким співвідношенням пов'язані параметри U^H і $U_{фр}^H$?
28. Яким співвідношенням пов'язані параметри U^L і $U_{фр}^L$?
29. Як визначити час затримки розповсюдження сигналу, використовуючи часову діаграму, якщо немає інформації про величину порогової напруги логічного елемента?
30. Що визначає параметр I_{cn}^{dyn} ?
31. Як зменшити вплив стрибків струму споживання в цифрових пристроях?

3.5. Реалізація логічних функцій на базі елементів ТТЛ

В попередніх підрозділах було розглянуто одновходовий елемент ТТЛ, призначений для виконання операції інвертування. Далі розглянемо реалізацію інших логічних функцій.

Для реалізації функції Шефера ($I-HI$) в якості транзистора T_1 використовується багатоемітерний транзистор (БЕТ), кожний емітер якого застосовується як вхід елемента ТТЛ. Фрагмент вхідного кола m -входового елемента ТТЛ з багатоемітерним транзистором T_1 приведений на рис.3.31,а.

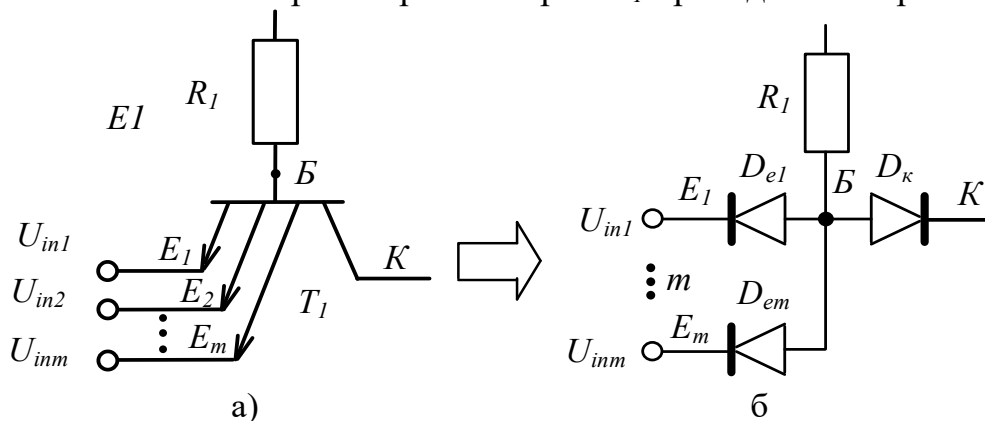


Рис. 3.31. Вхідне коло елемента ТТЛ з БЕТ і схема заміщення БЕТ

На рис.3.31,б приведена схема заміщення багатоемітерного транзистора, на якій переходи база-емітер транзистора T_1 замінюються діодами D_{e1}, D_{em} , а перехід база-колектор T_1 – діодом D_k . В результаті можна побачити, що емітери БЕТ можуть бути представлені у вигляді діодного логічного елемента, який виконує логічну функцію I логіки високого рівня [1]. Далі сигнал інвертується за допомогою складного інвертора, тобто елемент виконує функцію $I-HI$. Фактично елемент ТТЛ спрацьовує аналогічно елементу ДТЛ СІ зі складним інвертором

(див. підрозділ 3.1). І, дійсно, якщо хоча б на один з входів підключається низький рівень, то відповідний перехід база-емітер T_1 буде відкритий, транзистор T_1 буде перебувати в насиченні, T_2, T_4 – у відсічці, T_3 – в насиченні або в лінійному режимі. На виході елемента формується високий рівень напруги. Струм емітера відкритого переходу база-емітер БЕТ визначається за виразом:

$$I_{ei}^{T1} = \frac{I_{\bar{b}}^{T1} + I_{\kappa}^{T1} + (m - k) \cdot I_{in}^H}{k}, \quad (3.16)$$

де I_{ei}^{T1} – струм емітера i -того відкритого переходу база-емітер T_1 ;

$I_{\bar{b}}^{T1}, I_{\kappa}^{T1}$ – відповідно струми бази і колектору T_1 ;

m – кількість входів (кількість емітерів БЕТ) елемента ТТЛ;

I_{in}^H – вхідний струм високого рівня елемента ТТЛ (див. підрозділ 3.2);

k – кількість відкритих переходів база-емітер T_1 .

Якщо не враховувати малі струми I_{κ}^{T1} і I_{in}^H , то вираз (3.16) можна спростити $I_e^{T1} = I_{\bar{b}}^{T1}/k$.

Якщо на всі входи підключається високий рівень, то всі переходи база-емітер T_1 будуть закриті, транзистор T_1 буде перебувати в інверсному режимі, T_2, T_4 – в насиченні, T_3 – у відсічці. На виході елемента формується низький рівень напруги.

Для виконання логічної функції Пірса (АБО-НІ) спочатку реалізується функція АБО, а потім за допомогою складного інвертора відбувається її інвертування. Функція АБО реалізується за допомогою паралельного з'єднання транзисторів T_2 .

Схема двовходового елемента АБО-НІ приведена на рис.3.32.

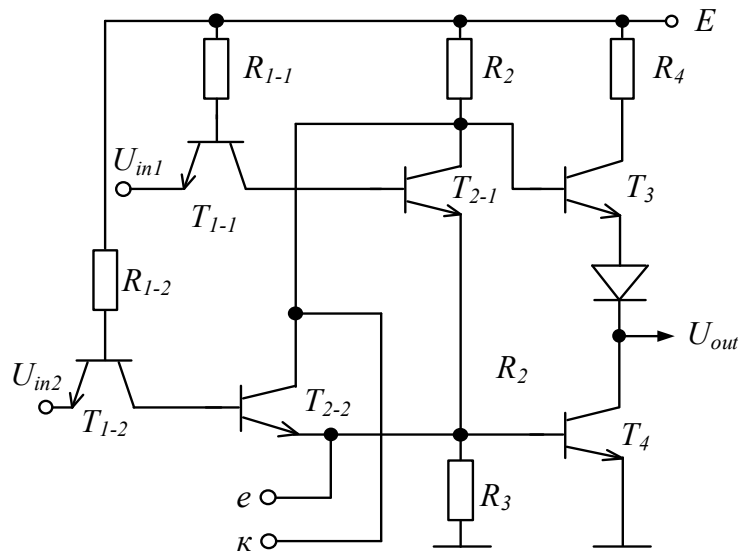


Рис. 3.32. Елемент ТТЛ АБО-НІ

Кожний вхід елемента АБО-НІ складається з двох транзисторів T_1 і T_2 . Для нумерації цих транзисторів використовується два індекси, де перший індекс позначає номер транзистора, а другий відповідає номеру входу елемента. Так, T_{2-2} означає, що це транзистор T_2 другого входу. Транзистори T_2 кожного входу включені паралельно, тобто колектори цих транзисторів об'єднані в один вузол

«к», а емітери – у вузол «е» (рис.3.32). Аналогічне з'єднання використовується для паралельних РТЛ (див. підрозділ 2.1.3.1). Для отримання елемента ТТЛ з більшою кількістю входів достатньо збільшити кількість паралельно включених транзисторів T_2 (як правило, кількість входів елементів АБО-НІ обмежуються чотирма входами).

Розглянемо принцип роботи елемента ТТЛ АБО-НІ на прикладі двовходового елемента.

Якщо на всі входи елемента надходить напруга низького рівня, то транзистори T_{1-1} і T_{1-2} перебувають в насиченні, транзистори T_{2-1} , T_{2-2} , T_4 – в режимі відсічки, T_3 – в лінійному режимі або в насиченні. На виході формується напруга високого рівня.

Якщо на один з входів надходить напруга високого рівня (наприклад, на перший вхід), то відповідний транзистор T_1 (T_{1-1}) перебуває в інверсному режимі, відповідний транзистор T_2 (T_{1-2}) – в насиченні, тобто транзистор T_4 також переключасться в режим насичення, T_3 переключасться в режим відсічки і на виході формується низький рівень напруги. При цьому транзистор T_{2-1} перебуває в насиченні, транзистори, а T_{2-2} – в режимі відсічки.

Якщо на всі входи надходить напруга високого рівня, то відповідні транзистори T_{1-1} , T_{1-2} перебувають в інверсному режимі, транзистори T_{1-2} , T_{2-2} , T_4 – в насиченні, а T_3 переключасться в режим відсічки і на виході формується низький рівень напруги.

Таким чином, принцип роботи такого елемента відповідає елементу АБО-НІ логіки високого рівня.

На рис.3.33 приведені результати моделювання елемента АБО-НІ із зазначенням напруг і струмів при надходженні на перший вхід напруги високого рівня, а на другий – низького рівня. Вихідна напруга елемента відповідає низькому рівню $U_{out} \approx 0,14V$.

На рис.3.34 приведені результати моделювання елемента АБО-НІ із зазначенням напруг і струмів при надходженні на входи напруги високого рівня. Вихідна напруга елемента відповідає високому рівню $U_{out} \approx 3,6V$.

В деяких елементах АБО-НІ вузли колектору і емітера транзисторів T_2 підключені до зовнішніх виводів цих елементів ТТЛ (на рис.3.32 відмічені літерами «к» і «е»). Це дає можливість збільшити логічну гнучкість елементів АБО-НІ за рахунок збільшення кількості входів, використовуючи спеціальні елементи-розширювачі, наприклад SN7460.

Схема розширювача SN7460 приведена на рис.3.35.

Розширювач функції АБО самостійно не використовується, а застосовується тільки разом з елементом ТТЛ, який має входи розширення (наприклад, див. рис.3.32).

Розширювач підключається до розширюваного елемента за допомогою зовнішнього монтажу, об'єднуючи вивід «к» розширювача з аналогічним виводом «к» розширюваного елемента. Виводи «е» підключаються між розширювачем і розширюваним елементом аналогічно.

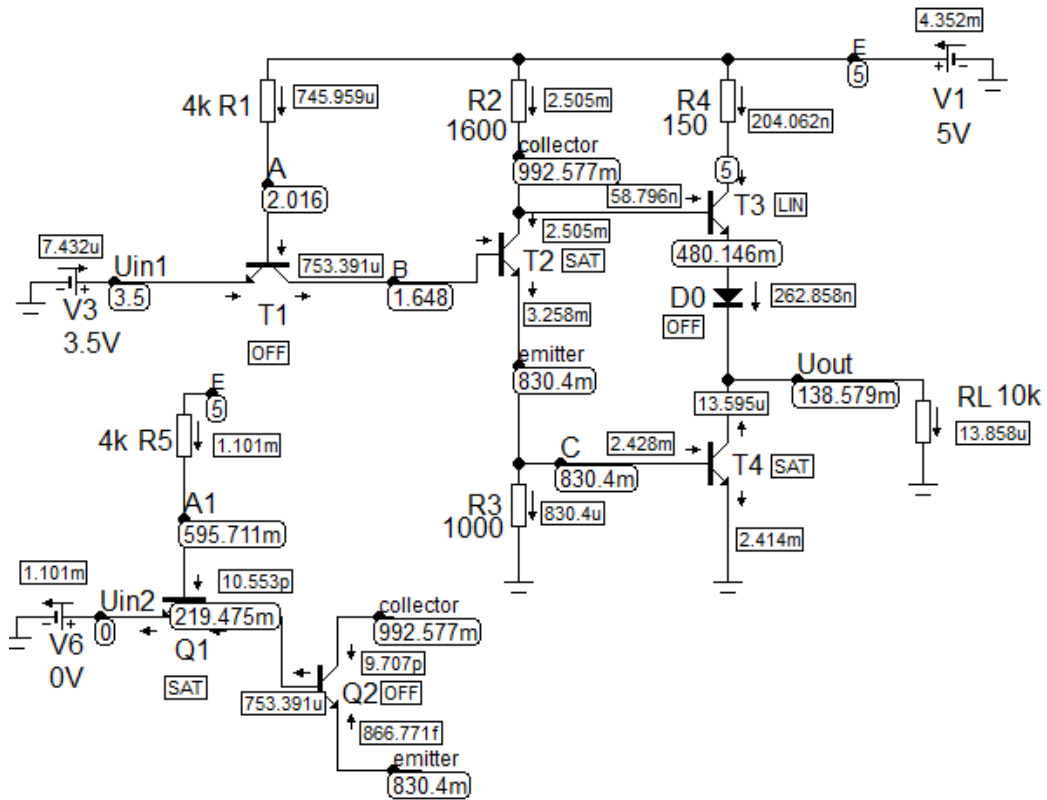


Рис. 3.33. Результати моделювання елемента АБО-НІ при $U_{in1} = 3,5В$; $U_{in2} = 0В$

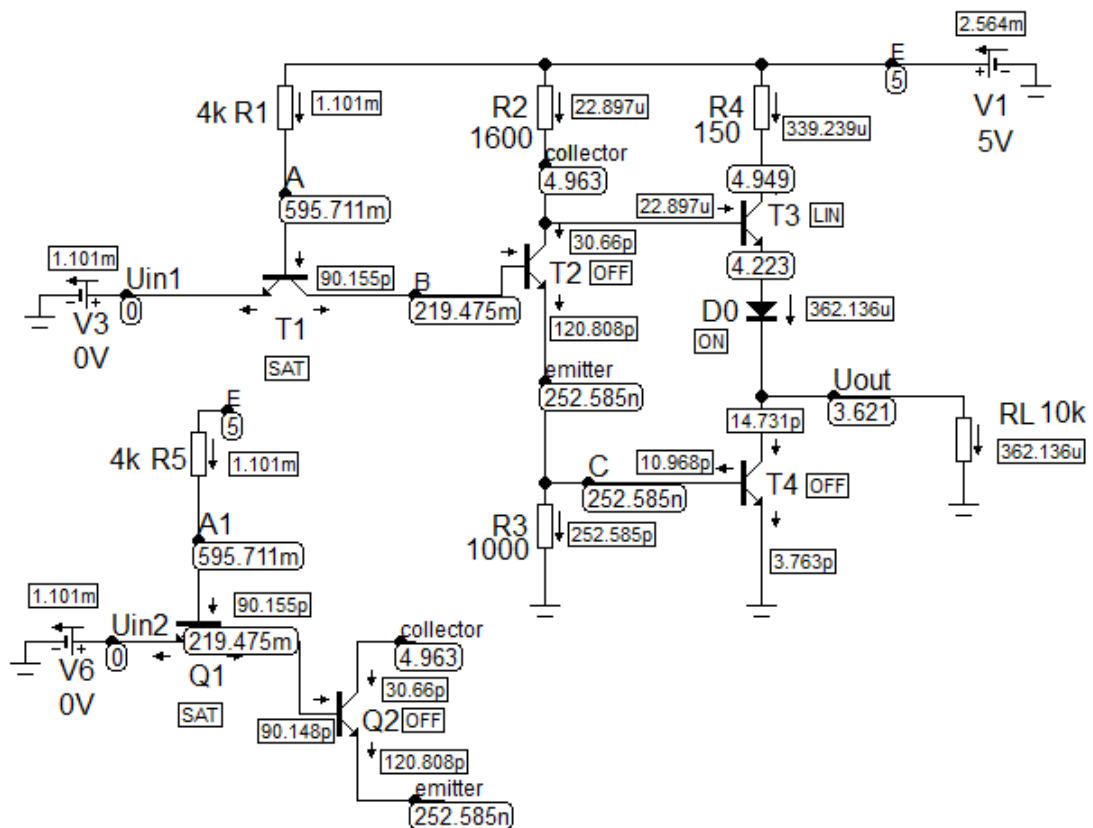


Рис. 3.34. Результати моделювання елемента АБО-НІ при $U_{in1} = U_{in2} = 0В$

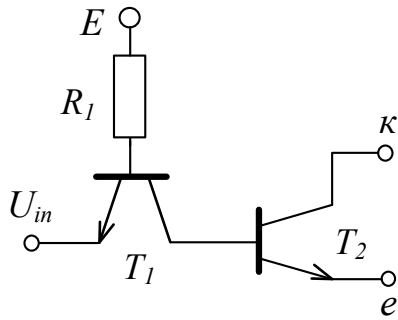


Рис. 3.35. Схема розширювача функції АБО

Кожний розширювач збільшує кількість входів розширюваного елемента на один. Звичайно, що існують обмеження на максимальну кількість підключених розширювачів, яка приводиться в довідниках. Однак використання розширювачів зменшує швидкодію розширюваних елементів за рахунок збільшення величини монтажно́ї ємності, яка утворюється при підключення розширювачів.

Розширювачі можуть бути легко трансформовані за необхідністю в елемент ТТЛ з простим інвертором, заземлюючи емітер і підключаючи коло живлення E , R_2 до колектору транзистора.

Якщо входні транзистори елемента ТТЛ, схема якого приведена на рис.2.32, є багатоемітерними, то логічний елемент буде виконувати функцію I -АБО-НІ, де багатоемітерні транзистори виконують функцію I , паралельно включені транзистори T_2 – функцію АБО, після чого виконується інвертування на складному інверторі. Таким чином, якщо транзистор T_{1-1} має 2 емітери, на які у вигляді напруг надходять логічні змінні a і b , а транзистор T_{1-2} має 3 емітери, до яких підключені змінні c , d , e , тобто використовується елемент $2I$ - $3I$ -АБО-НІ, то елемент ТТЛ буде виконувати логічну функцію $y = \overline{a \cdot b \vee c \cdot d \cdot e}$.

Для виконання логічної функції I до складу елемента ТТЛ додається додатковий інвертор (наприклад, елемент SN7408). Схема такого елемента приведена на рис.3.36.

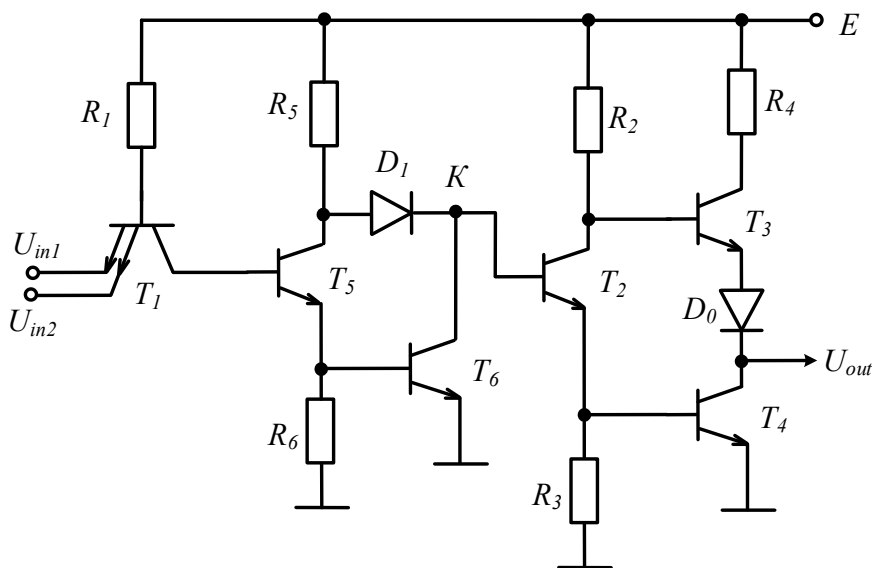


Рис. 3.36. Схема елемента SN7408

В схемі на рис.3.36 додатковий інвертор реалізований на базі транзисторів T_5 , T_6 . Діод D_1 призначений для забезпечення насичення T_6 та надійного запирання T_2 .

Якщо на всі входи елемента ТТЛ надходить напруга високого рівня, то транзистор T_1 працює в інверсному режимі, T_5 і T_6 – в режимі насичення. Діод D_1 знижує потенціал вузла K , забезпечуючи як насичення T_6 , так і відсічку T_2 . За відсутності цього діода транзистор T_5 шунтує перехід база-колектор T_6 , в результаті чого T_6 буде перебувати в лінійному режимі, а транзистор T_2 також може опинитися в лінійному режимі. Таким чином, насичення T_6 встановлює низький потенціал вузла K , забезпечуючи відсічку транзисторів T_2 , T_4 і відкриття T_3 , формуючи на виході елемента напругу високого рівня.

Якщо хоча б на один вхід елемента ТТЛ надходить напруга низького рівня, то транзистор T_1 працює в режимі насичення, T_5 і T_6 – в режимі відсічки. Струм від джерела живлення через R_5 і відкритий діод D_1 втікає в базу T_2 . В результаті T_2 і T_4 входять в насичення, а T_3 закривіється, в результаті на виході формується напруга низького рівня.

З опису роботи елемента $SN7408$ випливає, що цей елемент реалізує функцію І логіки високого рівня.

На рис.3.37 і 3.38 приведені результати моделювання одновходового елемента ТТЛ (у зв'язку з відсутністю в системі моделювання багатоємітерних транзисторів), побудованого за структурою елемента $SN7408$. Цей елемент є повторювачем вхідного сигналу і є еквівалентним елементу $SN7408$, у якого входи об'єднані в один вузол.

На результатах моделювання вказані напруги, струми та стани транзисторів і діодів у складі логічного елемента.

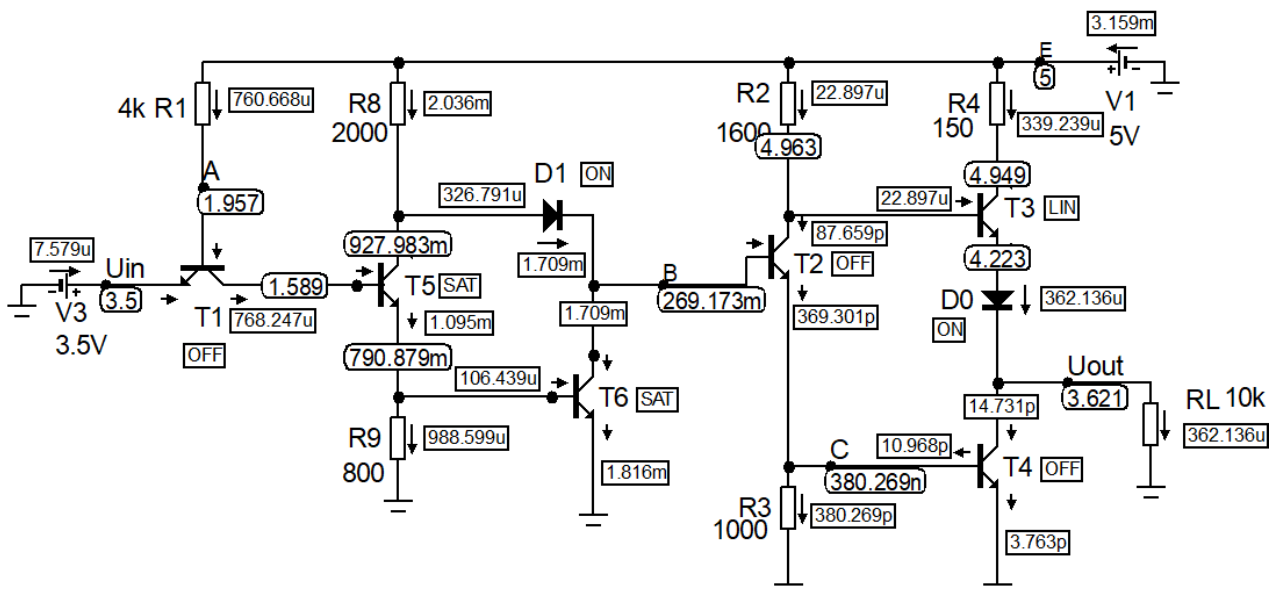


Рис. 3.37. Результати моделювання елемента $SN7408$ при високому рівні вхідної напруги

Елементи з прямими (неінверсними) виходами мають у своєму складі додатковий інвертор, тому вони мають більш низьку швидкодію та напрацювання на відмову (*operating time between failures*), ніж елементи Шефера або Пірса.

Для виконання логічної функції АБО до складу елемента ТТЛ, що виконує функцію АБО-НІ, як і для елемента І, додається додатковий інвертор (наприклад, елемент SN7432). Схема такого елемента приведена на рис.3.39.

В схемі на рис.3.39 додатковий інвертор реалізований на базі транзисторів T_5 , T_6 , причому в елементі кількість транзисторів T_1 і T_5 відповідають кількості входів і пронумеровані таким же чином, як і в елементі АБО-НІ (див. рис.3.32).

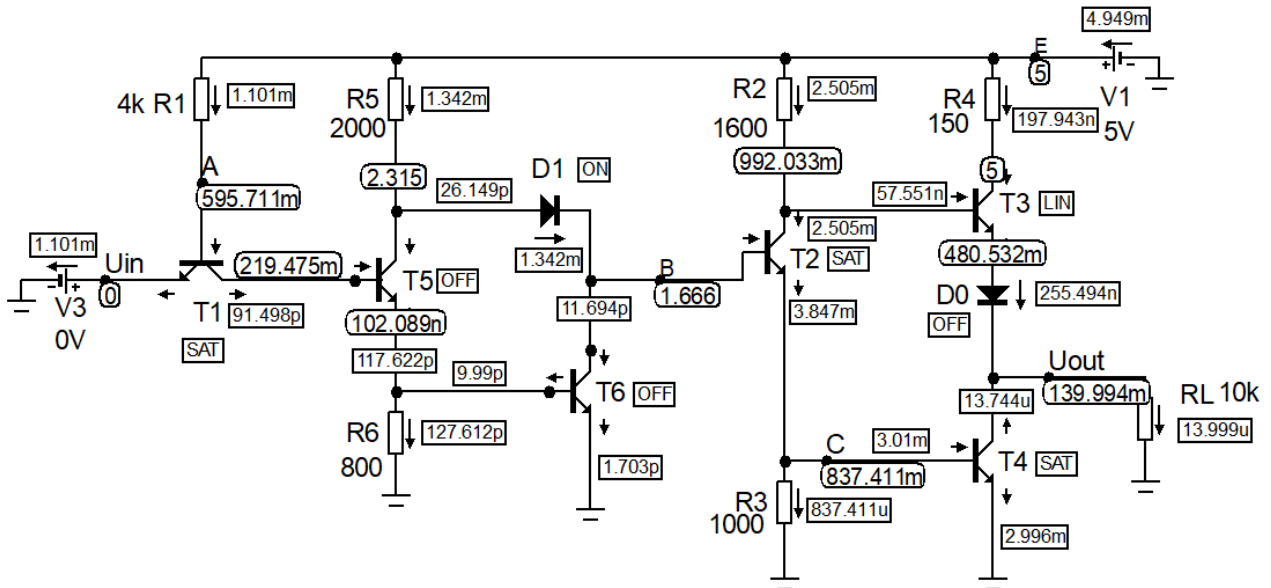


Рис. 3.38. Результати моделювання елемента SN7408 при низькому рівні вхідної напруги

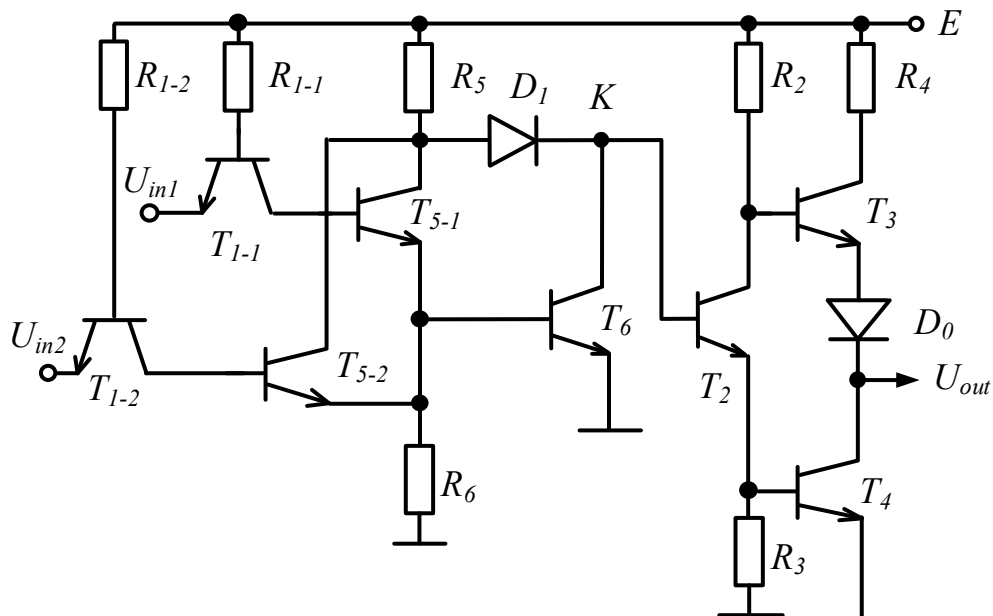


Рис. 3.39. Схема елемента SN7432

Діод D_1 виконує туж саму роль, що і в елементі I на рис.3.36. Функція АБО реалізується за допомогою паралельного з'єднання транзисторів T_5 .

Якщо хоча б на один вхід елемента ТТЛ (наприклад, на перший вхід) надходить напруга високого рівня, то відповідний транзистор T_1 (в нашому випадку T_{1-1}) перебуває в інверсному режимі, відповідний транзистор T_5 (T_{5-1}) і T_6 – в режимі насичення. Діод D_1 знижує потенціал вузла K , забезпечуючи як насичення T_6 , так і відсічку T_2 . Таким чином, насичення T_6 встановлює низький потенціал вузла K , забезпечуючи відсічку транзисторів T_2 , T_4 і відкриття T_3 , формуючи на виході елемента напругу високого рівня.

Результати моделювання цього режиму приведені на рис.3.40, на якому вказані напруги, струми та стани транзисторів і діодів у складі логічного елемента SN7432, а також можна побачити, що на виході формується напруга високого рівня.

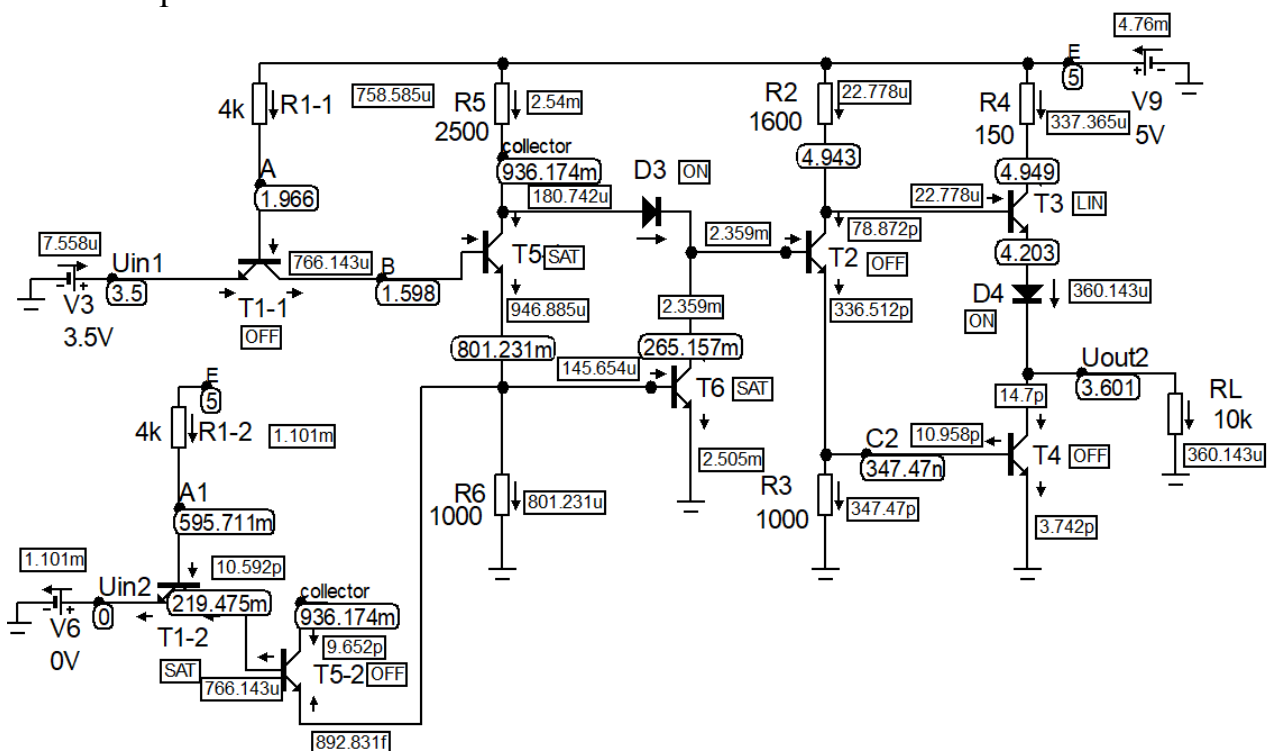


Рис. 3.40. Результати моделювання елемента АБО при $U_{in1} = 3,5B$; $U_{in2} = 0B$

Результати моделювання, коли на всі входи елемента ТТЛ надходить напруга низького рівня приведені на рис.3.41.

В цьому випадку транзистори T_1 працюють в режимі насичення, T_5 і T_6 – в режимі відсічки. Струм від джерела живлення через R_5 і відкритий діод D_1 втікає в базу T_2 . В результаті T_2 і T_4 входять в насичення, а T_3 закривіється, в результаті на виході формується напруга низького рівня.

Результати моделювання цього режиму ілюструють значення напруг, струмів та стани транзисторів і діодів у складі логічного елемента SN7432, а також можна побачити, що на виході формується напруга низького рівня.

Таким чином, з опису роботи елемента *SN7432* та результатів його моделювання випливає, що зазначений елемент реалізує функцію *АБО* логіки високого рівня.

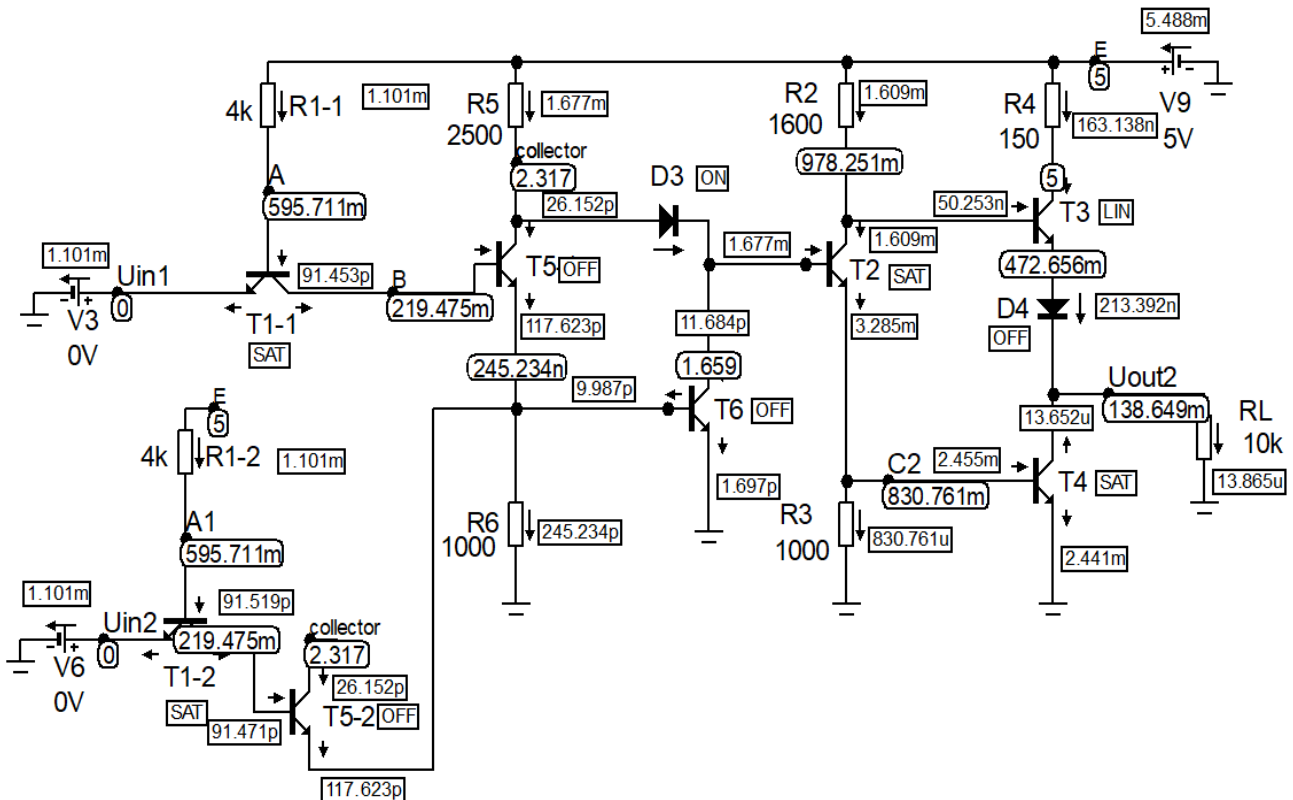


Рис. 3.41. Результати моделювання елемента *АБО* при $U_{in1} = U_{in2} = 0V$

Далі розглянемо принцип роботи елемента ТТЛ, що виконує логічну функцію додавання за модулем два *XOR*.

Для того, щоб реалізувати виконання цієї функції за допомогою логічних перетворень, наприклад, в базисі Шефера, отримаємо вираз

$$y = a\bar{b} \vee \bar{a}b = \overline{\overline{a\bar{b}} \cdot \overline{\bar{a}b}}$$

Відповідно до цього виразу для апаратної реалізації функції *XOR* необхідно використовувати в загальному випадку 2 інвертори і 3 елементи *I-NI*, кожен з яких у своєму складі має мінімум 4 транзистори, 4 резистори і 1 діод, тобто загалом потрібно 20 транзисторів, 20 резисторів і 5 діодів.

В якості альтернативи логічному методу побудування функції *XOR* розглянемо схемотехнічний спосіб реалізації цієї функції. Фрагмент схеми, який ілюструє принцип схемотехнічної організації функції *XOR* приведений на рис.3.42.

Згідно зі схемою на рис.3.42, напруги, що прикладені до переходів база-емітер транзисторів T_1 і T_2 (відповідно U_{be}^{T1} і U_{be}^{T2}), визначаються за виразами $U_{be}^{T1} = U_{in1} - U_{in2}$; $U_{be}^{T2} = U_{in2} - U_{in1}$. З цих виразів випливає, що у випадку, якщо величини вхідних напруг однакові ($U_{in1} = U_{in2}$), то різниця потенціалів між базою і емітером цих транзисторів буде нульовою, тобто транзистори будуть

перебувати в режимі відсічки. Це означає, що вихідна напруга холостого ходу буде відповідати високому рівню і дорівнювати E .

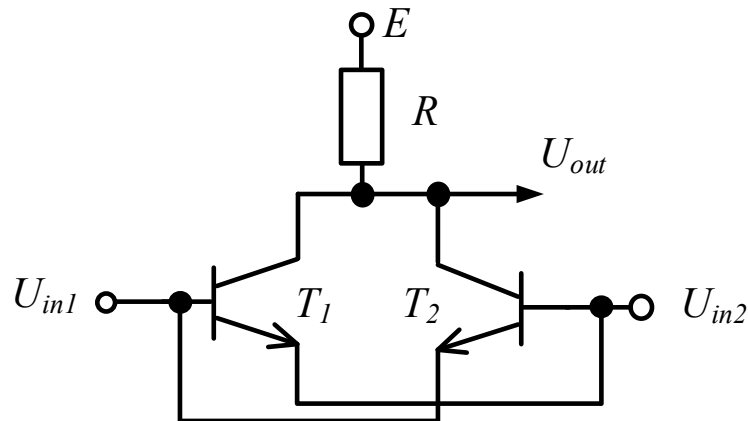


Рис. 3.42. Фрагмент схеми для реалізації функції XOR

При надходженні вхідних напруг різних рівнів один з транзисторів буде перебувати в насиченні, а інший буде закритим, в результаті чого на виході буде присутня напруга, що відповідає вхідній напрузі низького рівня. Наприклад, якщо $U_{in1} = 3,5B$; $U_{in2} = 0B$, то транзистор T_1 перебуває в насиченні ($U_{\beta e}^{T1} > 0$), а T_2 – у відсічці ($U_{\beta e}^{T2} < 0$). Вихідна напруга для цього прикладу складає $U_{out} = U_{in2} + U_{кен}^{T2} = 0,1B$.

Таким чином, в результаті аналізу роботи схеми на рис.3.42 можна зробити висновок, що зазначений фрагмент схеми реалізує функцію $XNOR$, яка є інверсією функції XOR .

Звичайно, що схема на рис.3.42 не може бути використана в якості окремого логічного елемента у зв'язку з тим, що коректне функціонування цієї схеми можливе тільки, якщо однакові рівні вхідної напруги не будуть відрізнятися більше, ніж на $0,2-0,3B$, інакше вони будуть інтерпретовані схемою, як напруги різних рівнів. Наприклад, якщо $U_{in1} = 3,5B$; $U_{in2} = 5B$, то незважаючи на те, що ці напруги відповідають високому рівню, однак вони будуть визивати насичення транзистора T_2 і на виході з'явиться напруга $U_{out} = U_{in1} + U_{кен}^{T2} = 3,6B$, тобто на виході замість низького рівня буде формуватися високий рівень, в результаті чого логіка роботи схеми буде порушена. Для усунення цього недоліку необхідно, щоб вхідні сигнали формувалися за допомогою спеціальних схем, які з одного боку, мали вхідні кола, властиві елементам ТТЛ, а з іншого боку, виробляли однакові за високим або низьким рівнем сигнали, які далі надходять на схему, що приведена на рис.3.42. Крім того, вихідна напруга повинна формуватися складним інвертором.

Схема елемента XOR $SN7486$ приведена на рис.3.43.

З використанням транзисторів T_{7-1} , T_{7-2} виконана реалізація схеми, що забезпечує виконання логічної функції $XNOR$ (див. рис.3.42). На основі транзисторів T_{1-1} , T_{5-1} , T_{6-1} (T_{1-2} , T_{5-2} , T_{6-2}) побудовані формувачі вхідних сигналів для першого (другого) входів. Виходи цих формувачів (F_1 , F_2) під'єднані до

входів схеми, що реалізує $XNOR$, вихід якої (F_{XNOR}) підключений на вхід складного інвертора (транзистори T_2, T_3, T_4).

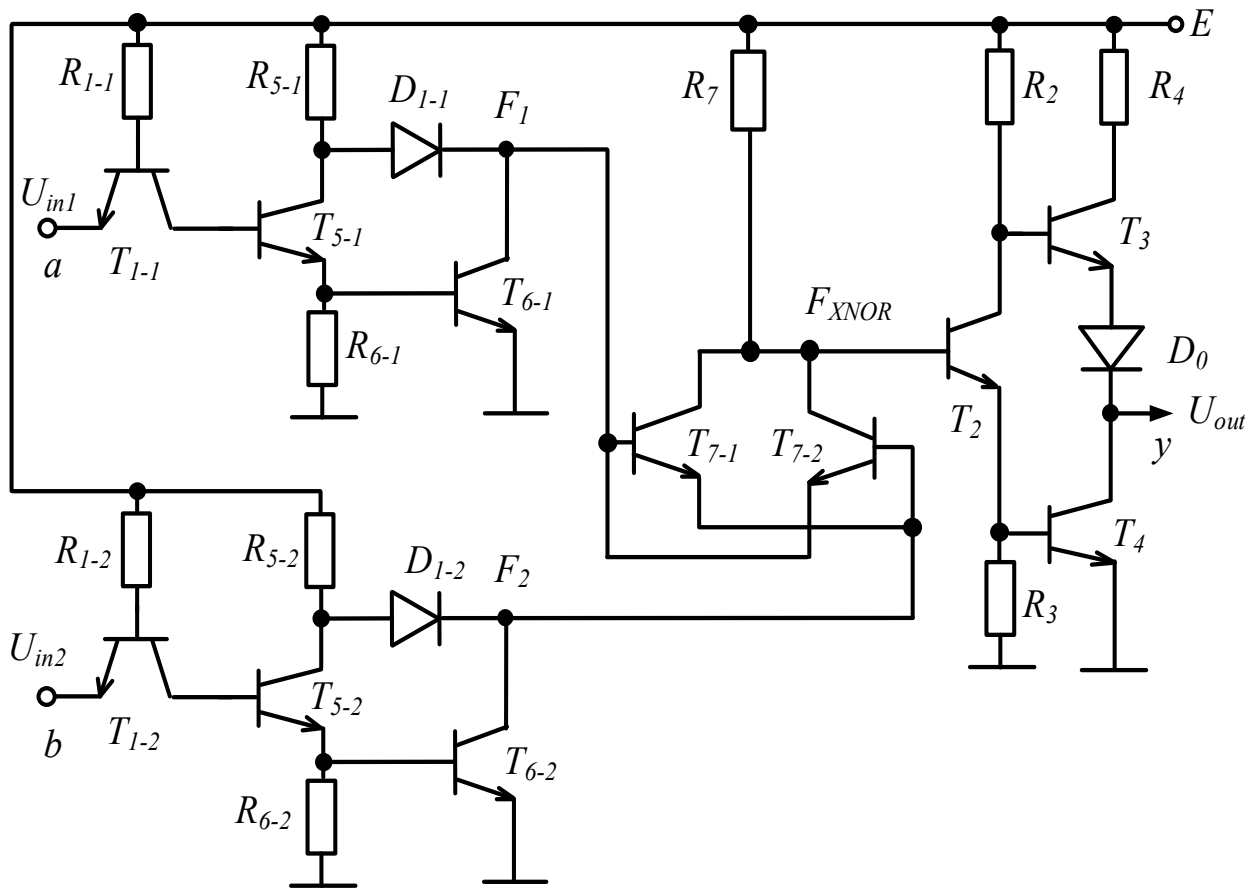


Рис. 3.43. Схема елемента SN7486

Розглянемо принцип роботи елемента SN7486, використовуючи логіку високого рівня за умови, що на перший і другий входи у вигляді напруг надходять відповідно логічні змінні a і b (див. рис.3.43). Спочатку проаналізуємо функціонування формувачів вхідних сигналів F_1 і F_2 на прикладі роботи формувача F_1 .

Якщо на перший вхід елемента надходить напруга низького рівня ($a = 0$), то транзистор T_{1-1} перебуває в режимі насичення, а транзистори T_{5-1} і T_{6-1} – в режимі відсічки. В результаті на виході F_1 формується напруга високого рівня, тобто $F_1 = 1$. В разі надходження на перший вхід напруги високого рівня ($a = 1$) транзистор T_{1-1} перебуває в інверсному режимі, а транзистори T_{5-1} і T_{6-1} – в режимі насичення. В результаті на виході F_1 формується напруга низького рівня, тобто $F_1 = 0$. В результаті розгляду роботи формувача F_1 можна зробити висновок, що на виході F_1 формується інверсія змінної a : $F_1 = \bar{a}$. За аналогією $F_2 = \bar{b}$. Далі сигнали F_1 і F_2 надходять на вхід схеми, що реалізує функцію $XNOR$ на виході F_{XNOR} (див. рис.3.42) на базі транзисторів T_{7-1} і T_{7-2} . Таким чином, $F_{XNOR} = \overline{\bar{a} \oplus \bar{b}}$. Сигнал F_{XNOR} надходить на вхід складного інвертора (транзистори T_2, T_3, T_4) і на виході елемента y формується сигнал $\overline{F_{XNOR}}$.

У підсумку, враховуючи властивості функції додавання за модулем 2, отримаємо, що приведена на рис.3.43 схема виконує функцію $XNOR$:

$$y = \overline{F_{XNOR}} = \overline{\overline{a} \oplus \overline{b}} = \overline{\overline{a} \oplus \overline{b}} = a \oplus b. \quad (3.17)$$

На рис.3.44 приведені результати моделювання елемента $SN7486$ за умови підключення на входи логічних змінних $a = b = 1$.

На рис.3.44 приведені не тільки значення напруг у вузлах елемента (величини струмів не показані, щоб інформаційно не перенавантажувати результати моделювання) і стани транзисторів, але й значення логічних змінних $a, b, F_1, F_2, F_{XNOR}, y$. Так, на рис.3.44 можна побачити, що $a = 1$ (5В), $b = 1$ (5В), $F_1 = 0$ (0,26В), $F_2 = 0$ (0,26В), $F_{XNOR} = 1$ (1,7В), $y = 0$ (0,14В).

Результати моделювання поведінки елемента $SN7486$ за умови підключення на входи логічних змінних $a = b = 0$ приведені на рис.3.45.

На результатах моделювання можна побачити, що $a = 0$ (0В), $b = 0$ (0В), $F_1 = 1$ (2,3В), $F_2 = 1$ (2,3В), $F_{XNOR} = 1$ (1,7В), $y = 0$ (0,14В).

І, нарешті, розглянемо один з випадків, коли на входи надходять сигнали різних рівнів. Результати моделювання поведінки елемента $SN7486$ за умови підключення на входи логічних змінних $a = 1; b = 0$ приведені на рис.3.46.

На результатах моделювання (рис.3.46) можна побачити, що $a = 1$ (3,5В), $b = 0$ (0В), $F_1 = 0$ (0,3В), $F_2 = 1$ (1,1В), $F_{XNOR} = 0$ (0,45В), $y = 1$ (3,6В).

Таким чином, аналізуючи результати моделювання поведінки елемента $SN7486$, можна зробити висновок, що, дійсно, цей елемент реалізує логічну функцію XOR .

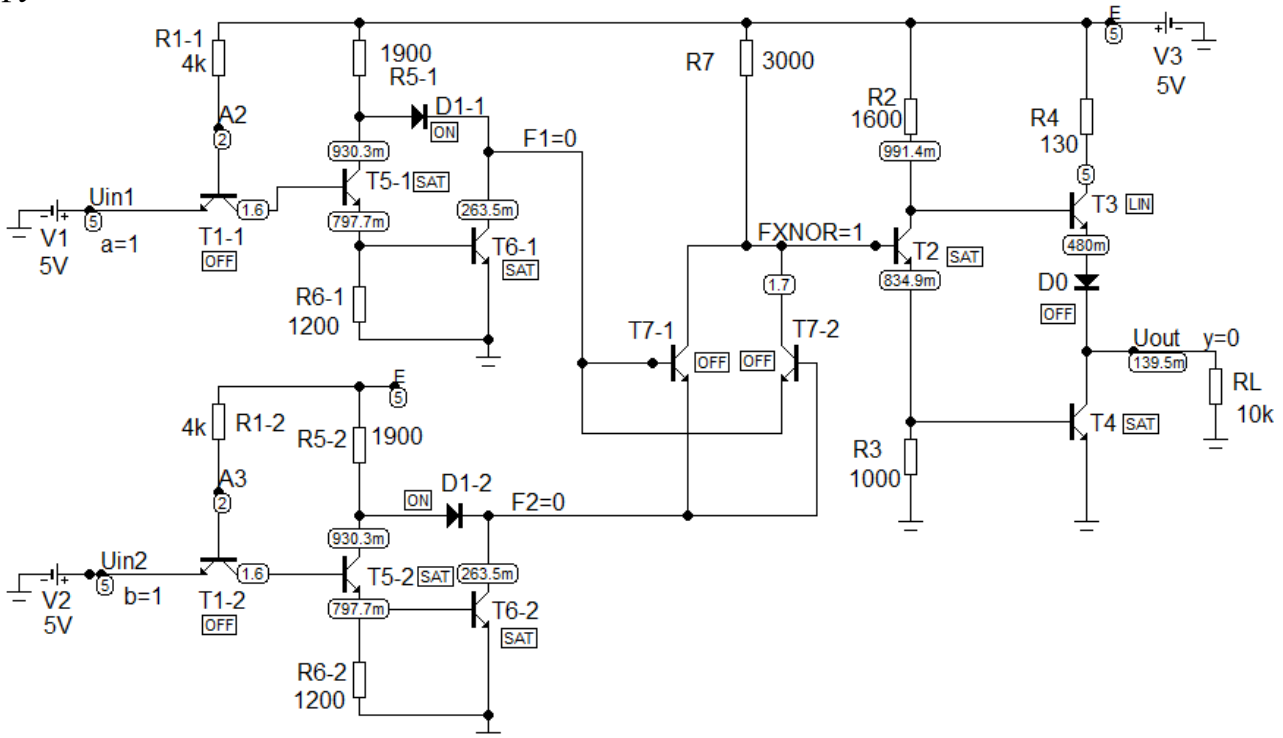


Рис. 3.44. Результати моделювання елемента $SN7486$ при $a = b = 1$

В результаті зі схем, приведених вище, видно, що для реалізації елемента $SN7486$ за допомогою схемотехнічного підходу потрібно 11 транзисторів, 10

резисторів і 3 діоди, що приблизно вдвічі менше, ніж для елемента *XOR*, побудованого за рахунок логічного підходу до проектування.

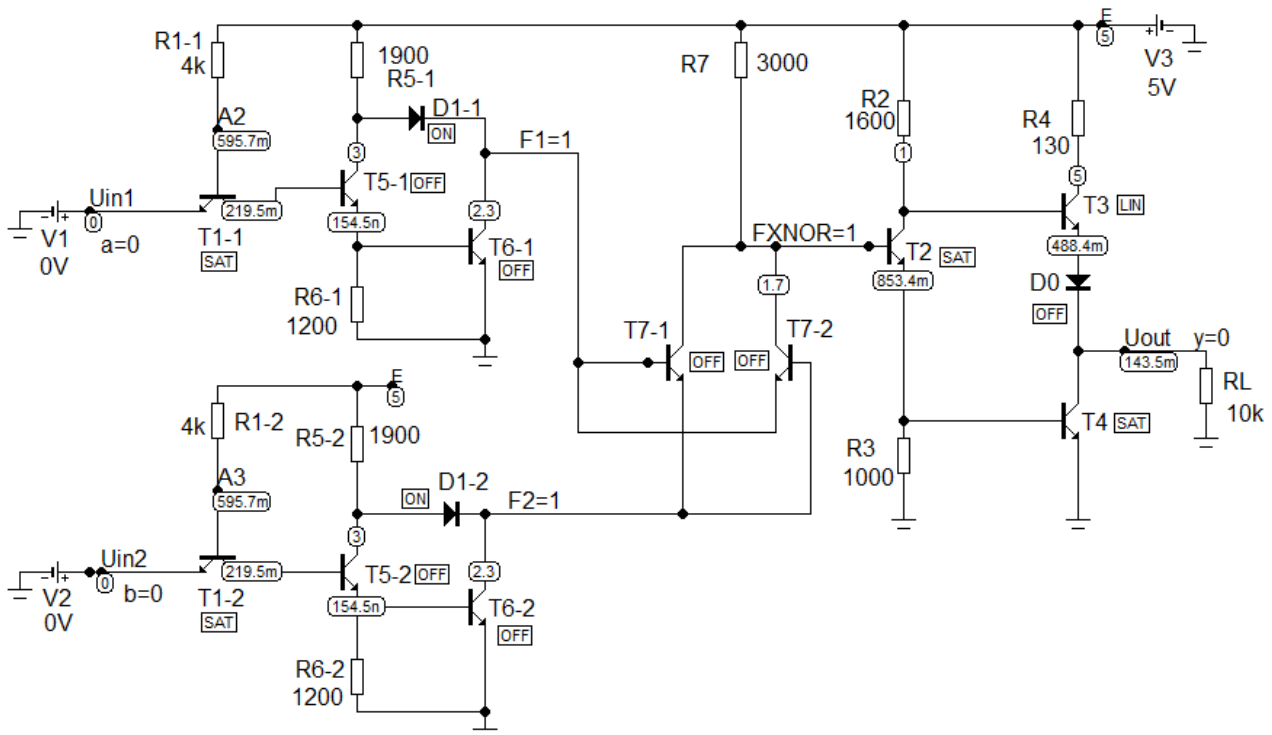


Рис. 3.45. Результати моделювання елемента *SN7486* при $a = b = 0$

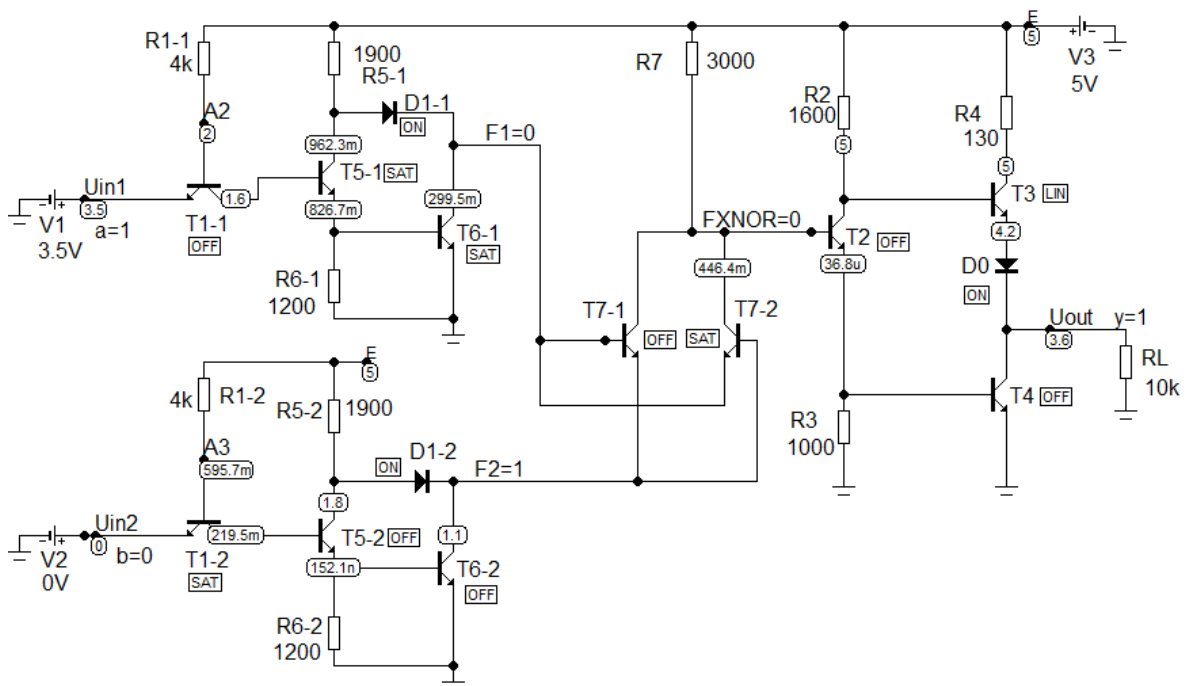


Рис. 3.46. Результати моделювання елемента *SN7486* при $a = 1; b = 0$

Розглянуті елементи *XOR* можуть мати тільки 2 входи. Для реалізації функції з більшою кількістю аргументів необхідно використовувати каскадування двовходових елементів *XOR*.

Контрольні завдання та запитання

1. Яким чином в елементі ТТЛ на основі транзистора T_1 реалізується функція I ?
2. Поясніть принцип роботи багатомітерного транзистора.
3. Прокоментуйте схему на рис.3.31,б.
4. Поясніть принцип роботи схеми на рис.3.31,б.
5. Яка логічна функція реалізується за допомогою схеми заміщення на рис.3.31,б?
6. Поясніть принцип роботи елемента ТТЛ, який реалізує функцію Шефера за умови, що на всі входи надходять напруги високого рівня.
7. Поясніть принцип роботи елемента ТТЛ, який реалізує функцію Шефера за умови, що хоча б на один вхід надходить напруга низького рівня.
8. Як визначити струм емітера багатомітерного транзистора в складі елемента ТТЛ?
9. Прокоментуйте вираз (3.16).
10. Що визначає параметр $(m - k)$ у виразі (3.16)?
11. Як визначити струм емітера, якщо не враховувати струми I_k^{T1} і I_{in}^{H2} ?
Поясніть, чому можна не враховувати ці струми. Обґрунтуйте відповідь.
12. Яким чином в елементі ТТЛ на основі транзистора T_2 реалізується функція АБО?
13. Приведіть схему елемента Шефера на базі ТТЛ.
14. Приведіть схему елемента Пірса на базі ТТЛ.
15. Поясніть принцип роботи елемента ТТЛ, який реалізує функцію Пірса за умови, що хоча б на один вхід надходить напруга високого рівня.
16. Поясніть принцип роботи елемента ТТЛ, який реалізує функцію Пірса за умови, що на всі входи надходять напруги низького рівня.
17. Поясніть призначення виводів «е» і «к» в схемі на рис.3.32.
18. В яких станах працюють транзистори елемента АБО-НІ, якщо на перший вхід підключити напругу високого рівня, а на другий – напругу низького рівня?
19. В яких станах працюють транзистори елемента АБО-НІ, якщо на перший вхід підключити напругу низького рівня, а на другий – напругу високого рівня?
20. Доведіть, що схема на рис.2.32 реалізує функцію Пірса.
21. Прокоментуйте результати моделювання на рис.3.33.
22. Прокоментуйте результати моделювання на рис.3.34.
23. В чому полягає різниця в результатах моделювання на рис.3.33 і рис.3.34?
24. Для чого призначений розширювач, схема якого приведена на рис.3.35?
25. Чому розширювач на рис.3.35 не можна використовувати в якості самостійного логічного елемента?

26. Яким чином розширювач на рис.3.35 підключається до розширюваного елемента?
27. Які параметри погіршуються при підключенні розширювача?
28. Як поширювач на рис.3.35 можна перетворити в елемент ТТЛ з простим інвертором?
29. Яким чином можна реалізувати логічний елемент $I\text{-АБО-НІ}$?
30. Поясніть принцип роботи елемента $2I\text{-}3I\text{-АБО-НІ}$, якщо на перші два входи надходить напруга низького рівня, а на решту – високого рівня?
31. Поясніть принцип роботи елемента $2I\text{-}3I\text{-АБО-НІ}$, якщо на перший вхід надходить напруга високого рівня, а на решту – низького рівня?
32. Поясніть принцип роботи елемента на рис.3.36.
33. Яку логічну функцію виконує елемент на рис.3.36 при використанні логіки високого рівня?
34. Яку логічну функцію виконує елемент на рис.3.36 при використанні логіки низького рівня?
35. Поясніть призначення транзисторів T_5 і T_6 в елементі, схема якого приведена на рис.3.36.
36. Яку роль виконує діод D_1 в елементі ТТЛ на рис.3.36?
37. В яких станах перебувають транзистори елемента на рис.3.36, якщо на всі входи надходить напруга високого рівня?
38. В яких станах перебувають транзистори елемента на рис.3.36, якщо на хоча б на один вхід надходить напруга низького рівня?
39. Прокоментуйте результати моделювання на рис.3.37.
40. Прокоментуйте результати моделювання на рис.3.38.
41. Чому елемент ТТЛ $I\text{-НІ}$ має більш високу швидкодію, ніж елемент I ?
42. Чому елемент ТТЛ $I\text{-НІ}$ має більш високу надійність, ніж елемент I ?
43. Поясніть принцип роботи елемента на рис.3.39.
44. Яку логічну функцію в логіці високого рівня виконує елемент на рис.3.39?
45. В яких станах перебувають транзистори елемента на рис.3.39, якщо на всі входи надходить напруга низького рівня?
46. В яких станах перебувають транзистори елемента на рис.3.39, якщо на хоча б на один вхід надходить напруга високого рівня?
47. Прокоментуйте результати моделювання на рис.3.40.
48. Прокоментуйте результати моделювання на рис.3.41.
49. Як реалізувати двовходовий елемент XOR використовуючи закони алгебри логіки?
50. Яку логічну функцію виконує елемент на рис.3.42?
51. Поясніть принцип роботи схеми на рис.3.42.
52. В яких станах перебувають транзистори елемента на рис.3.42, якщо на всі входи надходить однакова напруга?
53. Який рівень сигналу формується на виході елемента на рис.3.42, якщо на всі входи надходить однакова напруга?

54. В яких станах перебувають транзистори елемента на рис.3.42, якщо на всі входи надходить різна напруга?
55. Який рівень сигналу формується на виході елемента на рис.3.42, якщо на всі входи надходить різна напруга?
56. Як визначити значення вихідної напруги в елементі на рис.3.42?
57. Вкажіть недоліки схеми на рис.3.42. Обґрунтуйте відповідь
58. Поясніть принцип роботи схеми на рис.3.43.
59. Яку логічну функцію виконує елемент на рис.3.43?
60. В яких станах перебувають транзистори елемента на рис.3.43, якщо на всі входи надходить однакова напруга?
61. Який рівень сигналу формується на виході елемента на рис.3.43, якщо на всі входи надходить однакова напруга?
62. В яких станах перебувають транзистори елемента на рис.3.43, якщо на всі входи надходить різна напруга?
63. Який рівень сигналу формується на виході елемента на рис.3.43, якщо на всі входи надходить різна напруга?
64. Прокоментуйте вираз (3.17).
65. Яка логічна функція реалізується на виходах F_1 і F_2 ?
66. Яка логічна функція реалізується на виходах F_{XNOR} ?
67. Прокоментуйте результати моделювання на рис.3.44.
68. Прокоментуйте результати моделювання на рис.3.45.
69. Прокоментуйте результати моделювання на рис.3.45.
70. Порівняйте апаратні витрати на реалізацію елемента XOR за допомогою схемотехнічного підходу і використання закони алгебри логіки
71. Як реалізувати трьохвходовий елемент XOR ?

3.6. Модифікації елементів ТТЛ

Як вже відзначалося в підрозділі 3.4, елементи ТТЛ випускаються у вигляді різних серій, причому елементи, що відносяться до одного типу в різних серіях є однаковими з точки зору логіки їх роботи. Наприклад, елементи $SN7486$, $SN74L86$, $SN74H86$ є логічними елементами, що реалізують функцію XOR , але при цьому, як правило відрізняються швидкодією, споживаною потужністю і іноді завадостійкістю, тобто елементи різних серій відрізняються один від одного електронною схемою або, як мінімум, різними номіналами резисторів у своєму складі [23]. Далі в цьому підрозділі будемо розглядати особливості схемної побудови елементів різних серій на прикладі базової схеми інвертора.

3.6.1. Елементи ТТЛ зі схемою Дарлінгтона

В багатьох елементах ТТЛ в коло транзистора T_3 замість діода D_0 включається додатковий транзистор, утворюючи разом з T_3 так звану схему Дарлінгтона (складений транзистор, англ.: *Darlington circuit*, *Darlington pair*, *Darlington transistor*) [2, 4, 5, 6, 20, 24, 25, 26].

Схема Дарлінгтона приведена на рис.3.47.

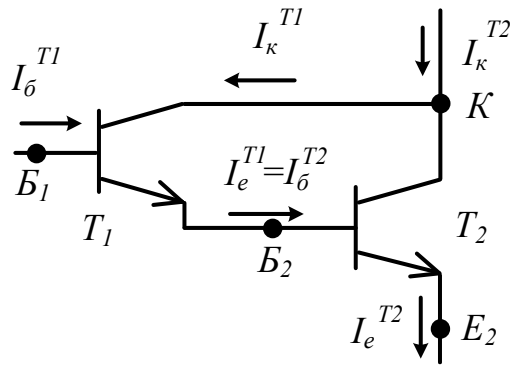


Рис. 3.47. Схема Дарлінгтона

Розглянемо властивості цієї схеми. Нехай переходи база-емітер транзисторів T_1 і T_2 відкриті. Тоді різниця потенціалів між вузлами B_1 і E_2 складає сумі падінь напруги база-емітер обох транзисторів $U_{\text{бе}}^{T1} + U_{\text{бе}}^{T2}$. Для цього випадку розглянемо співвідношення між струмами цієї схеми, вважаючи, що транзистор T_1 перебуває в лінійному режимі. При цьому транзистор T_2 завжди (при відкритому переході база-емітер T_1) перебуває в лінійному режимі (транзистор T_1 шунтує перехід база-колектор другого транзистора, забезпечуючи закритий стан діода колектору T_2). Визначимо співвідношення між струмом бази T_1 і струмом емітера T_2 :

$$\begin{aligned} I_e^{T1} &= (\beta_1 + 1)I_{\text{б}}^{T1}; \quad I_{\text{б}}^{T2} = I_e^{T1}; \\ I_e^{T2} &= (\beta_2 + 1)I_{\text{б}}^{T2} = (\beta_2 + 1)(\beta_1 + 1)I_{\text{б}}^{T1}, \end{aligned} \quad (3.18)$$

де β_1, β_2 – коефіцієнт підсилення по струму відповідно транзисторів T_1, T_2 .

Враховуючи, що $\beta \gg 1$, тобто $\beta + 1 \approx \beta$, отримаємо, що $I_e^{T2} \approx \beta_1 \cdot \beta_2 \cdot I_{\text{б}}^{T1}$.

Також приймаючи до уваги, що в складі елементів ТТЛ транзистори мають приблизно однакові параметри ($\beta_1 \approx \beta_2 = \beta$), можна записати $I_e^{T2} \approx \beta^2 \cdot I_{\text{б}}^{T1}$.

Таким чином, струм бази транзистора T_1 приблизно в β^2 разів менше струму емітера T_2 .

Схема елемента ТТЛ зі схемою Дарлінгтона приведена на рис.3.48.

Транзистор T_3 і діод D_0 в базовому елементі ТТЛ (див. рис.3.2) в схемі на рис.3.48 замінені на два транзистора T_{3-1} і T_{3-2} , включені за схемою Дарлінгтона.

В підрозділі 3.2 визначено, що для базового елемента вихідна напруга високого рівня визначалася, як $U_{\text{out}} = E - R_2 \cdot I_e^{T3} / (\beta + 1) - U_{\text{бе}}^{T3} - U_{d0}$. В елементі зі схемою Дарлінгтона враховуючи вираз (3.18), запишемо

$$U_{\text{out}} = E - R_2 \cdot I_e^{T3} / \beta^2 - U_{\text{бе}}^{T3-1} - U_{\text{бе}}^{T3-2} \quad (3.19)$$

Порівнюючи вихідну напругу базового елемента і елемента зі схемою Дарлінгтона, можна зробити висновок, що в останньому елементі падіння напруги на резисторі R_2 в β разів менше, ніж в базовому елементі, тобто вихідна напруга високого рівня елемента ТТЛ зі схемою Дарлінгтона більш стабільна, ніж у базового елемента.

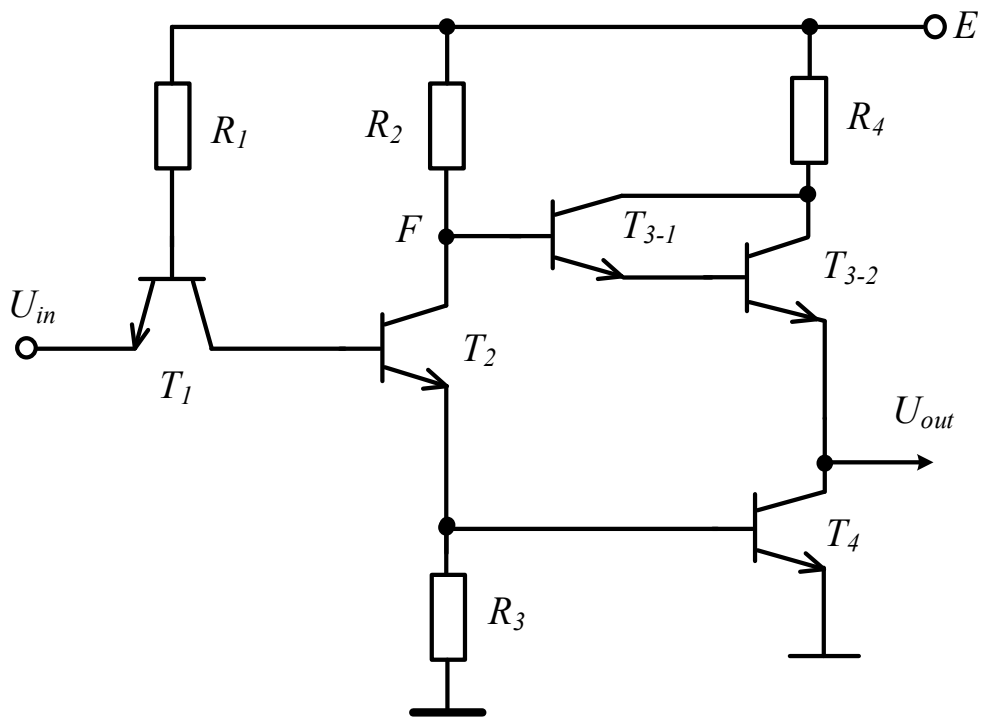


Рис. 3.48. Елемент ТТЛ зі схемою Дарлінгтона

Результати моделювання елемента ТТЛ зі схемою Дарлінгтона та малопотужним навантаженням із зазначенням напруг, струмів і станів напівпровідникових елементів приведені на рис.3.49. Результати моделювання показують, що при використанні малопотужного навантаження транзистор T_{3-1} перебуває в лінійному режимі, а падіння напруги на резисторі R_2 практично дорівнює нулю.

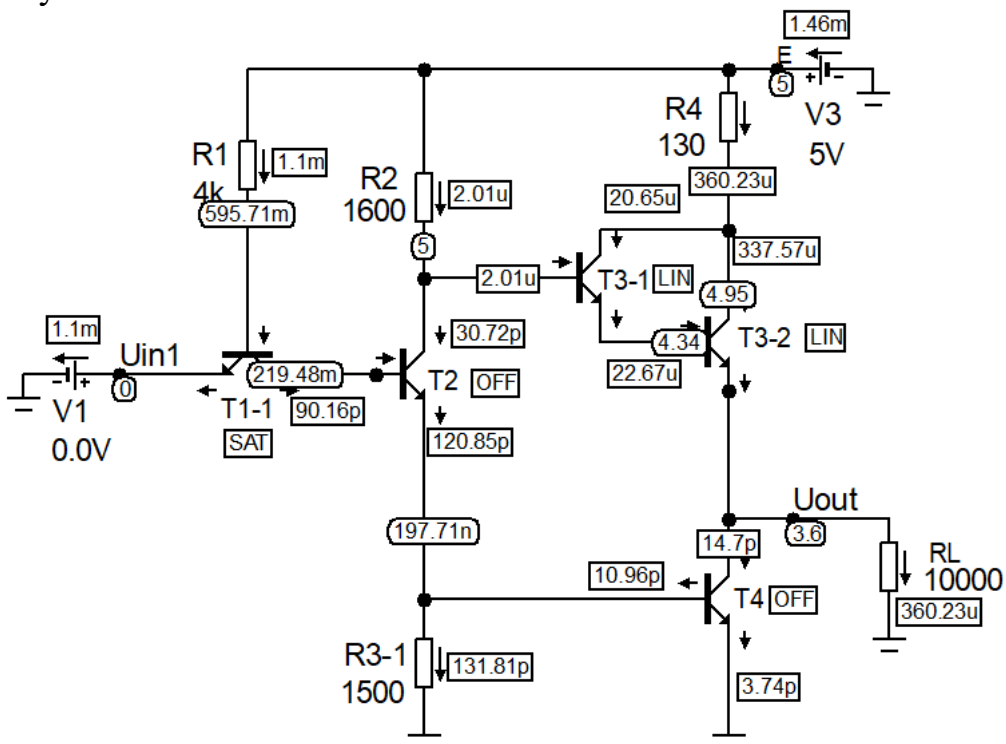


Рис. 3.49. Результати моделювання елемента ТТЛ зі схемою Дарлінгтона та малопотужним навантаженням

При підключенні потужного навантаження (мала величина опору навантаження) транзистор T_{3-1} може переключитися в режим насичення, що викликає зниження вихідної напруги в залежності від значення опору навантаження. Для забезпечення коректної роботи елемента величина мінімальної напруги високого рівня $U_{out\ min}^H$ складає $2B$ (див. табл.3.1). Визначимо мінімальне значення опору резистора навантаження R_L , за яким вихідна напруга U_{out} не перевищує $U_{out\ min}^H$. Нехай резистор R_L підключений, як показано на рис.3.49. Тоді $U_{out} = I_L \cdot R_L \geq U_{out\ min}^H$, де I_L – струм навантаження.

Визначимо U_{out} , використовуючи метод двох вузлів:

$$U_{out} = \frac{\frac{E - U_{\bar{b}e}^{T3-1} - U_{\bar{b}e}^{T3-2}}{R_2} + \frac{E - U_{\text{кен}}^{T3-1} - U_{\bar{b}e}^{T3-2}}{R_4}}{\frac{1}{R_2} + \frac{1}{R_4} + \frac{1}{R_L}}. \quad (3.20)$$

Враховуючи, що $U_{out} \geq U_{out\ min}^H$, отримуємо нерівність

$$U_{out} = \frac{\frac{E - U_{\bar{b}e}^{T3-1} - U_{\bar{b}e}^{T3-2}}{R_2} + \frac{E - U_{\text{кен}}^{T3-1} - U_{\bar{b}e}^{T3-2}}{R_4}}{\frac{1}{R_2} + \frac{1}{R_4} + \frac{1}{R_L}} \geq U_{out\ min}^H. \quad (3.21)$$

Розв'яжемо нерівність (3.21) відносно R_L :

$$R_L \geq \frac{U_{out\ min}^H}{\frac{E - U_{\bar{b}e}^{T3-1} - U_{\bar{b}e}^{T3-2} - U_{out\ min}^H}{R_2} + \frac{E - U_{\text{кен}}^{T3-1} - U_{\bar{b}e}^{T3-2} - U_{out\ min}^H}{R_4}}. \quad (3.21)$$

Підставляючи числові дані: $U_{\bar{b}e}^{T3-1} = 0,8B$; $U_{\bar{b}e}^{T3-2} = 0,86B$; $U_{\text{кен}}^{T3-1} = 0,13B$, отримаємо $R_L \geq 123 \text{ Ом}$.

Результати моделювання функціонування елемента ТТЛ з $R_L = 123 \text{ Ом}$ приведені на рис.3.50.

На результатах моделювання можна побачити, що транзистор T_{3-1} перебуває в режимі насичення, а вихідна напруга при $R_L = 123 \text{ Ом}$ складає $2B$, що збігається з результатами розв'язання нерівності (3.21).

Для прискорення вимикання транзистора T_{3-2} між його базою і землею або між базою і емітером T_{3-2} включається додатковий резистор.

Контрольні завдання та запитання

1. Приведіть схему Дарлінгтона.
2. В чому полягає різниця між базовим елементом ТТЛ і елементом зі схемою Дарлінгтона?
3. Поясніть принцип роботи схеми на рис.3.47.
4. В чому полягає властивість схеми Дарлінгтона.
5. В якому стані працює транзистор T_2 в схемі на рис.3.47 при відкритому транзисторі T_1 ? Обґрунтуйте відповідь.

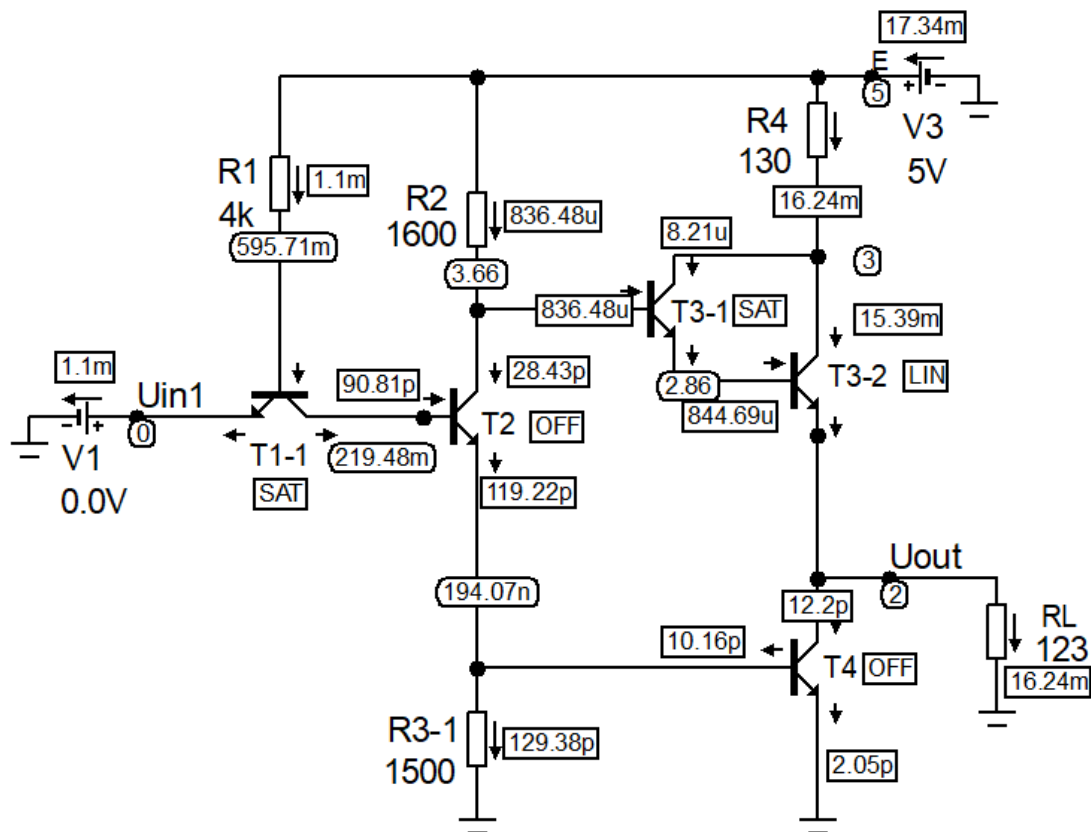


Рис. 3.50. Результати моделювання елемента ТТЛ зі схемою Дарлінгтона та потужним навантаженням

6. В якому стані працює транзистор T_2 в схемі на рис.3.47 при закритому транзисторі T_1 ? Обґрунтуйте відповідь.
7. Чи можна сказати, що в схемі Дарлінгтона підвищується вхідний опір? Обґрунтуйте відповідь.
8. Чому дорівнює загальний коефіцієнт підсилення по струму схеми Дарлінгтона?
9. Прокоментуйте вираз (3.18).
10. Приведіть схему елемента ТТЛ зі схемою Дарлінгтона.
11. В яких станах перебувають транзистори в схемі на рис.3.48 при низькому рівні вхідної напруги?
12. В яких станах перебувають транзистори в схемі на рис.3.48 при високому рівні вхідної напруги?
13. Чим визначається стан транзистора T_{3-1} при високому рівні вхідної напруги?
14. Як визначити вихідну напругу елемента на рис.3.48 при низькому рівні вхідної напруги і лінійному режимі транзистора T_{3-1} ?
15. Прокоментуйте вираз (3.19).
16. Відповідно до якого закону складений вираз (3.19)?
17. Для чого використовується схема Дарлінгтона в елементах ТТЛ?
18. Прокоментуйте результати моделювання на рис.3.49.

19. В якому стані працює транзистор T_{3-1} при низькому рівні вхідної напруги і малопотужному навантаженні?
20. В якому стані працює транзистор T_{3-1} при низькому рівні вхідної напруги і потужному навантаженні?
21. За яким законом складено вираз (3.20)?
22. Яким чином отримано вираз (3.20)?
23. Прокоментуйте вираз (3.21).
24. Поясніть що відбувається в схемі елемента ТТЛ на рис.3.48 при виконанні нерівності (3.21).
25. Поясніть що відбувається в схемі елемента ТТЛ на рис.3.48 при невиконанні нерівності (3.21).
26. Для чого використовується нерівність (3.21)?
27. Прокоментуйте результати моделювання на рис.3.50.
28. Як прискорити вимикання транзистора T_{3-2} ?

3.6.2. Елементи ТТЛ з підвищеною завадостійкістю

В підрозділі 3.4.1 розглядалася передатна характеристика базового елемента ТТЛ (див. рис.3.21). Недоліком такого елемента є наявність на передатній характеристиці ділянки II, на якій спостерігається зменшення вихідної напруги високого рівня внаслідок того, що при підвищенні вхідної напруги відбувається вмикання транзистора T_2 , але транзистор T_4 при цьому ще залишається закритим. Тож при роботі на ділянці II величина завадостійкості високого рівня зменшується.

Для того, щоб уникнути цього недоліка в елементі ТТЛ резистор R_3 замінюється схемою, що складається з додаткового транзистора T_5 і двох резисторів R_{3-1} і R_{3-2} . Схема такого елемента приведена на рис.3.51.

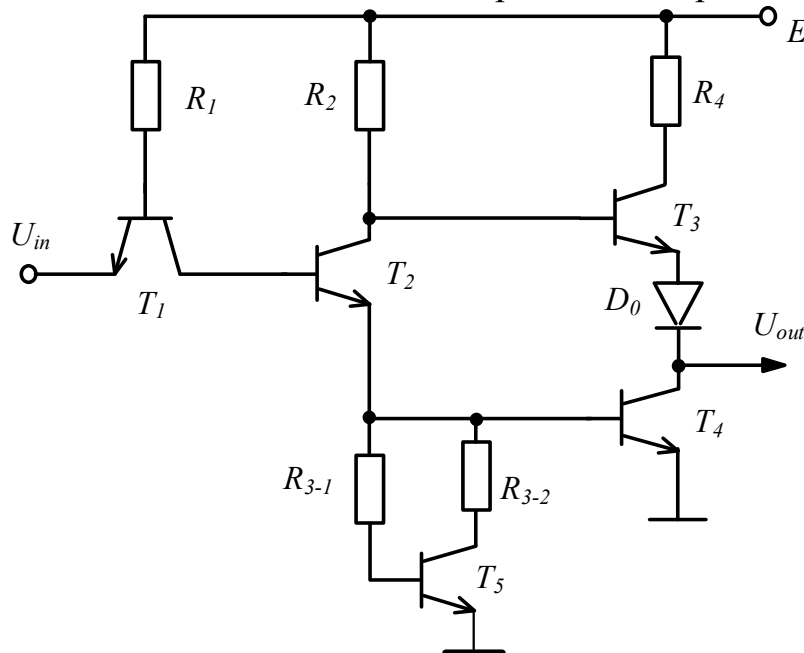


Рис. 3.51. Елемент ТТЛ з підвищеною завадостійкістю

В схемі на рис.3.51 транзистори T_4 і T_5 включені практично паралельно, тому на другій ділянці передатної характеристики, попри відкриття транзистора T_2 , транзистори T_4 і T_5 залишаються закритими, в результаті чого відсутній шлях для протікання струму емітера T_2 , тобто на цій ділянці зниження вихідної напруги не відбувається. Результати моделювання такого елемента приведені на рис.3.52.

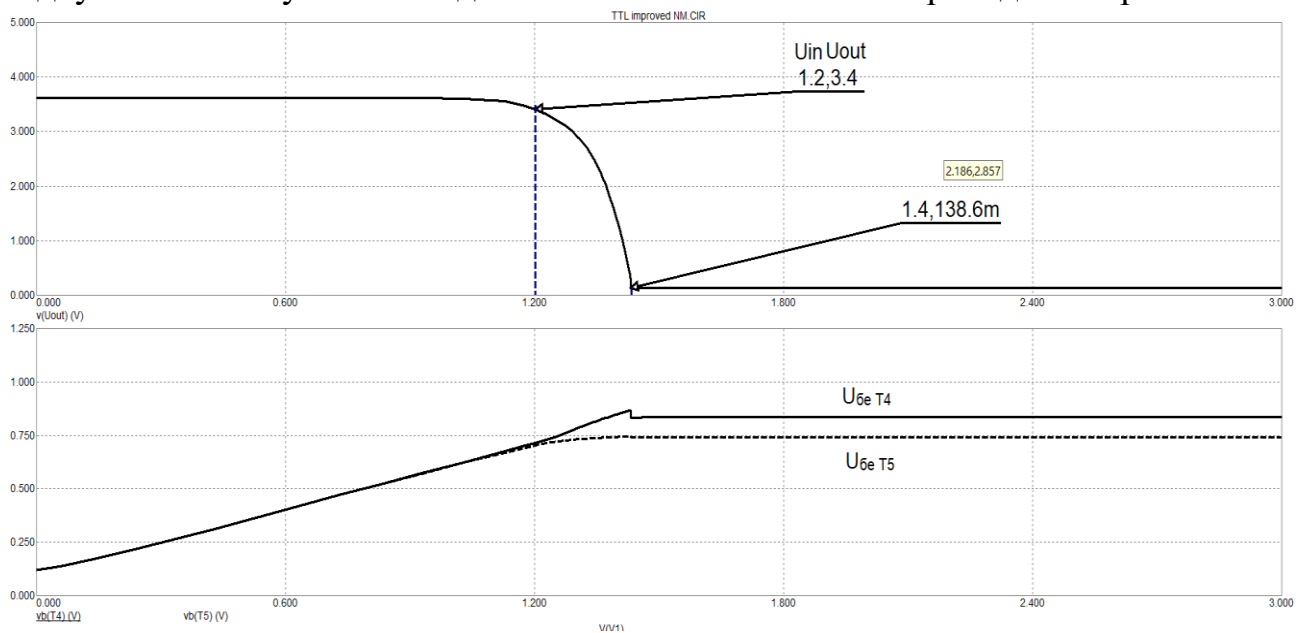


Рис. 3.52. Результати моделювання передатної характеристики з підвищеною завадостійкістю

У верхній частині результатів моделювання приведена передатна характеристика, на якій можна побачити, що зниження вихідної напруги починається, коли вхідна напруга U_{in} досягне $1,2V$ (порівняйте рис.3.21 і рис.3.52). При досягненні U_{in} величини $1,4V$ відкриваються транзистори T_4 , T_5 і на виході формується низький рівень напруги. Таким чином, вхідна напруга між $1,2V$ і $1,4V$ визначають третю (динамічну) ділянку передатної характеристики.

В нижній частині рис.3.52 приведені напруги база-емітер транзисторів T_5 (показано пунктиром) і T_4 в залежності від вхідної напруги. На результатах моделювання можна побачити, що транзистори T_4 і T_5 відкриваються одночасно, коли вхідна напруга досягає значення $1,4V$.

На рис.3.53 для порівняння приведені результати моделювання передатних характеристик базового елемента ТТЛ (показано пунктиром) і елемента з підвищеною завадостійкістю.

Контрольні завдання та запитання

1. Яку залежність описує передатна характеристика логічних елементів?
2. В чому полягає недоліки базового елемента ТТЛ з точки зору завадостійкості?
3. Що спостерігається на ділянці II передатної характеристики базового елемента ТТЛ?

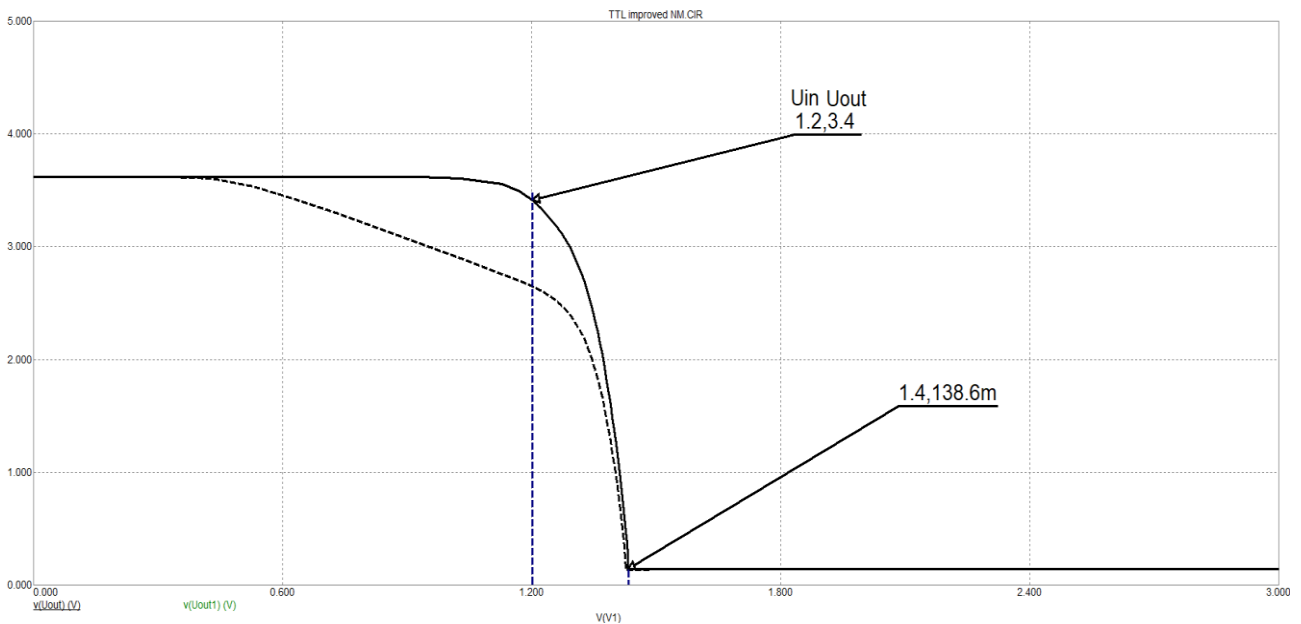


Рис. 3.53. Результати моделювання передатних характеристик елементів ТТЛ

4. Чим пояснюється зниження вихідної напруги високого рівня на ділянці II передатної характеристики базового елемента ТТЛ?
5. Як збільшити завадостійкість високого рівня елемента ТТЛ?
6. Поясніть призначення транзистора T_5 в схемі на рис.3.51.
7. Що відбувається в схемі на рис.3.51 на ділянці II передатної характеристики?
8. Прокоментуйте результати моделювання на рис.3.52.
9. Яку інформацію можна отримати про роботу транзисторів T_5 і T_4 з результатів моделювання на рис.3.52?
10. Прокоментуйте результати моделювання на рис.3.53.
11. В чому полягає різниця між передатними характеристиками базового елемента ТТЛ і елемента на рис.3.51?
12. Як визначити завадостійкість логічного елемента, використовуючи передатну характеристику?
13. Визначити завадостійкість елемента ТТЛ за результатами моделювання передатної характеристики на рис.3.52.
14. Визначити завадостійкість елемента ТТЛ за результатами моделювання передатної характеристики, показаної пунктиром на рис.3.53.
15. Яким чином впливає транзистор T_5 в схемі на рис.3.51 на величину завадостійкості високого рівня? Обґрунтуйте відповідь.
16. Яким чином впливає транзистор T_5 в схемі на рис.3.51 на величину завадостійкості низького рівня? Обґрунтуйте відповідь.

3.6.3. Елементи ТТЛ з обмежувальними діодами

Практично всі елементи ТТЛ мають у своєму складі так звані обмежувальні діоди (діоди захисту, антидзвонні діоди, *protection diodes*). До кожного входу

елемента ТТЛ підключається обмежувальний діод, як показано на рис.3.54, на якому представлено вхідне коло елемента ТТЛ.

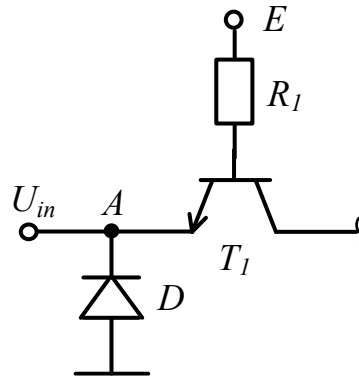


Рис. 3.54. Вхідне коло елемента ТТЛ з обмежувальним діодом

Якщо вхідна напруга приймає номінальні значення, то обмежувальний діод закритий і не впливає на роботу елемента. Однак в результаті переключення транзисторів елемента ТТЛ, особливо, коли використовуються RC -кола в якості навантаження, то в схемі можуть виникати короткочасні імпульси негативної напруги, які потім надходять на входи елементів ТТЛ. В цьому випадку, якщо величина вхідної напруги нижче значення $-U_{d0}$, тобто $-0,7B$, то обмежувальний діод відкривається і напруга на вході фіксується на рівні $U_A = -0,7B$. В якості обмежувальних діодів часто використовуються діоди Шотткі [1]. В цьому випадку негативна напруга на вході обмежується на рівні $-0,3B$.

Контрольні завдання та запитання

1. Для чого використовуються обмежувальні діоди у складі елементів ТТЛ?
2. Чому в цифрових схемах виникають імпульси негативної напруги?
3. Поясніть принцип роботи схеми на рис.3.54.
4. Як визначити напругу у вузлі A в схемі на рис.3.54, якщо вхідна напруга нижче $-U_{d0}$?
5. В якому стані перебуває обмежувальний діод, якщо $U_{in} = 0,8B$? Обґрунтуйте відповідь.
6. В якому стані перебуває обмежувальний діод, якщо $U_{in} = -0,2B$? Обґрунтуйте відповідь.
7. В якому стані перебуває обмежувальний діод, якщо $U_{in} = -1,2B$? Обґрунтуйте відповідь.
8. Визначити напругу у вузлі A в схемі на рис.3.54, якщо $U_{in} = 0,3B$.
9. Визначити напругу у вузлі A в схемі на рис.3.54, якщо $U_{in} = -0,5B$.
10. Визначити напругу у вузлі A в схемі на рис.3.54, якщо $U_{in} = -1,5B$.
11. Визначити напругу у вузлі A в схемі на рис.3.54, якщо $U_{in} = -0,5B$ за умови, що обмежувальний діод є діодом Шотткі.
12. В якому стані перебуває обмежувальний діод, якщо $U_{in} = -0,5B$ за умови, що обмежувальний діод є діодом Шотткі.

13. Скільки потрібно обмежувальних діодів для 8-входового елемента ТТЛ? Обґрунтуйте відповідь.
14. Які властивості притаманні діодам Шоттки на відміну від звичайних діодів.

3.6.4. Елементи ТТЛ з діодами Шоттки

Для підвищення швидкодії елементів ТТЛ використовуються діоди Шоттки. Такі елементи скорочено називають ТТЛШ. Діоди Шоттки підключаються між базою і колектором транзистора і утворюють нелінійний негативний зворотній зв'язок (ННЗЗ). Вплив ННЗЗ на швидкодію транзистора детально розглядався в підрозділі 1.5 цього посібника. Суть цього впливу полягає в тому, що діод Шоттки у складі ННЗЗ не дозволяє транзистору входити в режим насичення, в результаті чого транзистор працює в лінійному режимі поруч з межею насичення. Таким чином, при вимиканні в транзисторі відсутній процес розсмоктування неосновних носіїв розрядів з ділянки бази, тобто час розсмоктування дорівнює нулю.

Позначення серій елементів ТТЛШ містить літеру «S» (*Schottky*), наприклад, *SN74S*, *SN74LS*, *SN74ALS*, *SN74AS*.

Схема двовходового елемента ТТЛШ, який виконує функцію 2І-НІ, приведена на рис.3.55.

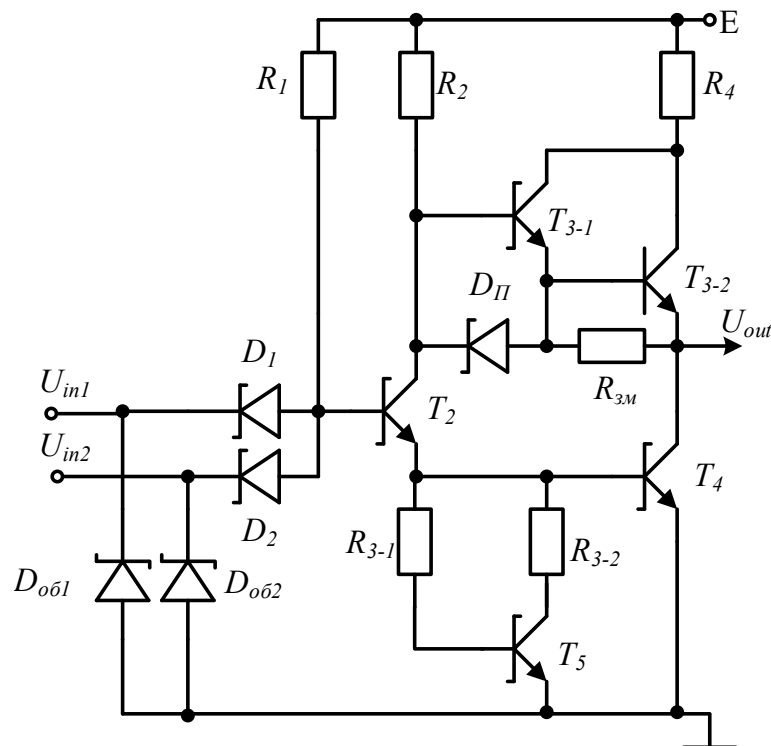


Рис. 3.55. Елемент ТТЛШ

Приведена схема включає всі попередньо розглянуті модифікації елементів ТТЛ: обмежувальні діоди ($D_{об1}$, $D_{об2}$), транзистор T_5 для підвищення завадостійкості, схему Дарлінгтона. Всі діоди і транзистори за винятком T_{3-2} є діодами або транзисторами Шоттки. У зв'язку з тим, що при входній напрузі низького рівня транзистор T_{3-2} завжди працює в лінійному режимі, то цей

транзистор використовується без діода Шоттки між базою і колектором. Діод D_{II} і резистор $R_{зм}$ призначені для прискорення вимикання транзистора T_{3-2} . Діоди D_1 і D_2 разом з резистором R_I утворюють діодний логічний елемент, який виконує функцію I та замінюють транзистор T_I . В схемі елемента збережена та ж сама нумерація транзисторів, яка використовувалася в попередніх підрозділах.

Зверніть увагу, що вхідне коло елемента ТТЛШ фактично утворює елемент ДТЛ зі складним інвертором, розглянутий в підрозділі 3.1 посібника, але тим не менше такі елементи відносять до елементів ТТЛ.

Контрольні завдання та запитання

1. Для чого використовуються діоди Шоттки в елементах ТТЛ?
2. Яким чином утворюється транзистор Шоттки?
3. В якому режимі працює транзистор Шоттки при відкритому переході база-емітер?
4. Яким чином підвищується швидкодія елементів ТТЛШ у порівнянні з базовими елементами ТТЛ?
5. На який динамічний параметр впливає транзистор Шоттки?
6. Поясніть принцип роботи схеми на рис.3.55.
7. Яку логічну функцію реалізує елемент, схема якого приведена на рис.3.55? Обґрунтуйте відповідь.
8. Чому в якості транзистора T_{3-2} в схемі на рис.3.55 не використовується транзистор Шоттки?
9. Поясніть призначення діода D_{II} і резистора $R_{зм}$ в схемі на рис.3.55? Обґрунтуйте відповідь.
10. Чи можна сказати, що елемент ТТЛШ можна віднести до класу елементів ДТЛ СІ? Обґрунтуйте відповідь.
11. Яку роль відіграють транзистори T_{3-1} і T_{3-2} в схемі на рис.3.55?
12. В якому стані працюють транзистори і діоди в схемі на рис.3.55 при низькому рівні напруги хоча б на одному вході?
13. В якому стані працюють транзистори і діоди в схемі на рис.3.55 при високому рівні напруги на всіх входах елемента?
14. Для чого використовуються діоди D_1 і D_2 в схемі на рис.3.55?

3.6.5. Елементи ТТЛ з відкритим колектором

Одним з видів елементів ТТЛ є так звані елементи з відкритим колектором (*open collector element*). Ці елементи утворюються за допомогою видалення кіл транзистора T_3 зі схеми базового елемента ТТЛ (наприклад, елемент $SN7403$). Схеми базового елемента з відкритим колектором приведені на рис.3.56,а.

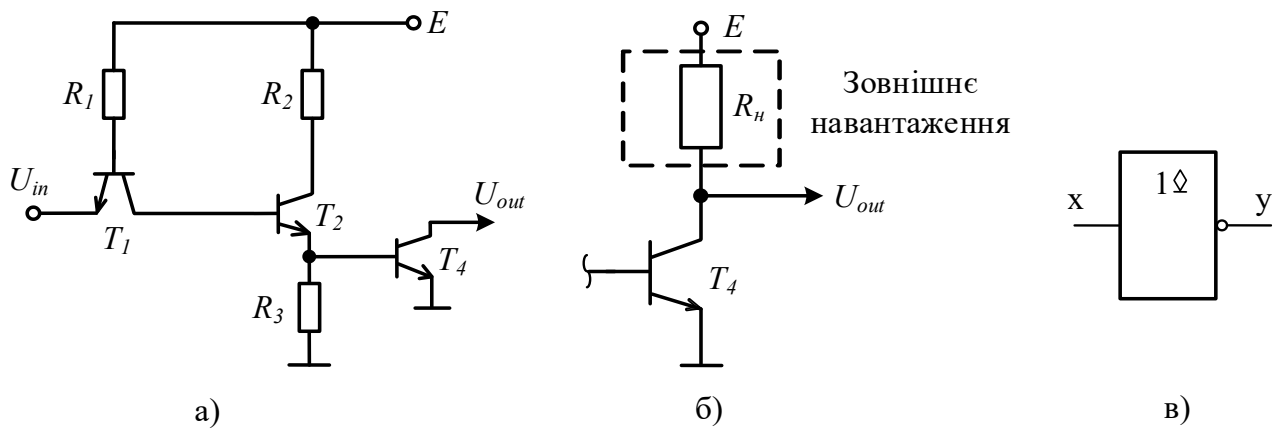


Рис. 3.56. Елемент ТТЛ з відкритим колектором

Як можна побачити на рис.3.56,а, колектор транзистора T_4 є непідключеним (*free pin*). У зв'язку з цим елемент ТТЛ з відкритим колектором (ТТЛВК) не використовується як самостійний логічний елемент. Для забезпечення коректного використання такого елемента до колектору T_4 необхідно під'єднувати зовнішнє навантаження, яке містить, як правило, резистор навантаження R_n , підключений до джерела живлення. На рис.3.56,б приведений фрагмент елемента ТТЛВК з прикладом підключеного навантаження. Резистор, який підключається до будь-якого вузла схеми (як правило до входу або до виходу елемента) та джерела живлення називається *pull-up* резистором (на відміну від способу підключення резистора між будь-яким вузлом пристрою і землею – *pull-down* резистор). На рис.3.56,в приведено УГП елемента з відкритим колектором, яке використовується на функціональних схемах.

Принцип роботи такого елемента є аналогічним з роботою базового елемента ТТЛ. При цьому вихідне коло збігається з вихідним колом звичайного інвертора [1].

Якщо на вхід надходить напруга низького рівня, то транзистор T_1 перебуває в режимі насичення, а транзистори T_2 і T_4 – в режимі відсічки. В результаті на колекторі T_4 формується вихідна напруга високого рівня та в режимі холостого ходу $U_{out} = E$.

При надходженні вхідної напруги високого рівня транзистор T_1 перебуває в інверсному режимі, а транзистори T_2 і T_4 – в режимі насичення. На виході елемента формується напруга низького рівня $U_{out} = U_{кен}^{T_4}$.

Елементи ТТЛ з відкритим колектором призначені для використання наступним чином:

- підключення нестандартного навантаження, наприклад: узгодження рівнів сигналів різних систем елементів, керування потужним навантаженням, індикація станів логічних елементів тощо;
- організація пристроїв з організацією монтажної логіки;
- організація загальних шин в мікропроцесорних та мікроконтролерних системах.

3.6.5.1. Індикація станів логічних елементів

Одним зі способів використання елементів з відкритим колектором є індикація станів логічних елементів (ЛЕ). В якості елементів індикації можуть використовуватися світлодіоди (**Light Emitter Diodes, LED**), світлодіодні матриці, матриці на рідких кристалах тощо. Далі розглянемо спосіб індикації стану звичайного логічного елемента з одним виходом. В цьому випадку навантаження елемента ТТЛВК, як правило, складається з опору навантаження R_n і світлодіоду D .

Принцип роботи світлодіоду збігається з функціонуванням звичайного діода. В закритому стані струм через діод практично не протікає і світлодіод не світиться. У відкритому стані через світлодіод протікає струм, в результаті чого спостерігається світіння світлодіода, колір якого визначається типом світлодіода. При цьому можна відзначити такі відмінності світлодіода зі звичайним світлодіодом:

- падіння напруги на світлодіоді в 2-3 рази більше, ніж у звичайного діода, і складає, як правило $1,5 - 3V$;

- у відкритому стані світлодіод світиться тільки в тому випадку, якщо струм світлодіода перевищує так званий мінімальний струм світіння $I_{LED min}$, значення якого задається в довідковій літературі.

Умовне графічне позначення (УГП) світлодіода приведено на рис.3.57,а.

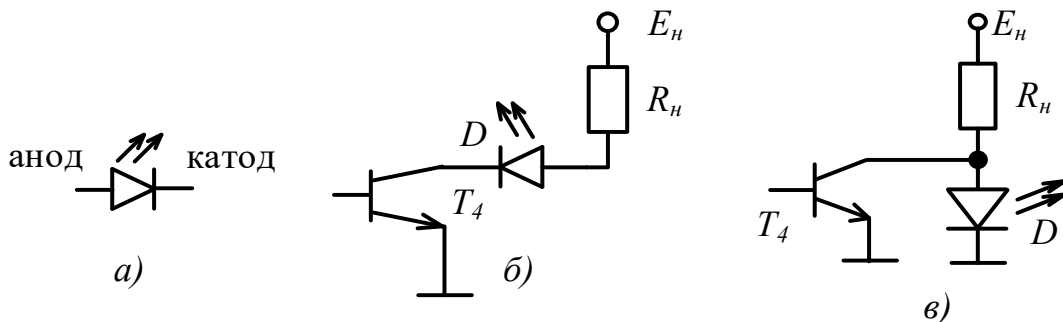


Рис. 3.57. УГП світлодіода та схеми індикації станів ЛЕ

На рис.3.57,б,в показані вихідне коло елемента ТТЛВК (транзистор T_4) та два способи підключення світлодіодів до цього елемента.

Розглянемо перший спосіб підключення світлодіода (рис.3.57,б). Якщо на вхід елемента ТТЛВК надходить високий рівень напруги, то, як вже відзначалося вище, транзистор T_4 перебуває в режимі насичення, тобто по колу E_n, R_n, D, T_4 протікає струм, світлодіод D відкритий і повинен світитися за умови правильного розрахунку величини опору резистора R_n .

Виконаємо розрахунок допустимих значень опору R_n . Для коректної роботи схеми струм через світлодіод I_{LED} з одного боку повинен бути більше $I_{LED min}$, а з іншого боку цей струм повинен бути менше максимально допустимого струму світлодіода $I_{LED max}$ і максимального струму колектору транзистора T_4 $I_{k max}^{T_4}$, величини яких також приводяться в довідковій літературі. При цьому струм I_{LED} повинен бути менше мінімального зі струмів $I_{LED max}$ і $I_{k max}^{T_4}$.

Таким чином, запишемо

$$I_{LED\ min} < I_{LED} < \min(I_{LED\ max}, I_{к\ max}^{T4}). \quad (3.22)$$

Схема заміщення для розрахунку струму I_{LED} приведена на рис.3.58.

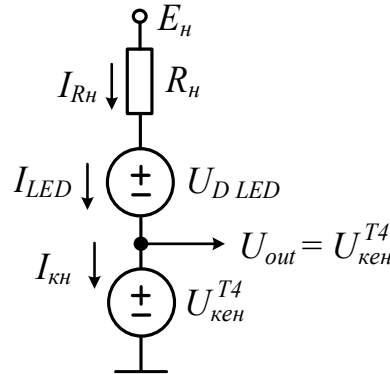


Рис. 3.58. Схема заміщення для розрахунку I_{LED}

Розрахунок струму I_{LED} виконується за допомогою закону Ома:

$$I_{LED} = I_{R_n} = I_{кн} = \frac{E_n - U_{D\ LED} - U_{кен}^{T4}}{R_n}. \quad (3.23)$$

Підставляючи вираз (3.23) в нерівність (3.22), виконаємо розв'язок цієї нерівності відносно R_n .

$$I_{LED} > I_{LED\ min}; \quad I_{LED} = \frac{E_n - U_{D\ LED} - U_{кен}^{T4}}{R_n} > I_{LED\ min};$$

$$R_n < \frac{E_n - U_{D\ LED} - U_{кен}^{T4}}{I_{LED\ min}}. \quad (3.24)$$

Вираз (3.24) визначає верхню межу опору резистора R_n . Далі визначимо нижню межу R_n . Позначимо $I_s = \min(I_{LED\ max}, I_{к\ max}^{T4})$. Тоді

$$I_{LED} < I_s; \quad I_{LED} = \frac{E_n - U_{D\ LED} - U_{кен}^{T4}}{R_n} < I_s;$$

$$R_n > \frac{E_n - U_{D\ LED} - U_{кен}^{T4}}{I_s}; \quad R_n > \frac{E_n - U_{D\ LED} - U_{кен}^{T4}}{\min(I_{LED\ max}, I_{к\ max}^{T4})}. \quad (3.25)$$

Далі вибирається будь-яке значення R_n з інтервалу, що визначають вирази (3.24) і (3.25). Слід зазначити, що доцільно вибирати величину R_n ближче до верхньої межі для зменшення струму споживання, але при цьому може зменшитися яскравість світіння світлодіода.

Якщо на вхід елемента ТТЛВК надходить низький рівень напруги, то, транзистор T_4 перебуває в режимі відсічки, тому відсутній шлях для протікання струму в колі E_n, R_n, D, T_4 (точніше в цьому колі протікає тепловий струм колектору $I_{кн}$, який набагато менше $I_{LED\ min}$). В результаті світлодіод D закритий і не світиться.

Таким чином, приведений на рис.3.57,б спосіб підключення світлодіода відображує стан сигналу на вході ТТЛВК. При використанні кодування сигналів за логікою високого рівня наявність на вході ТТЛВК напруги високого рівня, що

відповідає логічній одиниці, викликає світіння світлодіода, в протилежному випадку (на вході логічний нуль) світлодіод не світиться.

Розглянемо приклад розрахунку опорного резистора навантаження ТТЛВК.

Приклад 3.6. Визначити інтервал значень опорного резистора навантаження ТТЛВК, що забезпечує коректне функціонування елемента ТТЛВК, схема якого приведена на рис.3.57,б. Параметри елемента: $E = 5V$; $E_H = 5V$; $I_{km} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7V$; $U_{кен} = 0,15V$; $m = 1$; $I_{к max}^{T4} = 16mA$; $I_{LED min} = 1mA$; $I_{LED max} = 10mA$; $U_{D LED} = 2V$.

Розв'язок.

Відповідно до виразу (3.24) отримаємо верхню межу опорного резистора R_H

$$R_H < \frac{E_H - U_{D LED} - U_{кен}^{T4}}{I_{LED min}}; R_H < \frac{5 - 2 - 0,15}{1}; R_H < 2,85k.$$

Відповідно до виразу (3.25) отримаємо нижню межу опорного резистора R_H

$$R_H > \frac{E_H - U_{D LED} - U_{кен}^{T4}}{\min(I_{LED max}, I_{к max}^{T4})}; R_H > \frac{5 - 2 - 0,15}{\min(10, 16)}; R_H > \frac{2,85}{10}; R_H > 0,285k.$$

Таким чином, відповідно до розрахунків $0,285k < R_H < 2,285k$. Виберемо $R_H = 2k$ та виконаємо моделювання схеми індикації стану ЛЕ за схемою 3.57,б з зазначенням струмів, напруг і станів напівпровідникових пристроїв.

На рис.3.59 приведені результати моделювання елемента ТТЛВК для індикації стану ЛЕ при низькому рівні входньої напруги $U_{in} = 0V$. На результатах моделювання можна побачити, що світлодіод LED є закритим (позначено пунктиром).

На рис.3.60 приведені результати моделювання елемента ТТЛВК для індикації стану ЛЕ при високому рівні входньої напруги $U_{in} = 3,5V$. На результатах моделювання можна побачити, що світлодіод LED відкритий і світиться (позначено пунктиром).

На рис.3.61 приведені результати моделювання елемента ТТЛВК для індикації стану ЛЕ також при високому рівні входньої напруги $U_{in} = 3,5V$, але з резистором навантаження, опір якого перебуває поза інтервалу допустимих R_H ($R_H = 2,9k$). На результатах моделювання можна побачити, що світлодіод LED відкритий, але не світиться у зв'язку, що $I_{LED} < I_{LED min}$ ($I_{LED} = 0,99mA$).

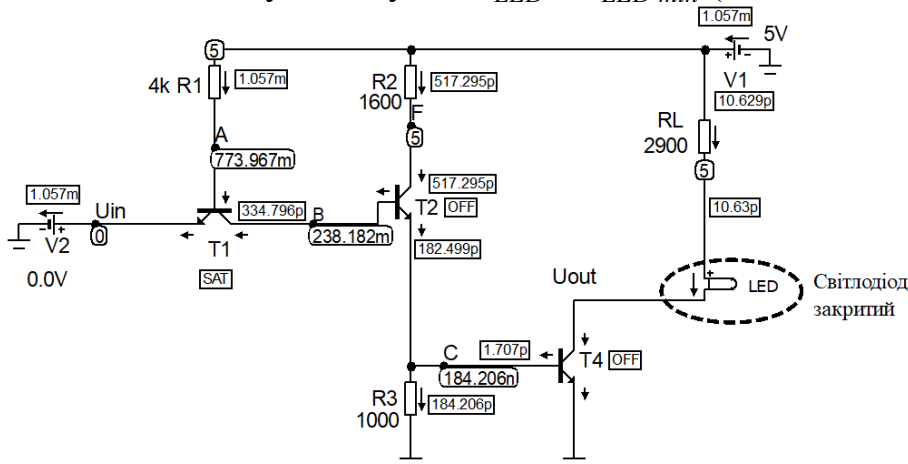


Рис. 3.59. Результати моделювання елемента ТТЛВК при $U_{in} = 0V$

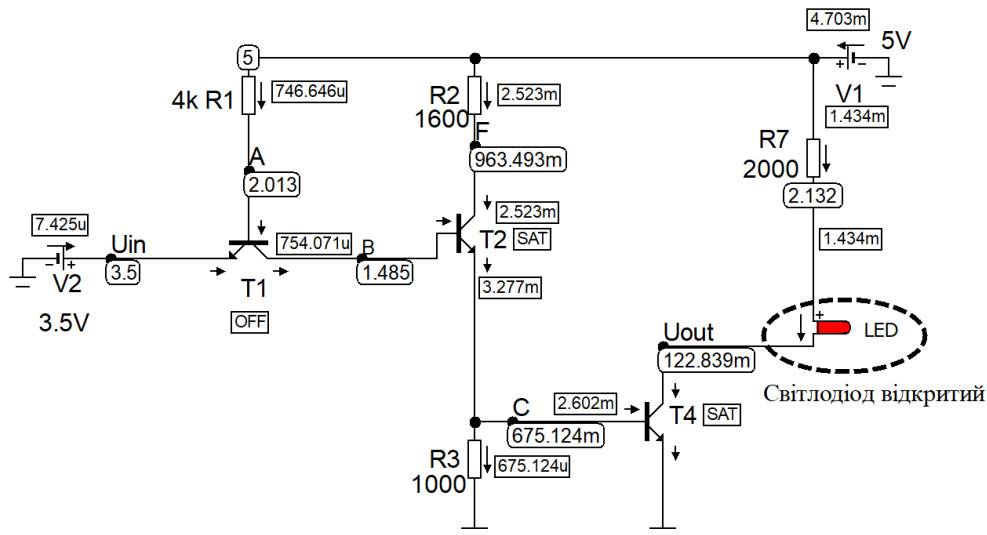


Рис. 3.60. Результати моделювання елемента ТТЛВК при $U_{in} = 3,5V$

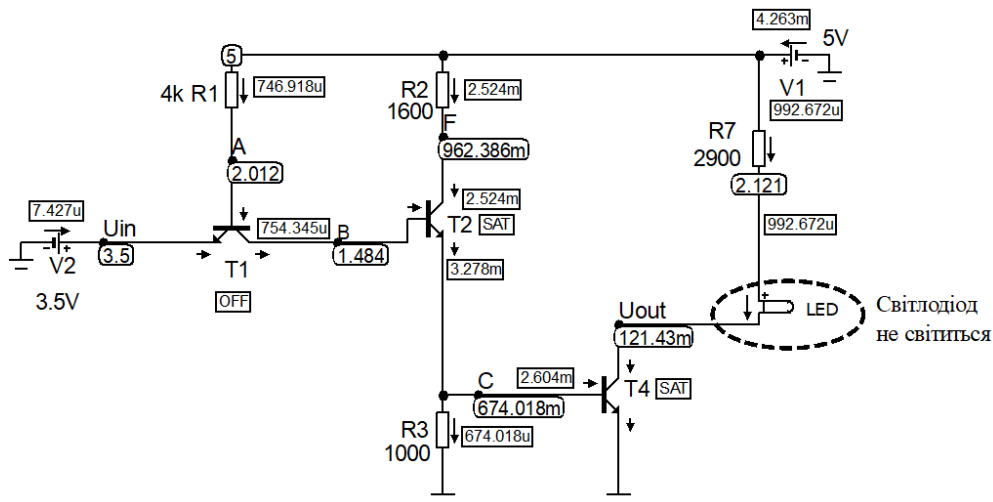


Рис. 3.61. Результати моделювання елемента ТТЛВК при $U_{in} = 3,5V$ і значенні R_n поза інтервалу допустимих значень

Таким чином, результати моделювання збігаються з розрахунками в прикладі 3.6.

Далі розглянемо другий спосіб підключення світлодіода, приведений на рис.3.57,в.

Якщо на вхід елемента ТТЛВК надходить високий рівень напруги, транзистор T_4 перебуває в режимі насичення, на виході формується напруга низького рівня $U_{out} = U_{кен}^{T_4} = 0,1V$. Цієї напруги недостатньо для відпирання світлодіода (транзистор T_4 шунтує світлодіод), тому світлодіод закривається і не світиться.

При надходженні на вхід елемента ТТЛВК низького рівня напруги транзистор T_4 перебуває в режимі відсічки, тому струм навантаження протікає через коло E_n, R_n, D , в результаті чого світлодіод відкривається і починає світитися, якщо струм через нього перевищує $I_{LED\ min}$.

У зв'язку з тим, світлодіод і транзистор T_4 відповідно до схеми на рис.3.57,в включені паралельно, то відповідні струми через ці напівпровідникові елементи будемо визначати окремо для насичення і відсічки транзистора T_4 .

Спочатку розглянемо режим, коли T_4 перебуває в стані відсічки та визначимо значення верхньої і нижньої межі опору резистора R_n . Як вже зазначалося вище, струм через світлодіод I_{LED} повинен бути більше $I_{LED min}$ і менше $I_{LED max}$, тому запишемо нерівності:

$$I_{LED min} < I_{LED} < I_{LED max}. \quad (3.26)$$

Схема заміщення для режиму відсічки T_4 , не враховуючи тепловий струм цього транзистора, приведена на рис.3.62,а.

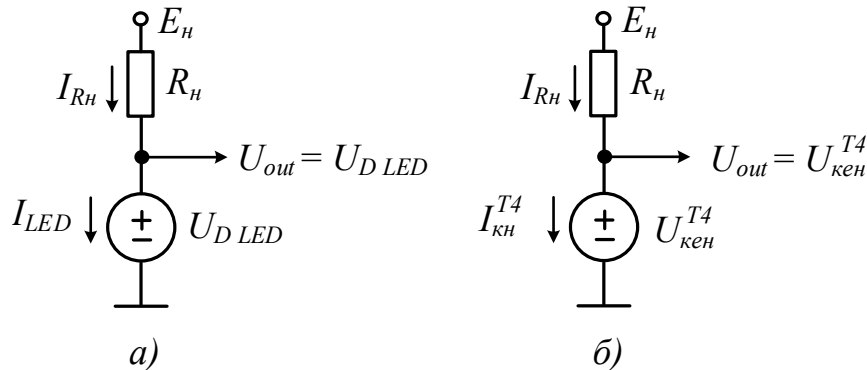


Рис. 3.62. Схеми заміщення для розрахунку I_{LED} і $I_{кн}^{T4}$

Розрахунок струму I_{LED} виконується за допомогою закону Ома:

$$I_{LED} = I_{Rn} = \frac{E_n - U_{D LED}}{R_n}. \quad (3.27)$$

Підставляючи вираз (3.27) в нерівність (3.26), виконаємо розв'язок цієї нерівності відносно R_n .

$$I_{LED} > I_{LED min}; \quad I_{LED} = \frac{E_n - U_{D LED}}{R_n} > I_{LED min};$$

$$R_n < \frac{E_n - U_{D LED}}{I_{LED min}}. \quad (3.28)$$

Вираз (3.28) визначає верхню межу опору резистора R_n . Далі визначимо нижню межу R_n :

$$I_{LED} < I_{LED max}; \quad I_{LED} = \frac{E_n - U_{D LED}}{R_n} < I_{LED max};$$

$$R_n > \frac{E_n - U_{D LED}}{I_{LED max}}. \quad (3.29)$$

В результаті отриманий інтервал допустимих значень R_n за умови відкритого стану світлодіода.

Далі розглянемо розрахунок опору резистора R_n за умови відкритого стану транзистора T_4 . Для цього випадку струм колектору T_4 не повинен перевищувати максимально допустимий струм $I_{к max}^{T4}$. Схема заміщення для розрахунку струму колектору T_4 приведена на рис.3.62,б.

$$I_k^{T4} < I_k^{T4}; \quad I_k^{T4} = \frac{E_n - U_{кен}^{T4}}{R_n} < I_k^{T4};$$

$$R_n > \frac{E_n - U_{кен}^{T4}}{I_k^{T4}}. \quad (3.30)$$

Вираз (3.30) як і вираз (3.29) теж задає нижню межу опору резистора R_n .

В якості результату розрахунку нижньої межі R_n вибирається максимальне зі значень, отриманих за виразами (3.29) і (3.30).

Таким чином, приведений на рис.3.57,в спосіб підключення світлодіода відображує інверсний стан сигналу, який надходить на вхід ТТЛВК. При використанні кодування сигналів за логікою високого рівня наявність на вході ТТЛВК напруги високого рівня, що відповідає логічній одиниці, не викликає світіння світлодіода, в протилежному випадку (на вході логічний нуль) світлодіод світиться.

Розглянемо приклад розрахунку опору резистора навантаження елемента ТТЛВК, схема якого приведена на рис.3.57,в.

Приклад 3.7. Визначити інтервал значень опору резистора навантаження ТТЛВК, що забезпечує коректне функціонування елемента ТТЛВК, схема якого приведена на рис.3.57,в. Параметри елемента: $E = E_n = 5B$; $I_{км} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{бе} = 0,7B$; $U_{кен} = 0,15B$; $m = 1$; $I_k^{T4} = 16mA$; $I_{LED\ min} = 1mA$; $I_{LED\ max} = 12mA$; $U_{D\ LED} = 2B$.

Розв'язок.

Відповідно до виразу (3.28) отримаємо верхню межу опору R_n

$$R_n < \frac{E_n - U_{D\ LED}}{I_{LED\ min}}; \quad R_n < \frac{5 - 2}{1}; \quad R_n < 3k.$$

Далі відповідно до виразів (3.29) і (3.30) отримаємо нижню межу опору R_n та оберемо максимальне з отриманих значень.

$$R_n > \frac{E_n - U_{D\ LED}}{I_{LED\ max}}; \quad R_n > \frac{5 - 2}{12}; \quad R_n > 0,25k.$$

$$R_n > \frac{E_n - U_{кен}^{T4}}{I_k^{T4}}; \quad R_n > \frac{5 - 0,15}{16}; \quad R_n > 0,3k.$$

В результаті отримаємо, що нижня межа опору резистора R_n визначається нерівністю $R_n > 0,3k$.

Таким чином, відповідно до розрахунків $0,3k < R_n < 3k$. Нехай $R_n = 2k$. Виконаємо моделювання схеми індикації стану ЛЕ за схемою 3.57,в із зазначенням струмів, напруг і станів напівпровідникових пристроїв.

На рис.3.63 приведені результати моделювання елемента ТТЛВК для індикації стану ЛЕ при низькому рівні вхідної напруги $U_{in} = 0B$. На результатах моделювання можна побачити, що світлодіод LED відкритий і світиться (позначено пунктиром).

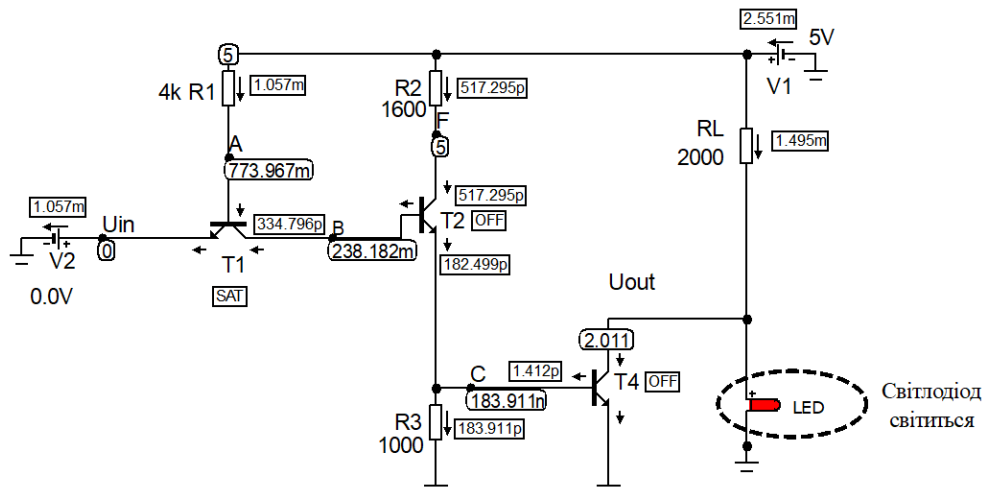


Рис. 3.63. Результати моделювання елемента ТТЛВК (рис.3.57,в) при $U_{in} = 0B$

На рис.3.64 приведені результати моделювання елемента ТТЛВК для індикації стану ЛЕ при високому рівні вхідної напруги $U_{in} = 3,5B$. На результатах моделювання можна побачити, що світлодіод LED закритий і не світиться (позначено пунктиром).

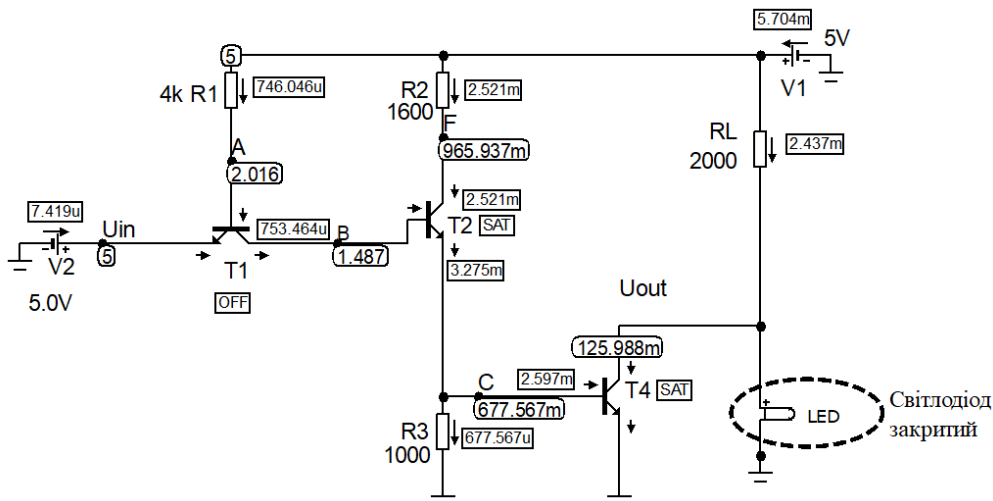


Рис. 3.64. Результати моделювання елемента ТТЛВК (рис.3.57,в) при $U_{in} = 5B$

На рис.3.65 приведені результати моделювання елемента ТТЛВК для індикації стану ЛЕ також при низькому рівні вхідної напруги $U_{in} = 0B$, але з резистором навантаження, опір якого перебуває поза інтервалу допустимих R_H ($R_H = 3,1k$). На результатах моделювання можна побачити, що світлодіод LED відкритий, але не світиться у зв'язку, що $I_{LED} < I_{LED\ min}$. ($I_{LED} = 0,97mA$).

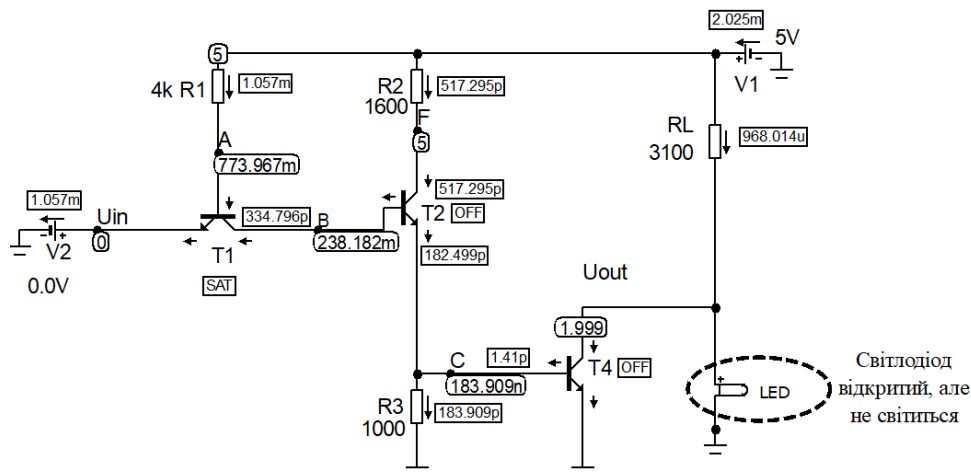


Рис. 3.65. Результати моделювання елемента ТТЛВК при $U_{in} = 0V$ і значенні R_n поза інтервалу допустимих значень

Таким чином, результати моделювання збігаються з розрахунками, проведеними в прикладі 3.7.

Порівнюючи схеми, приведені на рис.3.57,б і рис.3.57,в, з точки зору споживаної потужності, треба зазначити, що схема на рис.3.57,б є більш економічною, оскільки струм через R_n протікає тільки, коли світлодіод відкритий, на відміну від схеми на рис.3.57,в, в якій струм через R_n завжди існує і протікає далі через насичений транзистор T_4 або через відкритий світлодіод.

Крім того, потрібно зазначити, що в схемі на рис.3.57,в вихідна напруга при $U_{in} = 0V$ визначається падінням напруги на відкритому світлодіоді і складає, як правило, менше $2V$, що не відповідає високому рівню ТТЛ. Таким чином, такі схеми можна використовувати тільки для індикації станів ЛЕ без під'єднання іншого навантаження у вигляді елементів ТТЛ.

Контрольні завдання та запитання

1. Поясніть принцип роботи світлодіода.
2. Якими параметрами описується функціонування світлодіода?
3. Поясніть принцип роботи елемента ТТЛ з відкритим колектором.
4. Прокоментуйте схему на рис.3.56,а.
5. Прокоментуйте схему на рис.3.56,б.
6. Чому елемент ТТЛ з відкритим колектором не використовується в якості самостійного елемента?
7. В якому стані працюють транзистори елемента ТТЛВК при високому рівні вхідного сигналу?
8. В якому стані працюють транзистори елемента ТТЛВК при низькому рівні вхідного сигналу?
9. Приведіть приклад схеми навантаження на елемент ТТЛВК.
10. Що називається *pull-up* резистором?
11. Що називається *pull-down* резистором?

12. Приведіть УГП елемента з відкритим колектором на функціональних схемах.
13. Яке значення напруги низького рівня формується на виході елемента ТТЛВК з навантаженням?
14. Яке значення напруги високого рівня формується на виході елемента ТТЛВК з навантаженням, схема якого приведена на рис.3.56,б?
15. Для чого використовуються елементи ТТЛ з відкритим колектором?
16. В чому полягає різниця між параметрами світлодіода і звичайного діода?
17. Поясніть, в чому полягає фізичний сенс параметра $I_{LED\ min}$?
18. Приведіть УГП світлодіода. В чому полягає різниця між УГП світлодіода і звичайного діода?
19. Поясніть принцип роботи елемента ТТЛВК при підключенні світлодіода відповідно до схеми на рис.3.57,б та надходженні вхідної напруги високого рівня.
20. Поясніть нерівності (3.22).
21. Поясніть, як отримано схему заміщення на рис.3.58.
22. Як визначити струм через світлодіод в елементі ТТЛВК за підключення навантаження відповідно до схеми на рис.3.57,б при високому рівні вхідної напруги?
23. Як визначити струм через світлодіод в елементі ТТЛВК за підключення навантаження відповідно до схеми на рис.3.57,б при низькому рівні вхідної напруги?
24. За допомогою якого закону визначається струм світлодіода на схемі заміщення, приведеної на рис.3.58?
25. Як отримано вираз (3.23)?
26. Прокоментуйте розв'язок нерівності $I_{LED} > I_{LED\ min}$.
27. Який параметр описує нерівність (3.24)?
28. Що визначає змінна I_s ?
29. Який параметр описує нерівність (3.25)?
30. Прокоментуйте розв'язок нерівності $I_{LED} < I_s$.
31. Чому доцільно вибирати величину R_n ближче до верхньої межі?
32. Поясніть принцип роботи елемента ТТЛВК при підключенні світлодіода відповідно до схеми на рис.3.57,б та надходженні вхідної напруги низького рівня.
33. Стан якого сигналу відображує світлодіод при використанні способу підключення, приведеного на рис.3.57,б?
34. Визначити інтервал значень опору резистора навантаження ТТЛВК, що забезпечує коректне функціонування елемента ТТЛВК, схема якого приведена на рис.3.57,б. Параметри елемента: $E = 5V$; $E_n = 12V$; $I_{кт} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7V$; $U_{кен} = 0,2V$; $m = 1$; $I_{к\ max}^{T4} = 16mA$; $I_{LED\ min} = 2mA$; $I_{LED\ max} = 20mA$; $U_{D\ LED} = 2V$.
35. Визначити інтервал значень опору резистора навантаження ТТЛВК, що забезпечує коректне функціонування елемента ТТЛВК, схема якого приведена на рис.3.57,б. Параметри елемента: $E = 5V$; $E_n = 5V$; $I_{кт} = 0$;

$$\beta = 20; \quad \beta_i = 0,01; \quad U_{be} = 0,7B; \quad U_{кен} = 0,1B; \quad m = 1; \quad I_{к\ max}^{T4} = 20mA;$$

$$I_{LED\ min} = 1mA; \quad I_{LED\ max} = 10mA; \quad U_{D\ LED} = 1,5B.$$

36. Прокоментуйте результати моделювання на рис.3.59.
37. Прокоментуйте результати моделювання на рис.3.60.
38. В чому полягає різниця між результатами моделювання рис.3.59 і рис.3.60? Обґрунтуйте відповідь.
39. Прокоментуйте результати моделювання на рис.3.61.
40. В чому полягає різниця між результатами моделювання рис.3.60 і рис.3.61? Обґрунтуйте відповідь.
41. Чому на результатах моделювання на рис.3.61 світлодіод не світиться, не зважаючи на насичення T_4 ?
42. Поясніть принцип роботи елемента ТТЛВК при підключенні світлодіода відповідно до схеми на рис.3.57,в.
43. Стан якого сигналу відображує світлодіод при використанні способу підключення, приведенного на рис.3.57,в?
44. Визначити інтервал значень опору резистора навантаження ТТЛВК, що забезпечує коректне функціонування елемента ТТЛВК, схема якого приведена на рис.3.57,в. Параметри елемента: $E = 5B$; $E_n = 12B$; $I_{кт} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7B$; $U_{кен} = 0,2B$; $m = 1$; $I_{к\ max}^{T4} = 16mA$; $I_{LED\ min} = 2mA$; $I_{LED\ max} = 10mA$; $U_{D\ LED} = 2B$.
45. Визначити інтервал значень опору резистора навантаження ТТЛВК, що забезпечує коректне функціонування елемента ТТЛВК, схема якого приведена на рис.3.57,в. Параметри елемента: $E = 5B$; $E_n = 5B$; $I_{кт} = 0$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,75B$; $U_{кен} = 0,2B$; $m = 1$; $I_{к\ max}^{T4} = 12mA$; $I_{LED\ min} = 3mA$; $I_{LED\ max} = 15mA$; $U_{D\ LED} = 2,5B$.
46. Поясніть принцип роботи елемента ТТЛВК при підключенні світлодіода відповідно до схеми на рис.3.57,в та надходженні вхідної напруги високого рівня.
47. Поясніть принцип роботи елемента ТТЛВК при підключенні світлодіода відповідно до схеми на рис.3.57,в та надходженні вхідної напруги низького рівня.
48. Яке значення напруги високого рівня формується на виході елемента ТТЛВК з навантаженням, схема якого приведена на рис.3.57,в?
49. Яке значення напруги низького рівня формується на виході елемента ТТЛВК з навантаженням, схема якого приведена на рис.3.57,в?
50. Поясніть нерівності (3.26).
51. Поясніть, як отримано схему заміщення на рис.3.62,а.
52. Поясніть, як отримано схему заміщення на рис.3.62,б.
53. Як визначити струм через світлодіод в елементі ТТЛВК за підключення навантаження відповідно до схеми на рис.3.57,в при високому рівні вхідної напруги?
54. Як визначити струм через світлодіод в елементі ТТЛВК за підключення навантаження відповідно до схеми на рис.3.57,в при низькому рівні вхідної напруги?

55. За допомогою якого закону визначається струм світлодіода на схемі заміщення, приведений на рис.3.62,а?
56. За допомогою якого закону визначається струм колектор транзистора T_4 на схемі заміщення, приведений на рис.3.62,б?
57. Поясніть, як отримано вираз (3.27).
58. Прокоментуйте розв'язок нерівності $I_{LED} > I_{LED\ min}$ для схеми на рис.3.62,а.
59. Який параметр визначається за допомогою розв'язку нерівності (3.28)?
60. Прокоментуйте розв'язок нерівності $I_{LED} < I_{LED\ max}$ для схеми на рис.3.62,а.
61. Який параметр визначається за допомогою розв'язку нерівності (3.29)?
62. Яку інформацію можна отримати, розв'язуючи нерівності (3.28) і (3.29)?
63. Прокоментуйте розв'язок нерівності $I_{\kappa}^{T_4} < I_{\kappa\ max}^{T_4}$ для схеми на рис.3.62,б.
64. Який параметр визначається за допомогою розв'язку нерівності (3.30)?
65. В чому полягає різниця між результатами розв'язку нерівностей (3.29) і (3.30)? Обґрунтуйте відповідь.
66. Як визначити нижню межу R_n для схеми, що приведена на рис.3.62,б?
67. Прокоментуйте результати моделювання на рис.3.63.
68. Прокоментуйте результати моделювання на рис.3.64.
69. В чому полягає різниця між результатами моделювання рис.3.63 і рис.3.64? Обґрунтуйте відповідь.
70. Прокоментуйте результати моделювання на рис.3.65.
71. В чому полягає різниця між результатами моделювання рис.3.63 і рис.3.65? Обґрунтуйте відповідь.
72. Чому на результатах моделювання на рис.3.65 світлодіод не світиться, не зважаючи на відсічку T_4 ?
73. Яка зі схем, приведених на рис.3.57,б і рис.3.57,в краще з точки зору споживаної потужності?
74. Чому до виходу схеми на рис.3.57,в не можна підключати світлодіод разом з логічними елементами ТТЛ?
75. Як визначити вихідну напругу високого рівня в схемі елемента ТТЛВК з навантаженням, схема якого приведена на рис.3.57,в?

3.6.5.2. Організація монтажною логіки

Монтажна логіка (*Wired Logic*) утворюється за рахунок об'єднання колекторів транзисторів T_4 елементів ТТЛВК в один електричний вузол, підключаючи їх до *pull-up* резистора.

Схема, що реалізує монтажну логіку з використанням двох одноходових елементів ТТЛВК, приведена на рис.3.66.

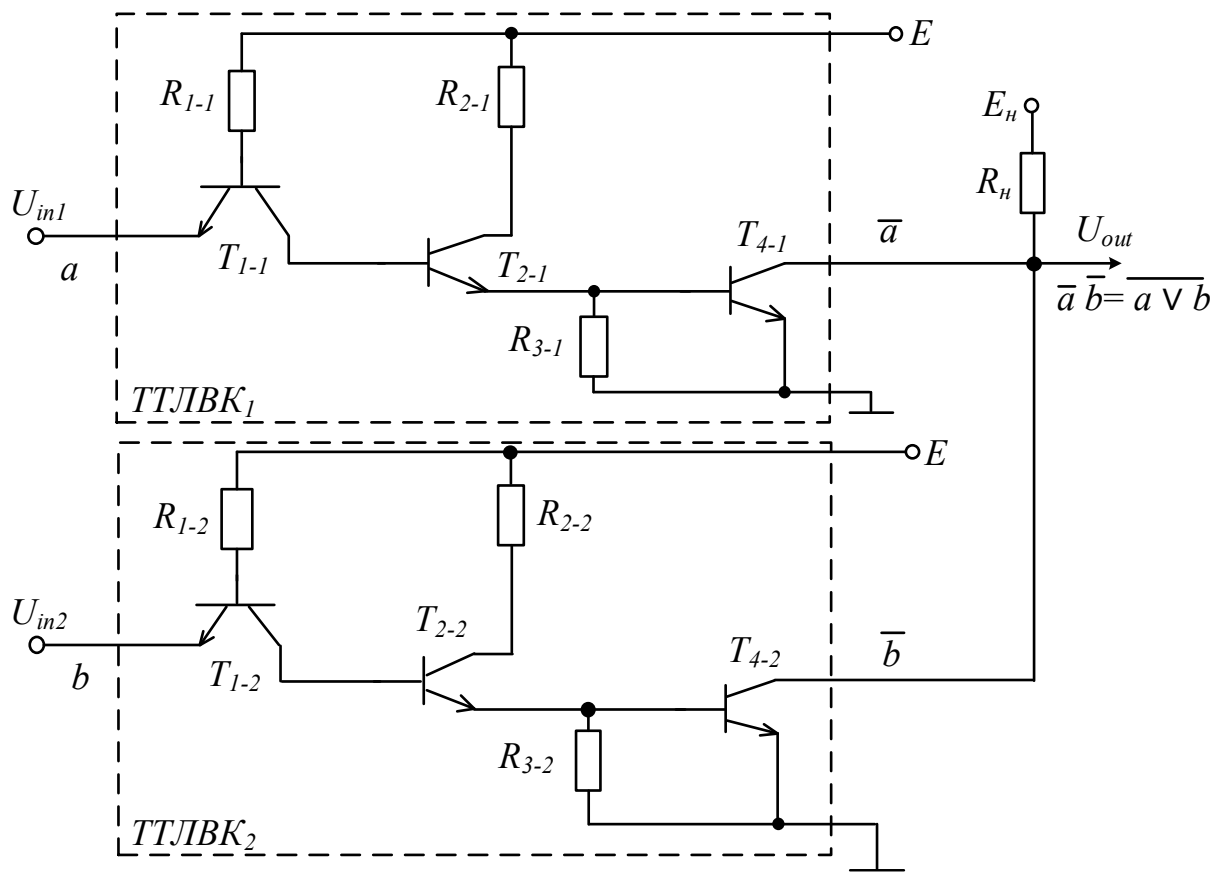


Рис. 3.66. Реалізація монтажної логіки

В схемі на рис.3.66 використовується двоіндексне позначення резисторів і транзисторів $i-j$, де i – номер транзистора або резистора відповідно до позначень в елементі ТТЛВК; j – номер елемента ТТЛВК (наприклад, T_{4-2} позначає транзистор T_4 другого елемента ТТЛВК).

Розглянемо принцип роботи цієї схеми.

При підключенні на всі входи низького рівня транзистори T_1 обох елементів перебувають в режимі насичення, а транзистори T_2 і T_4 цих елементів будуть перебувати в режимі відсічки. Схема заміщення вихідних кіл обох елементів ТТЛВК приведена на рис.3.67,а.

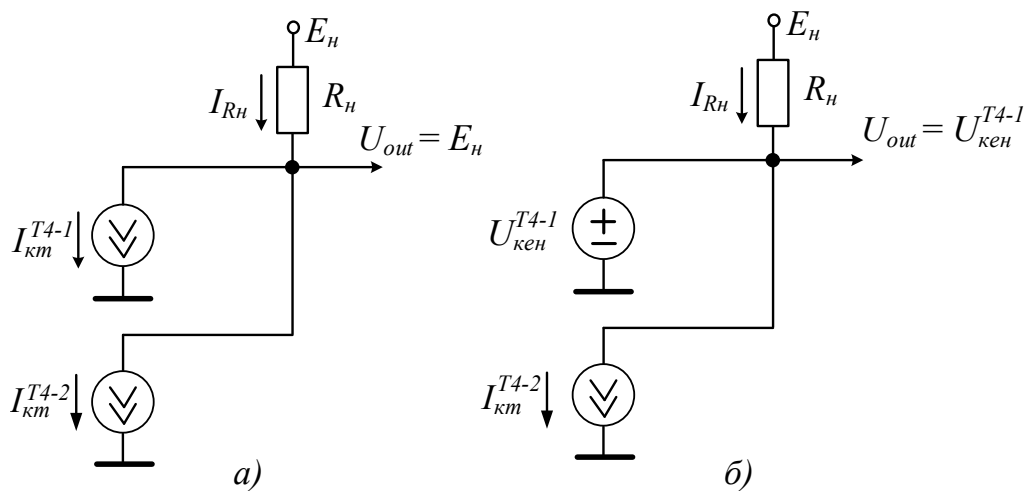


Рис. 3.67. Схеми заміщення вихідних кіл ЛЕ, утвореного за допомогою монтажною логікою

Вихідна напруга логічного елемента, утвореного монтажною логікою (ЛЕМЛ), в загальному випадку визначається за другим законом Кірхгофа

$$U_{out} = E_n - m \cdot I_{km} \cdot R_n,$$

де m – кількість елементів ТТЛВК, що утворюють монтажну логіку (для випадку, що розглядається, $m = 2$). Вважаючи, що $m \cdot I_{km} \cdot R_n \ll E_n$, то значення U_{out} відповідає високому рівню.

Якщо ж, наприклад, на перший вхід надходить напруга високого рівня, то транзистор T_{1-1} буде перебувати в інверсному режимі, T_{2-1} і T_{4-1} – в режимі насичення. В другому елементі ТТЛВК T_{1-2} перебуває в режимі насичення, а транзистори T_{2-2} і T_{4-2} – в режимі відсічки. Схема заміщення вихідних кіл обох елементів ТТЛВК приведена на рис.3.67,б, відповідно до якої $U_{out} = U_{кен}^{T4} = 0,1V$, що відповідає низькому рівню.

Таким чином, об'єднавши колектори транзисторів T_{4-1} і T_{4-2} елементів ТТЛВК в один вузол, ми отримали логічний елемент, який за наявності високого рівня напруги хоча б на одному з входів формує вихідну напругу низького рівня, а за наявності низької напруги на всіх входах – на виході формується напруга високого рівня. В результаті із зазначеного вище принципу роботи можна зробити висновок, що схема на рис.3.66 реалізує логічний елемент АБО-НІ логіки високого рівня.

Якщо на перший вхід ЛЕМЛ надходить логічна змінні a , а на другий вхід – змінна b , то на колекторах транзисторів T_{4-1} і T_{4-2} будуть утворюватися інверсії цих змінних відповідно \bar{a} і \bar{b} . Фактично об'єднання колекторів в один вузол реалізує логічну функцію I відносно колекторів транзисторів T_{4-1} і T_{4-2} , але вважаючи інверсію входних сигналів, отримуємо логічну функцію АБО-НІ відносно змінних a і b : $\bar{a} \cdot \bar{b} = \overline{a \vee b}$, що також відображено на рис.3.66. Таким чином, за допомогою об'єднання колекторів утворюється псевдо-логічний елемент I (звідси і назва: монтажна логіка), а разом вся схема виконує функцію АБО-НІ. Якщо транзистори T_{1-1} і T_{1-2} будуть багатомітерні, то логічний елемент буде реалізовувати функцію І-АБО-НІ.

На рис.3.68 приведені результати моделювання логічного елемента, утвореного за допомогою монтажною логікою, при вхідній напрузі високого $U_{in1} = 5V$ і низького $U_{in2} = 0V$ рівнів на першому і другому входах відповідно. Вихідна напруга відповідає низькому рівню і складає $0,13V$.

На рис.3.69 приведені результати моделювання логічного елемента, утвореного за допомогою монтажною логікою, при вхідній напрузі низького рівня на обох входах. Вихідна напруга відповідає високому рівню і складає $5V$.

Далі розглянемо розрахунок величини опору R_n , необхідного для використання монтажною логікою. З цією метою припустимо, що виходи N елементів ТТЛВК об'єднані в один вузол, тобто утворюють ЛЕ з монтажною логікою. При цьому до виходу цього елемента підключено M елементів ТТЛ в якості навантаження. Функціональна схема ЛЕМЛ з навантаженням приведена на рис.3.70. Метою розрахунку є визначення нижньої і верхньої межі допустимої

величини опору навантаження R_H , за яких схема на рис.3.70 буде працювати коректно.

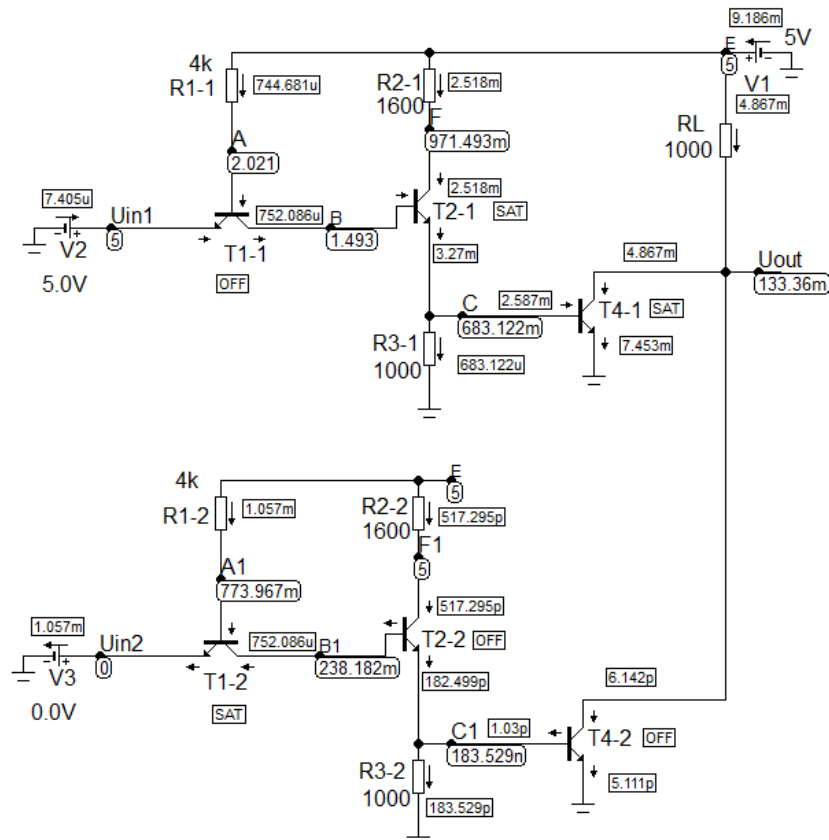


Рис. 3.68. Результати моделювання ЛЕМЛ при $U_{in1} = 5B$ і $U_{in2} = 0B$

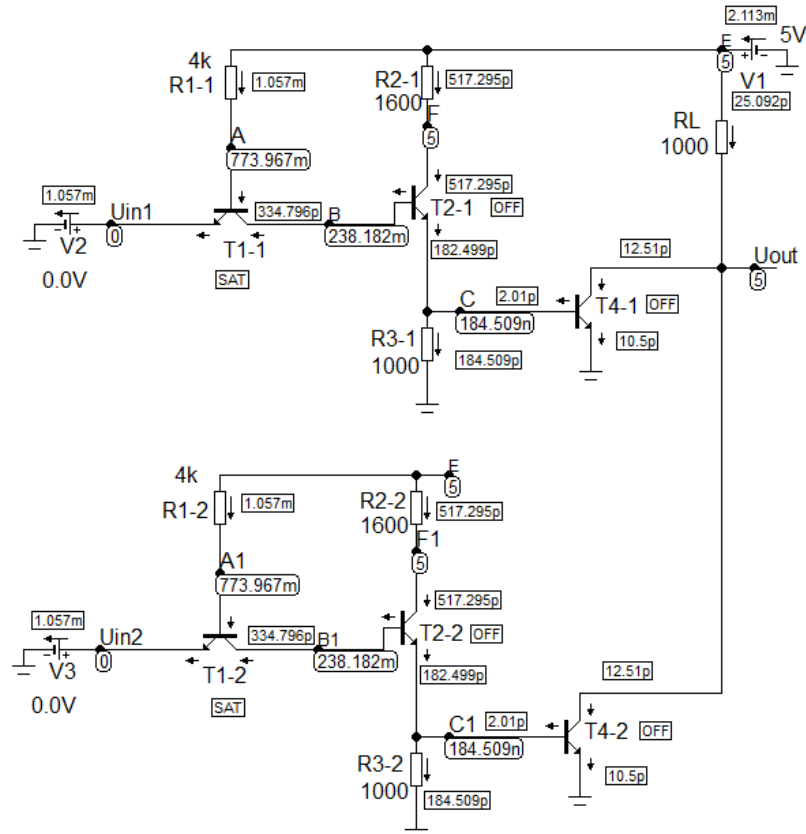


Рис. 3.69. Результати моделювання ЛЕМЛ при $U_{in1} = U_{in2} = 0B$

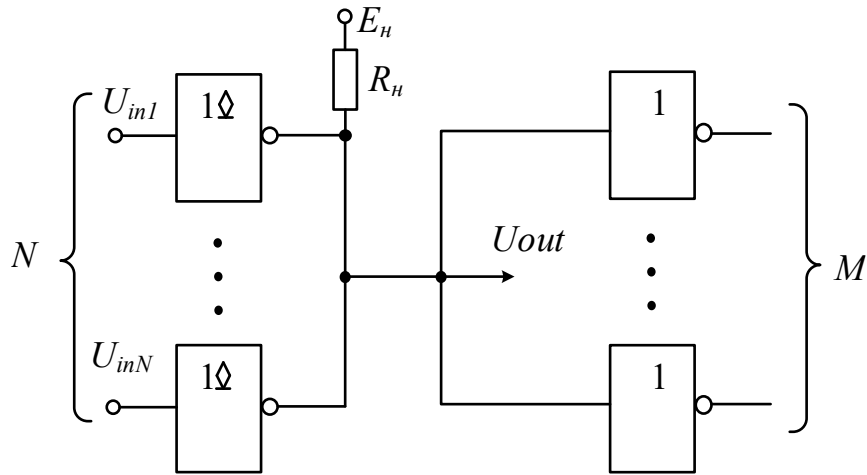


Рис. 3.70. Функціональна схема для розрахунку R_n ЛЕМЛ

Нагадаємо, що позначення « Φ » в УГП вказує, що ЛЕ є елементом ТТЛВК (див. рис.3.56,в).

Для обчислення інтервалу допустимих значень опору R_n розглянемо два випадки:

- на один з входів ЛЕМЛ (наприклад на перший вхід), підключається напруга високого рівня, а на інші входи – напруга низького рівня.

- на всі входи ЛЕМЛ надходить напруга низького рівня;

В першому випадку транзистор T_{1-1} буде перебувати в інверсному режимі, а T_{2-1} і T_{4-1} – в режимі насичення. В інших $N-1$ елементах вихідні транзистори будуть перебувати в режимі відсічки (в колекторах цих транзисторів протікає тепловий струм $I_{км}$). На виході елемента ЛЕМЛ формується низький рівень напруги U_{out}^L , який далі надходить на входи елементів навантаження, тобто у вхідних колах елементів навантаження будуть протікати вхідні струми низького рівня I_{in}^L .

Схема заміщення для цього випадку приведена на рис.3.71.

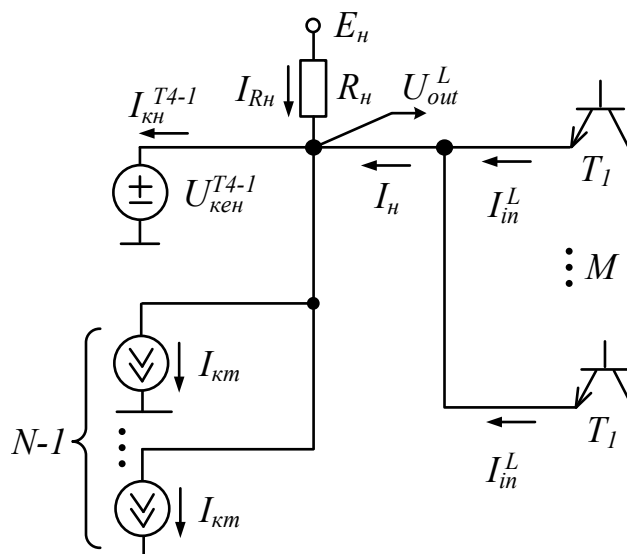


Рис. 3.71. Схема заміщення при високому рівні на U_{in1}

Складаючи вираз на основі першого закону Кірхгофа для вихідного вузла ЛЕМЛ, отримаємо

$$I_{кн}^{T4-1} = I_{Rн} + I_n - (N-I) \cdot I_{км}; \quad I_n = M \cdot I_{in}^L; \quad I_{кн}^{T4-1} = I_{Rн} + M \cdot I_{in}^L - (N-I) \cdot I_{км}, \quad (3.31)$$

де I_n – струм навантаження; $I_{Rн}$ – струм через резистор R_n .

З виразу (3.31) можна побачити, що при збільшенні кількості навантажень струм колектору насиченого вихідного транзистора $I_{кн}^{T4-1}$ збільшується і при перенавантаженні струм колектору цього транзистора може перевищити допустиме значення $I_{к max}^{T4-1}$, в результаті чого транзистор T_{4-1} виходить з ладу. Таким чином, для забезпечення коректного функціонування ЛЕМЛ необхідно задовольнити нерівності $I_{кн}^{T4-1} < I_{к max}^{T4-1}$.

В результаті запишемо

$$I_{Rн} + M \cdot I_{in}^L - (N-I) \cdot I_{км} < I_{к max}^{T4-1}, \quad (3.32)$$

Струми $I_{Rн}$ і I_{in}^L визначимо за законом Ома, беручи до уваги, що $U_{out}^L = U_{кен}$:

$$I_{Rн} = \frac{E_n - U_{out}^L}{R_n}; \quad I_{in}^L = \frac{E_n - U_{бе}^{T1} - U_{out}^L}{R_1}, \quad (3.33)$$

де $U_{бе}^{T1}$ – падіння напруги на переході база-емітер транзистора T_1 елемента навантаження, яким є звичайний елемент ТТЛ (див. підрозділ 3.2); R_1 – опір резистора в колі бази транзистора T_1 елемента навантаження.

У зв'язку з тим, що тепловий струм спрощує виконання нерівності (3.32), а величина цього струму залежить від температури, то будемо для найгіршого випадку вважати, що $I_{км} = 0$.

Підставляючи (3.33) в (3.32), отримаємо

$$\frac{E_n - U_{out}^L}{R_n} + M \cdot \frac{E_n - U_{бе}^{T1} - U_{out}^L}{R_1} < I_{к max}^{T4-1}, \quad (3.34)$$

звідки визначимо нижню межу опору резистора R_n :

$$R_n > \frac{E_n - U_{out}^L}{I_{к max}^{T4-1} - M \cdot I_{in}^L}, \quad (3.35)$$

де I_{in}^L визначається відповідно до виразу (3.33).

Далі розглянемо другий випадок, коли на всі входи ЛЕМЛ надходить напруга низького рівня. В цьому випадку всі вихідні транзистори T_4 елемента ЛЕМЛ перебувають в режимі відсічки, а в їх колекторах протікає струм $I_{км}$. При цьому на виході формується напруга високого рівня, яка надходить на входи елементів навантаження, в результаті чого вхідні транзистори цих елементів перебувають в інверсному режимі, а у вхідні кола елементів навантаження втікає вхідний струм високого рівня I_{in}^H .

Схема заміщення для розрахунку верхньої межі R_n приведена на рис.3.72.

Запишемо вираз на основі першого закону Кірхгофа для вихідного вузла ЛЕМЛ:

$$I_{Rн} = N \cdot I_{км} + M \cdot I_{in}^H. \quad (3.36)$$

Вихідна напруга високого рівня U_{out}^H визначається за другим законом Кірхгофа:

$$U_{out}^H = E_n - I_{Rн} \cdot R_n = E_n - (N \cdot I_{км} + M \cdot I_{in}^H) \cdot R_n. \quad (3.37)$$

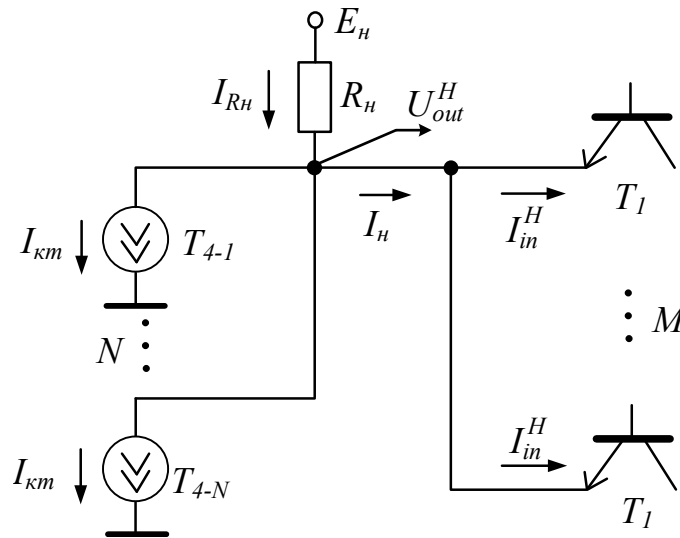


Рис. 3.72. Схема заміщення при U_{in}^L на всіх входах ЛЕМЛ

З виразу (3.37) випливає, що при збільшенні кількості об'єднаних за допомогою монтажною логікою елементів ТТЛВК (N) і/або кількості елементів навантаження (M) вихідна напруга високого рівня U_{out}^H буде знижуватися. Для правильного функціонування необхідно, щоб ця напруга не знижувалася менше мінімального значення високого рівня для елементів ТТЛ $U_{out\ min}^H$ (див. табл.3.1), яке складає $2B$, тобто необхідно забезпечити виконання нерівності $U_{out}^H \geq U_{out\ min}^H$.

Таким чином, отримаємо нерівність

$$E_H - (N \cdot I_{km} + M \cdot I_{in}^H) \cdot R_H \geq U_{out\ min}^H \quad (3.38)$$

В результаті визначаємо верхню межу R_H

$$R_H < \frac{E_H - U_{out\ min}^H}{N \cdot I_{km} + M \cdot I_{in}^H}, \quad (3.39)$$

де струм I_{in}^H визначається за виразом (3.8) або задається в довідниках.

Приклад 3.8. Визначити інтервал значень опору резистора навантаження R_H , що забезпечує коректне функціонування елемента ЛЕМЛ, функціональна схема якого приведена на рис.3.70. Параметри елемента: $E = E_H = 5B$; $R_1 = 4k$; $R_2 = 1,6k$; $R_4 = 0,13k$; $I_{km} = 0,01mA$; $\beta = 20$; $\beta_i = 0,01$; $U_{be} = 0,7B$; $U_{кен} = 0,15B$; $N = 3$; $M = 5$; $I_{k\ max}^{T4} = 16mA$; $U_{out\ min}^H = 2B$.

Розв'язок.

При підключенні хоча б на один вхід напруги високого рівня вихідна напруга $U_{out}^L = U_{кен} = 0,15B$, а вхідний струм низького рівня I_{in}^L визначається за виразами (2.33) і (2.34)

$$I_{in}^L = I_e^{T1} = I_b^{T1}; \quad I_b^{T1} = \frac{E - (U_{in}^L + U_{be}^{T1})}{R_1} = \frac{5 - (0,15 + 0,7)}{4} = 1,0375mA.$$

Далі на основі (3.35) визначимо нижню межу R_H

$$R_H > \frac{E_H - U_{out}^L}{I_{k\ max}^{T4-1} - M \cdot I_{in}^L}; \quad R_H > \frac{5 - 0,15}{16 - 5 \cdot 1,0375}; \quad R_H > 0,45k.$$

Відповідно до (3.39) отримаємо

$$R_n < \frac{E_n - U_{out\ min}^H}{N \cdot I_{km} + M \cdot I_{in}^H}; \quad R_n < \frac{5 - 2}{3 \cdot 0,01 + 5 \cdot 0,0075}; \quad R_n < 44k,$$

де відповідно до (3.8) $I_{in}^H = I_e^{T1} = \beta_i \cdot I_6^{T1}$. При високому рівні на вході навантаження

$$I_6^{T1} = \frac{E - (U_{6e}^{T4} + U_{6e}^{T2} + U_{6k}^{T1})}{R_l} = \frac{5 - (0,7 + 0,7 + 0,6)}{4} = 0,75mA;$$

$$I_{in}^H = \beta_i \cdot I_6^{T1} = 0,0075mA.$$

Таким чином, отримаємо інтервал допустимих значень опору R_n :
 $0,45k < R_n < 44k$.

Перевіримо коректність розрахунків за допомогою моделювання, результати якого приведені на рис.3.73.

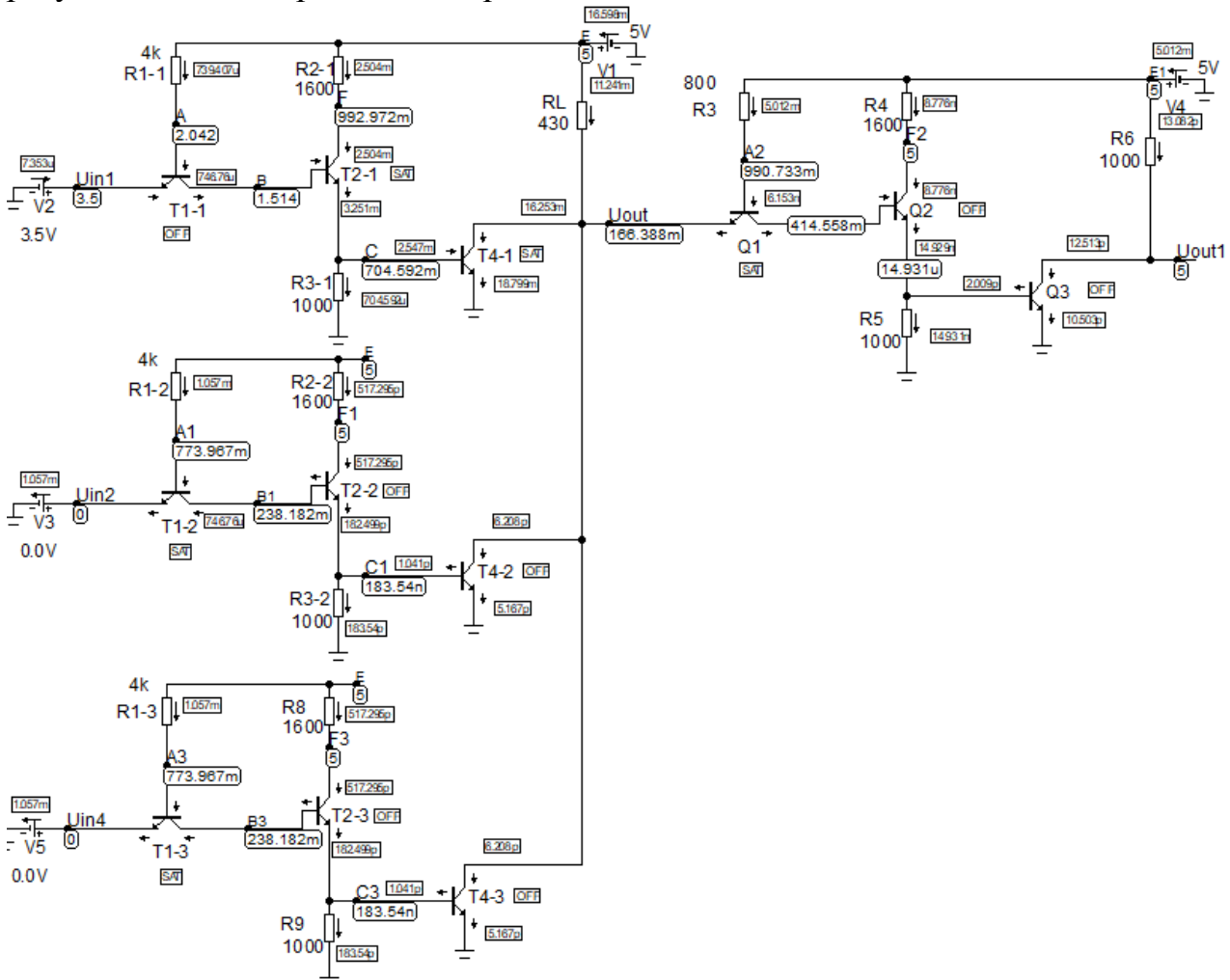


Рис. 3.73. Результати моделювання ЛЕМЛ з $R_n = 0,43k$

На рис.3.73 приведені результати моделювання ЛЕМЛ з високим рівнем вхідної напруги на першому вході елемента та значенням опору $R_n = 0,43k$, що менше нижньої межі допустимого значення опору $R_n (0,45k)$. В результаті цього струм колектору транзистора T_{4-1} складає $16,25mA$, що перевищує максимальне допустиме значення $I_{k\ max}^{T4} = 16mA$, тобто результати моделювання підтверджують результати розрахунків, проведених в прикладі 3.8.

Контрольні завдання та запитання

1. Поясніть термін «монтажна логіка».
2. Яким чином утворюється монтажна логіка?
3. Чи можна використовувати для організації монтажною логіки звичайні елементи ТТЛ? Обґрунтуйте відповідь.
4. Поясніть принцип роботи схеми на рис.3.66.
5. В якому стані працюють транзистори елемента на рис.3.66 при високому рівні вхідної напруги на другому вході і низькому рівні на першому вході?
6. В якому стані працюють транзистори елемента на рис.3.66 при високому рівні вхідної напруги на всіх входах?
7. В якому стані працюють транзистори елемента на рис.3.66 при низькому рівні вхідної напруги на всіх входах?
8. Яку логічну функцію виконує елемент на рис.3.66? Обґрунтуйте відповідь.
9. Приведіть таблицю істинності елемента, схема якого приведена на рис.3.66.
10. Яку логічну функцію виконує елемент на рис.3.66 відносно сигналів на колекторах вихідних транзисторів? Обґрунтуйте відповідь.
11. Що називається *pull-down* резистором?
12. Приведіть схему заміщення елемента на рис.3.66 з боку вихідних транзисторів при режимі відсічки всіх вихідних транзисторів.
13. Приведіть схему заміщення елемента на рис.3.66 з боку вихідних транзисторів, якщо транзистор T_{4-1} працює в режимі насичення, а транзистор T_{4-2} – в режимі відсічки.
14. Приведіть схему заміщення елемента на рис.3.66 з боку вихідних транзисторів, якщо транзистор T_{4-2} працює в режимі насичення, а транзистор T_{4-1} – в режимі відсічки.
15. Приведіть схему заміщення елемента на рис.3.66 з боку вихідних транзисторів при режимі насичення всіх вихідних транзисторів.
16. Прокоментуйте схему заміщення на рис.3.67,а.
17. Прокоментуйте схему заміщення на рис.3.67,б.
18. Як визначається вихідна напруга елемента на рис.3.66 при низькому рівні напруги на всіх входах?
19. Як визначається вихідна напруга елемента на рис.3.66 при високому рівні напруги хоча б на одному вході?
20. Яку логічну функцію виконує елемент на рис.3.66, якщо вхідні транзистори будуть багатомітерними? Обґрунтуйте відповідь.
21. Прокоментуйте результати моделювання на рис.3.68.
22. Яка вихідна напруга сформувалася в схемі на рис.3.68? Обґрунтуйте відповідь.
23. Прокоментуйте результати моделювання на рис.3.69.

24. Яка вихідна напруга сформувалася в схемі на рис.3.69? Обґрунтуйте відповідь.
25. В чому полягає різниця в результатах моделювання на рис.3.68 і рис.3.69?
26. Прокоментуйте функціональну схему на рис.3.70.
27. Що означає символ \Downarrow на УГП логічного елемента?
28. Для яких режимів роботи схеми на рис.3.70 необхідно виконувати розрахунок значення опору R_n ?
29. В якому стані будуть перебувати логічні елементи на рис.3.70, якщо на всі входи надходить напруга низького рівня?
30. В якому стані будуть перебувати логічні елементи на рис.3.70, якщо на останній вхід надходить напруга високого рівня, а на решту входів – напруга низького рівня?
31. Прокоментуйте схему заміщення на рис.3.71.
32. Поясніть вирази (3.31).
33. Якій комбінації вхідних сигналів відповідає схема заміщення на рис.3.71?
34. Що відбувається в схемі на рис.3.71 при збільшенні M ?
35. Що відбувається в схемі на рис.3.71 при перенавантаженні елемента-джерела?
36. Поясніть нерівність (3.32).
37. Як визначити струми, що використовуються в нерівності (3.32)?
38. Як визначити вхідний струм низького рівня елементів навантаження?
39. Чому в нерівності (3.32) не треба враховувати тепловий струм колектору?
40. Поясніть нерівність (3.34).
41. Що визначає нерівність (3.35)?
42. Яким чином отримано схему заміщення на рис.3.72?
43. Як визначити струм через резистор навантаження в схемі на рис.3.72?
44. Якій комбінації вхідних сигналів відповідає схема заміщення на рис.3.72?
45. Яким чином отримано вираз (3.36)?
46. Як визначити вихідну напругу високого рівня в схемі на рис.3.72?
47. Яким чином отримано вираз (3.37)?
48. Що відбувається в схемі на рис.3.70 при збільшенні N ?
49. Що відбувається в схемі на рис.3.70 при збільшенні M ?
50. Поясніть сенс параметру $U_{out\ min}^H$.
51. Яким чином отримано нерівність (3.38)?
52. Яким чином отримано нерівність (3.39)?
53. Що визначає нерівність (3.39)?
54. Як визначити вхідний струм високого рівня елементів навантаження?
55. Прокоментуйте результати моделювання на рис.3.73.
56. Яка напруга сформувалася на виході елемента ЛЕМЛ в схемі на рис.3.73? Обґрунтуйте відповідь.

57. Яке значення струму колектору насиченого транзистора T_{4-1} сформувалося в елементі ЛЕМЛ (рис.3.73)? Обґрунтуйте відповідь.
58. Яким чином виконано моделювання п'яти елементів навантаження відповідно до умови прикладу 3.8?
59. Яку інформацію можна отримати з результатів моделювання на рис.3.73?

3.6.6. Елементи ТТЛ з трьома станами

В попередніх розділах розглядалися звичайні логічні елементи, на виході яких формувалися сигнали, притаманні двійковій системі числення, тобто елемент міг перебувати в одному з двох станів. Однак у складі елементів ТТЛ існують спеціальні логічні елементи, які можуть перебувати в одному з трьох станів. Схема такого елемента приведена на рис.3.74,а.

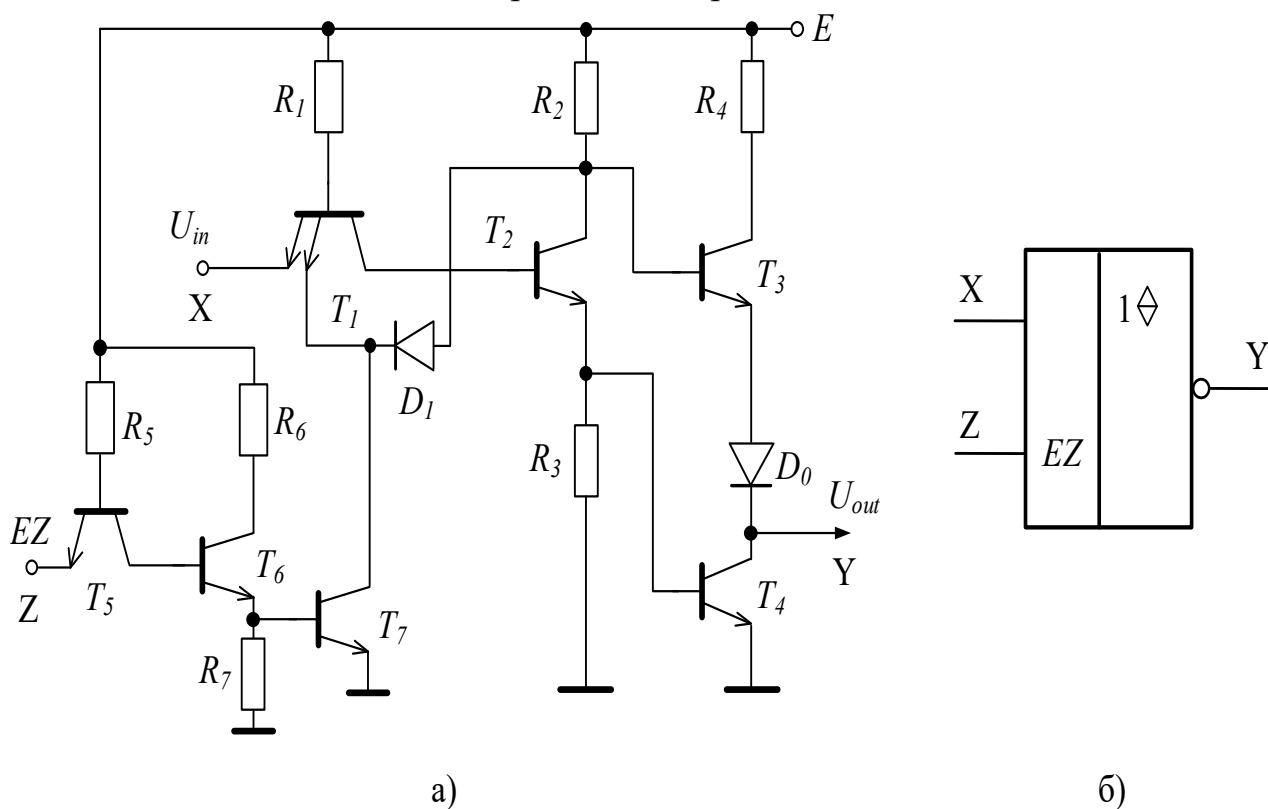


Рис. 3.74. Елемент ТТЛ з трьома станами

Розглянемо принцип роботи такого елемента.

Структурно у складі цієї схеми можна виділити два елемента:

- складний інвертор, реалізований на основі транзисторів $T_1 - T_4$;
- елемент ТТЛ з відкритим колектором а основі транзисторів $T_5 - T_7$;

Елемент ТТЛ з трьома станами (ТТЛ3) має два входи, на які надходять логічні змінні X і Z , і один вихід, на якому формується змінна Y (логічні змінні показані на рис.3.74 без курсиву). Змінна Z підключається на керуючий вхід EZ (*Enable Z State*).

Якщо на вхід EZ надходить напруга низького рівня, то транзистор T_5 перебуває в режимі насичення, а транзистори T_6, T_7 – в режимі відсічки, як в

звичайному ТТЛВК, тобто транзистор T_7 фактично відключений від другого емітера транзистора T_1 . В цьому випадку елемент ТТЛЗ працює в якості звичайного інвертор, змінюючи рівень вихідної напруги на протилежний вхідному рівню. Таким чином, якщо $Z = 0$, то виконується операція інвертування ($Y = \bar{X}$).

На рис.3.74,б приведено УГП елемента ТТЛ з трьома станами. Символ \diamond визначає, що позначений таким чином елемент ТТЛ є елементом з трьома станами.

Результати моделювання елемента ТТЛЗ при $Z = 0$ і $X = 1$ приведені на рис.3.75 із зазначенням напруг, станів транзисторів і діодів, а також значень логічних змінних.

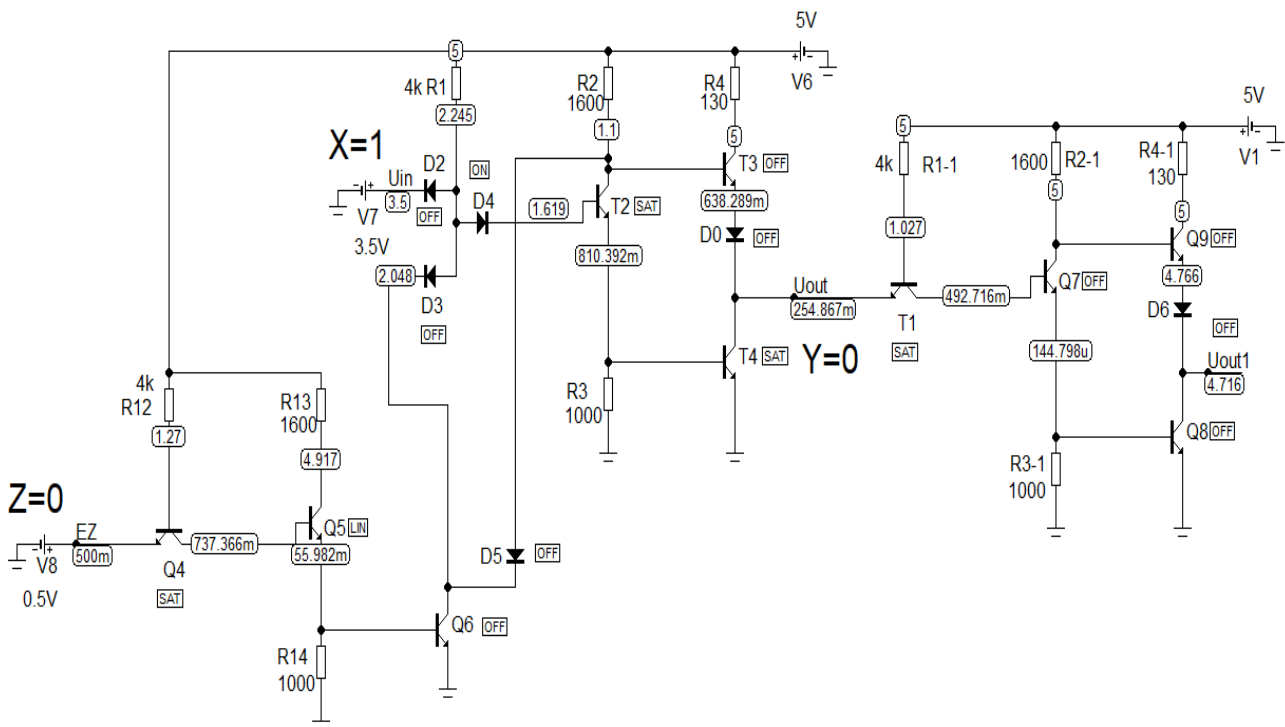


Рис. 3.75. Результати моделювання ТТЛЗ при $Z = 0$ і $X = 1$

Результати моделювання елемента ТТЛЗ при $Z = 0$ і $X = 0$ приведені на рис.3.76.

При надходженні на вхід EZ напруги високого рівня транзистор T_5 перебуває в інверсному режимі, а транзистори T_6, T_7 – в режимі насичення. На колекторі T_7 формується напруга низького рівня (приблизно $0,1-0,2V$), яка надходить на другий емітер транзистора T_1 . В цьому випадку незалежно від напруги на першому емітері T_1 (нагадаємо, що на багатоемітерному транзисторі реалізується логічна функція I) цей транзистор буде перебувати в режимі насичення, а транзистори T_2, T_4 – в режимі відсічки. Крім того, низький рівень з колектору T_7 також надходить на базу T_3 , в результаті чого T_3 також закривається. В результаті, при $Z = 1$ обидва вихідних транзистора елемента ТТЛЗ перебувають в режимі відсічки, тобто вихідний струм цього елемента є практично нульовим (нагадаємо, що у звичайного елемента ТТЛ один з вихідних транзисторів завжди відкритий).

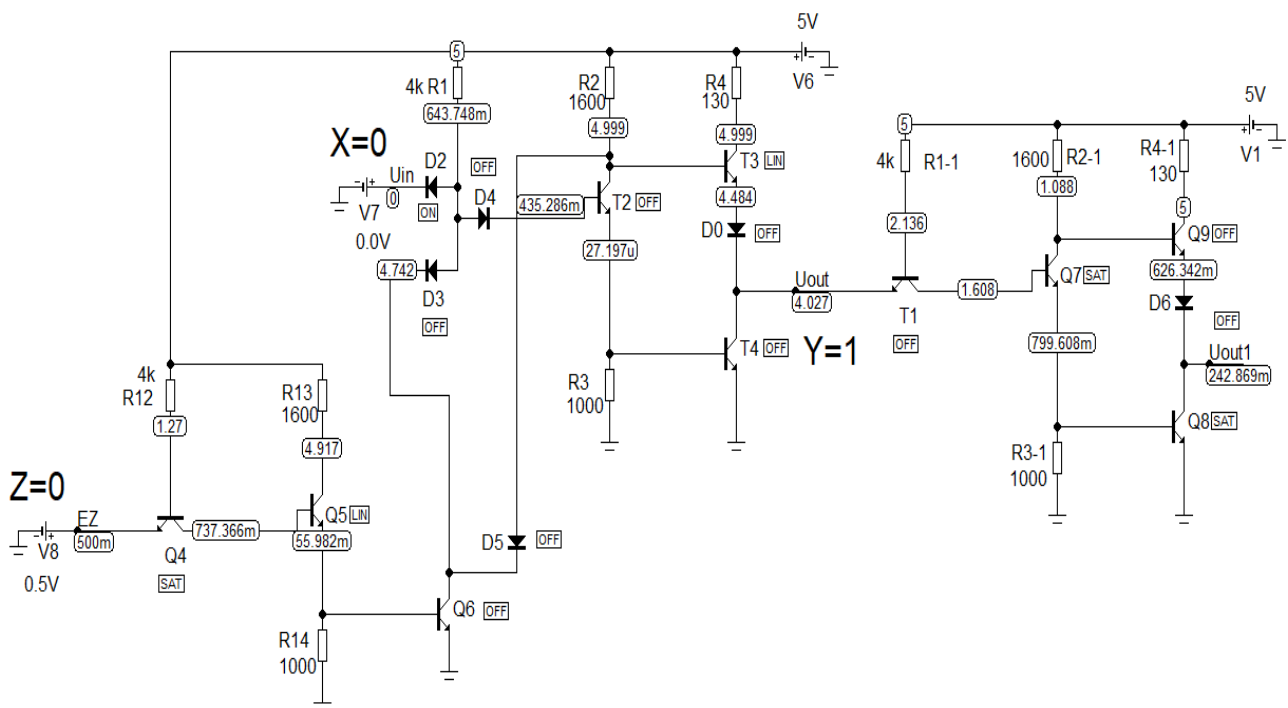


Рис. 3.76. Результати моделювання ТТЛЗ при $Z = 0$ і $X = 0$

Таким чином, при $Z = 1$ елемент ТТЛЗ перебуває в так званому третьому стані (стан **Z**, високоімпедансний стан, *high impedance state*). У зв'язку з тим, що вихідний струм елемента ТТЛЗ в цьому випадку є практично нульовим, то це означає, що елемент ТТЛЗ електрично відключається від свого навантаження (нагадаємо, що електричну гілку з нульовим струмом можна розімкнути).

Результати моделювання елемента ТТЛЗ при $Z = 1$ і $X = 0$ приведені на рис.3.77, на якому додатково ще зазначаються величини струмів.

На рис.3.77 можна побачити, що величина струму навантаження (на результатах моделювання показаний стрілкою) є практично нульовою і складає $0,163 \text{ нА}$.

Результати моделювання елемента ТТЛЗ при $Z = 1$ і $X = 1$ приведені на рис.3.78 та показують, що і цьому випадку струм навантаження відсутній.

Таким чином, при $Z = 1$ елемент ТТЛЗ переключиться в третій стан незалежно від значення напруги на вході X .

Така властивість елемента ТТЛЗ дозволяє об'єднувати виходи таких елементів в один електричний вузол для організації шин даних.

У випадку, якщо елемент ТТЛЗ перебуває в третьому стані, то поведінка його елементів навантаження аналогічна поведінці елемента ТТЛ з вільними (непідключеними) входами. Наприклад, якщо у звичайного інвертора вхід є вільним від сигналу, то транзистор T_1 працює в режимі діодного включення (перехід база-колектор цього транзистора відкритий), транзистори T_2 і T_4 перебувають в насиченні, а T_3 – в режимі відсічки, тобто на виході формується вихідна напруга низького рівня. Таким чином, елемент ТТЛ з непідключеним входом реагує аналогічно елементу, на вхід якого надходить напруга високого рівня.

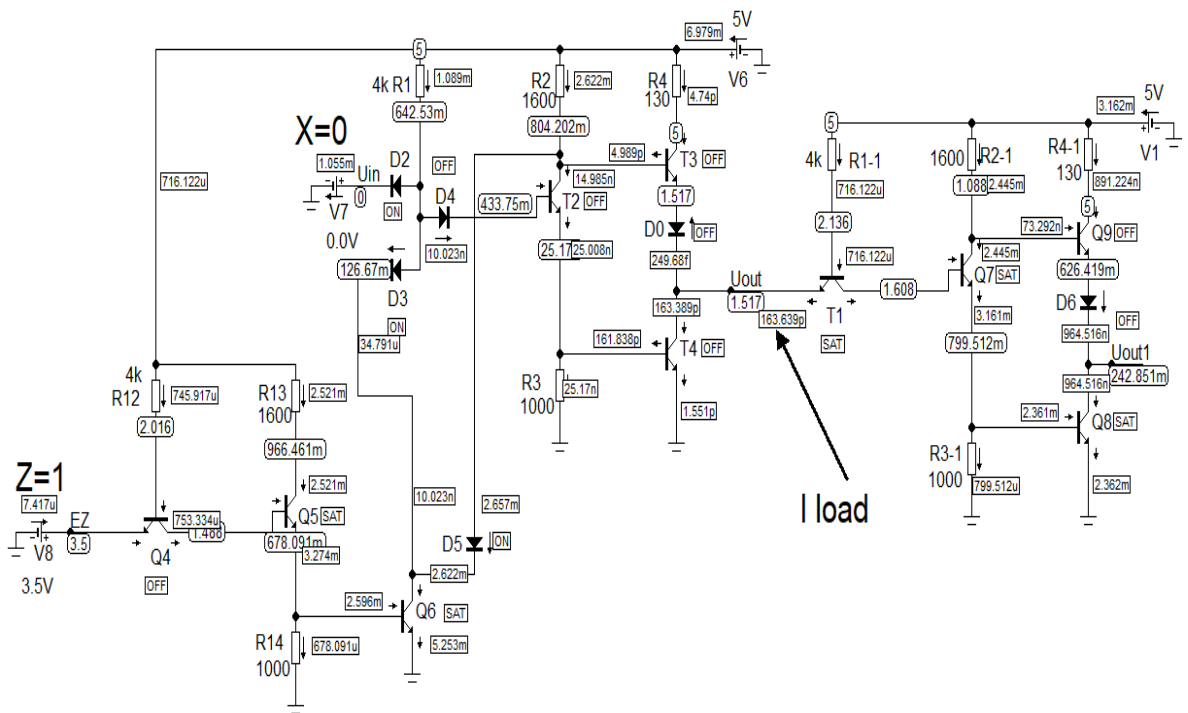


Рис. 3.77. Результати моделювання ТТЛЗ при $Z = 1$ і $X = 0$

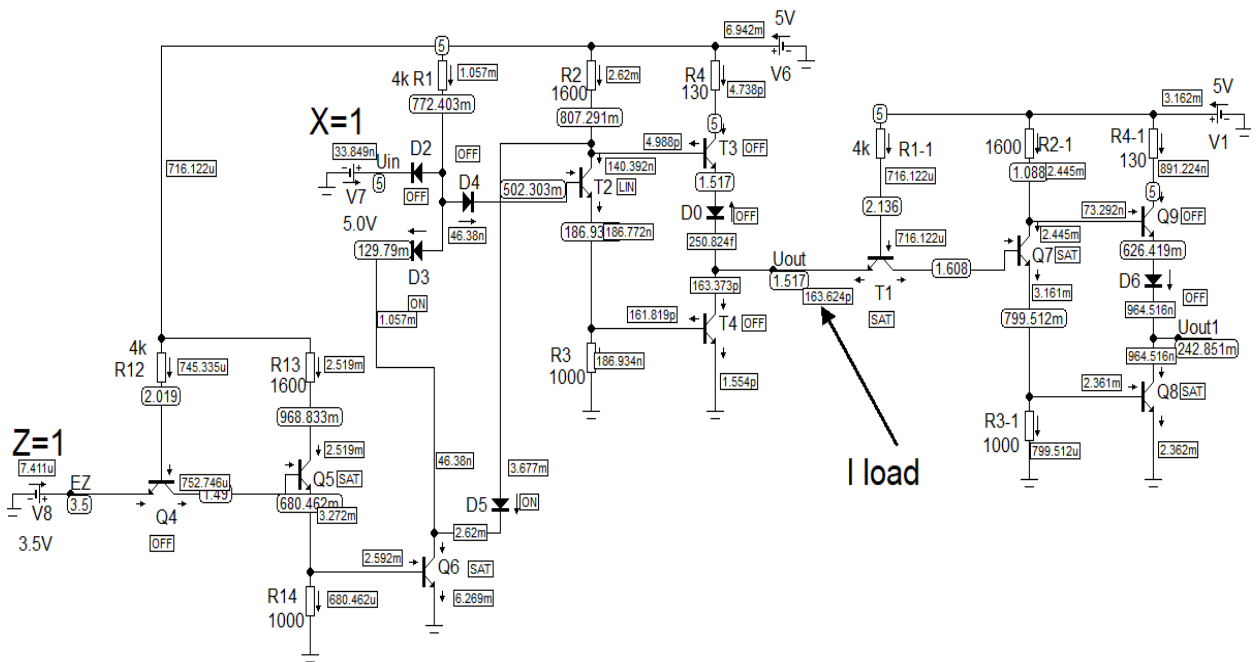


Рис. 3.78. Результати моделювання ТТЛЗ при $Z = 1$ і $X = 1$

При використанні елементів ТТЛЗ для організації шин даних в якості елементів-джерел необхідно, щоб всі елементи ТТЛЗ перебували в третьому стані (за відсутності передачі інформації по шині даних) або тільки один з елементів-джерел працює у двійковому режимі, а решта – в третьому стані (за наявності передачі інформації).

Контрольні завдання та запитання

1. Для чого використовується третій стан логічного елемента?
2. Поясніть принцип роботи логічного елемента, схема якого приведена на рис.3.74,а.
3. Як може бути представлена структурна побудова логічного елемента на рис.3.74,а?
4. Поясніть призначення входу EZ в елементі, схема якого приведена на рис.3.74,а.
5. В якому стані перебувають транзистори елемента на рис.3.74,а при $Z = 0$ і $X = 1$, а також при $Z = 0$ і $X = 0$?
6. В якому стані перебувають транзистори елемента на рис.3.74,а при $Z = 1$ і $X = 1$, а також при $Z = 1$ і $X = 0$?
7. Поясніть фізичний сенс третього стану елемента ТТЛЗ.
8. Чому третій стан елемента ТТЛЗ називається високоімпедансним станом?
9. Яку логічну функцію виконує елемент на рис.3.74,а при $Z = 0$? Обґрунтуйте відповідь.
10. В якому стані перебуває елемент ТТЛЗ при $Z = 1$?
11. Чому при $Z = 1$ значення змінної X не впливає на вихідний стан елемента ТТЛЗ?
12. Як позначається елемент ТТЛЗ на функціональних схемах?
13. Що означає символ \diamond на умовному графічному позначенні логічного елемента?
14. Прокоментуйте результати моделювання на рис.3.75.
15. Прокоментуйте результати моделювання на рис.3.76.
16. В чому полягає різниця між результатами моделювання на рис.3.75 і рис.3.76?
17. Прокоментуйте результати моделювання на рис.3.77.
18. Прокоментуйте результати моделювання на рис.3.78.
19. Чому можна говорити, що в третьому стані елемент ТТЛЗ відключається від свого навантаження?
20. Як реагує елемент ТТЛ, якщо його вхід є непідключеним. Обґрунтуйте відповідь.
21. В яких станах перебувають транзистори інвертора ТТЛ, якщо його вхід є непідключеним?
22. Яким чином елементи ТТЛЗ використовуються при організації шин даних?
23. В яких станах перебувають елементи-джерела сигналів в шинах даних за відсутності передачі інформації?
24. В яких станах перебувають елементи-джерела сигналів в шинах даних за наявності передачі інформації?
25. Чи можна об'єднувати виходи елементів ТТЛЗ в один вузол? Обґрунтуйте відповідь.

26. Як реагують логічні елементи навантаження, якщо елемент-джерело перебуває в третьому стані?

ВИСНОВКИ

За матеріалами, наведеними в розділі 3, можна зробити такі висновки:

1. Детально розглянуті принципи функціонування та властивості елементів ДТЛ і ТТЛ зі складним інвертором.

2. Для елементів ТТЛ приведений детальний розрахунок струмів і напруг в колах цього елемента.

3. Визначені основні параметри елементів ТТЛ: споживана потужність, завадостійкість і коефіцієнт розгалуження.

4. Приведений опис передатної, вхідної, вихідної характеристик та динамічних параметрів елементів ТТЛ, які характеризують властивості та особливості функціонування цих елементів.

5. Розглянуті та проаналізовані схемотехнічні способи реалізації базових логічних функцій кон'юнкції, диз'юнкції, додавання за модулем два, функцій Шефера і Пірса, які використовуються в сучасних системах елементів цифрових інтегральних схем.

6. Розглянуті модифікації схем елементів ТТЛ, які використовуються в сучасних серіях ТТЛ та дозволяють покращити характеристики цих елементів: ТТЛ зі схемою Дарлінгтона, ТТЛ з підвищеною завадостійкістю, з обмежувальними діодами, ТТЛ з діодами Шотткі.

7. Проведений детальний аналіз функціонування елементів ТТЛ з відкритим колектором. Виконаний розрахунок інтервалу значень опору резистора навантаження для організації індикації станів логічних елементів та при організації монтажною логіки.

8. Розглянута схемотехнічна реалізація та особливості функціонування логічних елементів з трьома станами, які використовуються для організації шин даних в комп'ютерних системах.

9. Всі розрахунки, проведені в межах розділу, підтверджуються за допомогою результатів моделювання.

РОЗДІЛ 4. СХЕМИ ЗАМІЩЕННЯ ЕЛЕМЕНТІВ ТТЛ

Найпростіший елемент ТТЛ складається з чотирьох транзисторів, чотирьох резисторів та одного діода. Розрахунок таких елементів, як було відзначено в попередніх підрозділах, є достатньо довгим процесом. У випадку, коли кілька елементів ТТЛ використовуються разом з нестандартним обладнанням, наприклад, з RC -колами тощо, то процес розрахунку може значно затягнутися. Для спрощення розрахунків параметрів таких елементів представимо елементи ТТЛ відповідними схемами заміщення, які представляються сукупністю лінійних електричних елементів (резистори, джерела струму і напруги), та є еквівалентними схемами вхідних і вихідних кіл елементів ТТЛ. У зв'язку з цим будемо окремо розглядати схеми заміщення елементів ТТЛ з боку входу і виходу.

4.1. Схеми заміщення елементів ТТЛ з боку входу

На вхід елемента ТТЛ може надходити напруга низького або високого рівнів, тобто в залежності від рівня вхідної напруги схеми заміщення будуть відрізнятися одна від одної.

Спочатку розглянемо схему заміщення з боку входу при надходженні напруги низького рівня. В цьому випадку (див. підрозділ 3.2) транзистор T_1 перебуває в режимі насичення, а транзистор T_2 – в стані відсічки. Не враховуючи тепловий струм T_2 , вхідне коло елемента ТТЛ може бути представлено тільки транзистором T_1 (див. рис.3.5), а схема заміщення вхідного кола – схемою, представленою на рис.4.1,а.

Використовуючи другий закон Кірхгофа, схему заміщення можна спростити, як показано на рис.4.1,б.

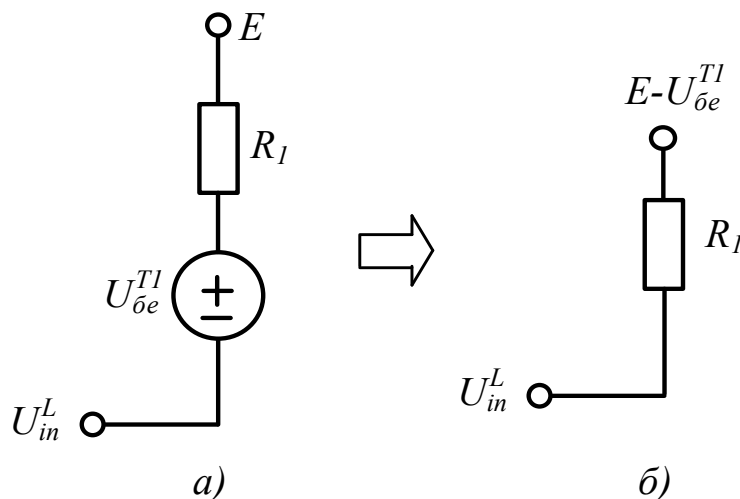


Рис. 4.1. Схема заміщення елемента ТТЛ з боку входу для низького рівня вхідної напруги

Таким чином, якщо будь-яка схема підключена до входу елемента ТТЛ (рис.4.2,а), а також за умови, що на вхід елемента ТТЛ подана напруга низького

рівня, то весь цей елемент може бути представлений схемою заміщення, яка являє собою послідовне з'єднання джерела напруги $E - U_{\beta e}^{T1} = 4,3B$ і резистора R_1 . В результаті схема для розрахунку представлена на рис.4.2,б.

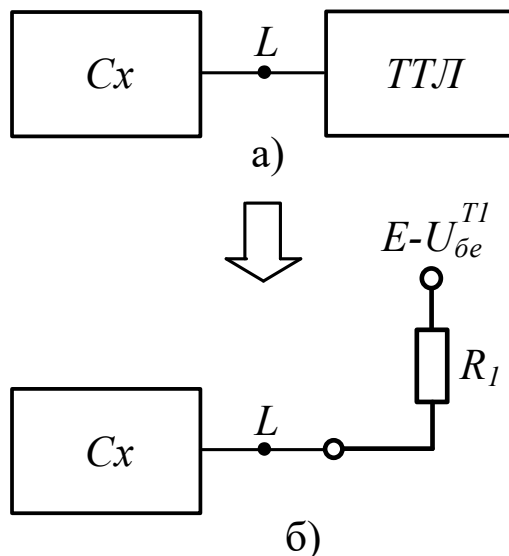


Рис. 4.2. Схема, що ілюструє використання схеми заміщення елемента ТТЛ з боку входу для низького рівня вхідної напруги

Значення опору резистора R_1 залежить від серії елемента ТТЛ та приведено в довідниках (наприклад, для серії $SN74$ $R_1 = 4k$).

Якщо на вхід елемента ТТЛ надходить напруга високого рівня, то транзистор T_1 перебуває в інверсному режимі, а транзистори T_2, T_4 – в стані насичення (див. підрозділ 3.2). З виразів (3.8) випливає, що вхідний струм високого рівня I_{in}^H елемента ТТЛ не залежить від вхідної напруги, тому в якості схеми заміщення з боку входу для високого рівня елемент може бути представлений джерелом струму I_{in}^H (рис.4.3):

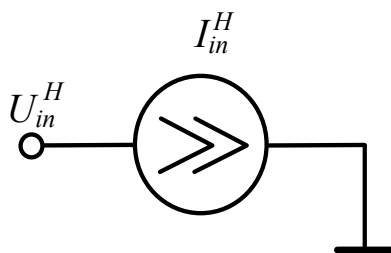


Рис. 4.3. Схема заміщення елемента ТТЛ з боку входу для високого рівня вхідної напруги

Величина вхідного струму високого рівня задається в довідниках і, як правило, не перевищує $40\mu A$.

Таким чином, якщо будь-яка схема підключена до входу елемента ТТЛ (рис.4.4,а), а також за умови, що на вхід елемента подана напруга високого рівня, то весь елемент ТТЛ може бути представлений джерелом струму, схема для розрахунку представлена на рис.4.4,б.

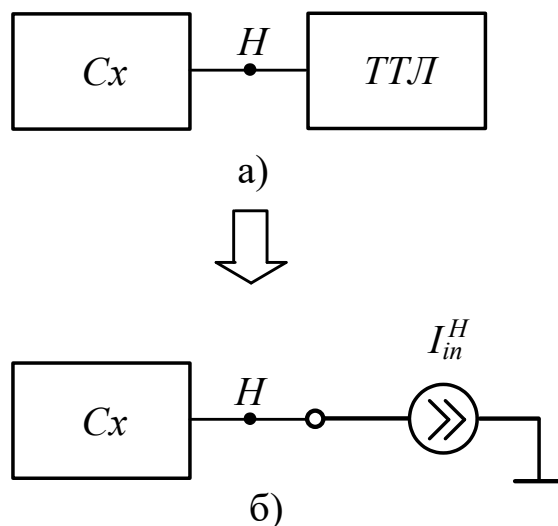


Рис. 4.4. Схема, що ілюструє використання схеми заміщення елемента ТТЛ з боку входу для високого рівня вхідної напруги

4.2. Схеми заміщення елементів ТТЛ з боку виходу

На виході елемента ТТЛ може формуватися напруга низького або високого рівнів, тобто в залежності від рівня вихідної напруги схеми заміщення ТТЛ з боку виходу також будуть відрізнятися одна від одної.

Нехай на виході елемента ТТЛ спостерігається напруга низького рівня. В цьому випадку (див. підрозділ 3.2) транзистор T_4 перебуває в режимі насичення, а транзистор T_3 – в режимі відсічки. Не враховуючи тепловий струм T_3 , вихідне коло елемента ТТЛ може бути представлено тільки транзистором T_4 , а схема заміщення вихідного кола – схемою, представленою на рис.4.5.

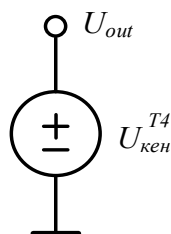


Рис. 4.5. Схема заміщення елемента ТТЛ з боку виходу для низького рівня вихідної напруги

Якщо будь-яка електрична схема підключена до виходу елемента ТТЛ (рис.4.6,а), а також за умови, що на виході цього елемента спостерігається напруга низького рівня, то цей елемент може бути представлений схемою заміщення, яка являє собою джерело напруги $U_{кен}^{T4} = 0,1В$. В результаті схема разом зі схемою заміщення елемента ТТЛ з боку виходу для низького рівня представлена на 4.6,б. Враховуючи, що часто вихідна напруга низького рівня може вважатися нульовою, то схема заміщення, приведена на рис.4.6,а, може бути ще більше спрощена як показано на рис.4.6,в.

В схемах заміщення на рис.4.6,б і рис.4.6,в дуже важливо контролювати значення струму колектору T_4 , який є вихідним струмом низького рівня I_{out}^L

елемента ТТЛ і це значення не повинно перевищувати максимально допустимий вихідний струм $I_{out\ max}^L$ (для серії SN74 $I_{out\ max}^L = 16\text{mA}$).

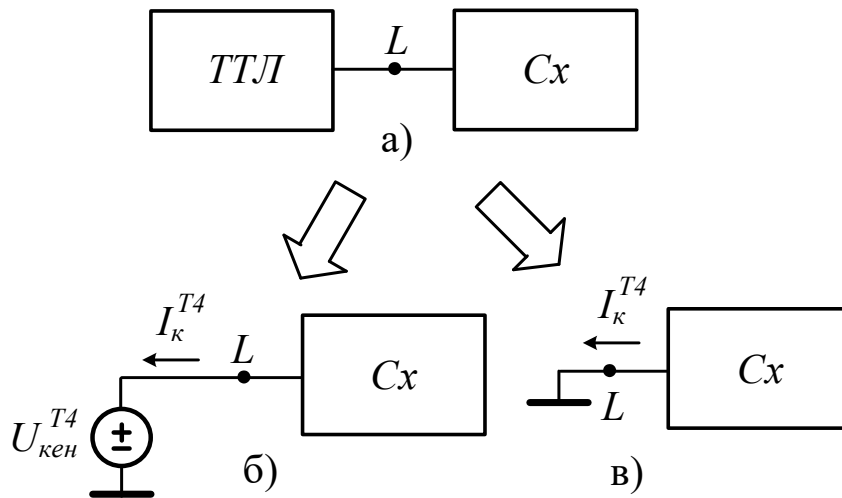


Рис. 4.6. Схема, що ілюструє використання схеми заміщення елемента ТТЛ з боку виходу для низького рівня вихідної напруги

При високому рівні вихідної напруги (див. підрозділ 3.2) транзистор T_4 перебуває в режимі відсічки, а транзистор T_3 – працює в лінійному режимі або в насиченні в залежності від величини струму навантаження. Таким чином, в залежності від режиму роботи транзистора T_3 використовуються дві схеми заміщення елемента ТТЛ з боку виходу для високого рівня.

Спочатку розглянемо схему заміщення елемента ТТЛ з боку виходу при лінійному режимі роботи T_3 . Схема кола транзистора T_3 приведена на рис.3.6, а схема заміщення – на рис.3.7. Відповідно до другого закону Кірхгофа зі схеми заміщення на рис.3.7 отримаємо $U_{out} = E - I_6^{T3} \cdot R_2 - U_{\beta e}^{T3} - U_{d0}$. Вважаючи, що транзистор T_3 перебуває в лінійному режимі $I_6^{T3} = I_e^{T3} / (\beta + 1) = I_n / (\beta + 1)$, де I_n – струм навантаження елемента ТТЛ.

Вважаючи, що величина $R_2 / (\beta + 1)$ є достатньо малою (складає кілька десятків Ом), то для підвищення точності схеми заміщення доцільно враховувати опір відкритого діода D_0 . В результаті можна записати

$$U_{out} = E - R_2 \cdot I_n / (\beta + 1) - r_d \cdot I_n - U_{\beta e}^{T3} - U_{d0} = E - I_n \cdot [r_d + R_2 / (\beta + 1)] - U_{\beta e}^{T3} - U_{d0}, \quad (4.1)$$

де $R_2 / (\beta + 1)$ є вихідним опором елемента ТТЛ R_{out} ; r_d – величина опору відкритого діода (будемо вважати, що $r_d \approx 50\ \text{Ом}$).

Вираз (4.1) відповідає електричній схемі, приведений на рис.4.7,а.

На рис.4.7,б приведена спрощена схема заміщення, що отримана за допомогою застосування другого закону Кірхгофа. В результаті, схема заміщення елемента ТТЛ характеризується параметрами $E_{out} = E - U_{\beta e}^{T3} - U_{d0} = 3,6\text{В}$; $R_{out} = r_d + R_2 / (\beta + 1)$. Величина R_{out} залежить від серії ТТЛ (наприклад, для серії SN74 $R_{out} = 50 + 1600 / 20 = 130\ \text{Ом}$).

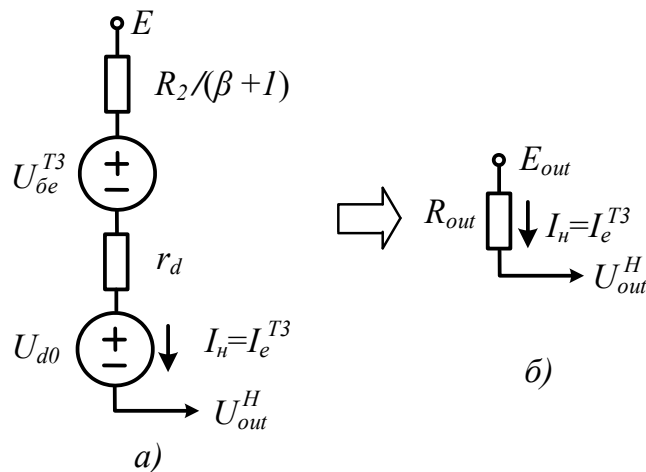


Рис. 4.7. Схема заміщення елемента ТТЛ з боку виходу для високого рівня вихідної напруги при лінійному режимі роботи T_3

Якщо будь-яка електрична схема підключена до виходу елемента ТТЛ (рис.4.8,а), а також за умови, що на виході цього елемента спостерігається напруга високого рівня і транзистор при цьому T_3 перебуває в лінійному режимі, то цей елемент може бути представлений схемою заміщення, яка являє собою послідовне з'єднання джерела напруги $E_{out} = 3,6V$ і вихідного опору R_{out} , величина якого залежить від серії ТТЛ (це показано на рис.4.8,б для серії SN74).

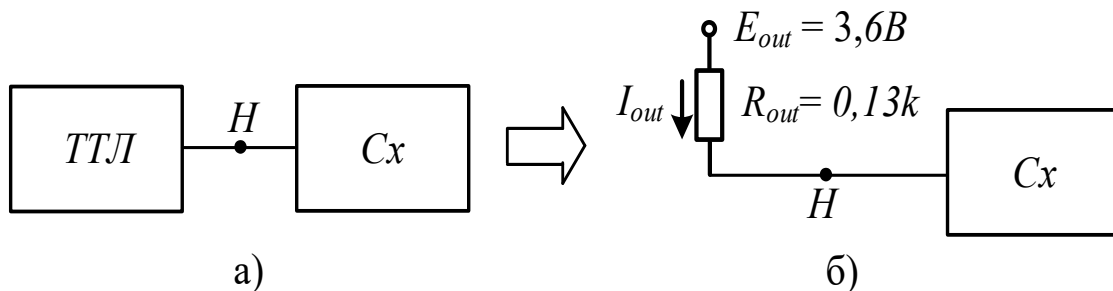


Рис. 4.8. Схема, що ілюструє використання схеми заміщення елемента ТТЛ з боку виходу для високого рівня U_{out} і лінійному режимі роботи T_3

Далі розглянемо схему заміщення елемента ТТЛ з боку виходу при насиченні T_3 . Схема заміщення вихідних кіл елемента ТТЛ приведена на рис.3.8,б. Враховуючи вплив опору відкритого діода D_0 , а також беручи до уваги, що в елементах ТТЛ $R_2 \ll R_4$ (для SN74 $R_2 = 1,6k$; $R_4 = 0,13k$), отримуємо схему заміщення елемента ТТЛ з боку виходу для високого рівня і насичення T_3 , яка приведена на рис.4.9.

Враховуючи послідовне з'єднання резисторів R_4 і r_d , а також послідовне з'єднання джерел напруги, схема заміщення може бути спрощена до вигляду, представленому на рис.4.7,б, але з іншими параметрами E_{out} і R_{out} : $R_{out} = R_4 + r_d = 0,18k$; $E_{out} = E - U_{кен}^{T3} - U_{d0} = 4,2V$.

Таким чином, схеми заміщення елемента ТТЛ з боку виходу для високого рівня структурно однакові для насичення і лінійного режиму T_3 , але мають різні значення параметрів E_{out} і R_{out} .

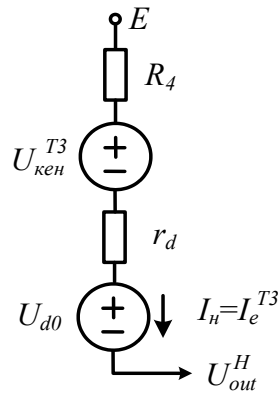


Рис. 4.9. Схема заміщення елемента ТТЛ з боку виходу для високого рівня вихідної напруги при насиченні T_3

Виконаємо порівняння параметрів схем з елементами ТТЛ та елементами, які представлені схемами заміщення ТТЛ.

Спочатку перевіримо схему заміщення елемента ТТЛ з боку входу для низького рівня.

На рис.4.10,а приведена схема елемента ТТЛ, а на рис.4.10,б – схема заміщення цього елемента з боку входу для низького рівня. Для моделювання використовувався режим *DC* системи *MicroCap*, в якому вхідна напруга змінювалася з $0B$ до $1B$, що відповідає низькому рівню.

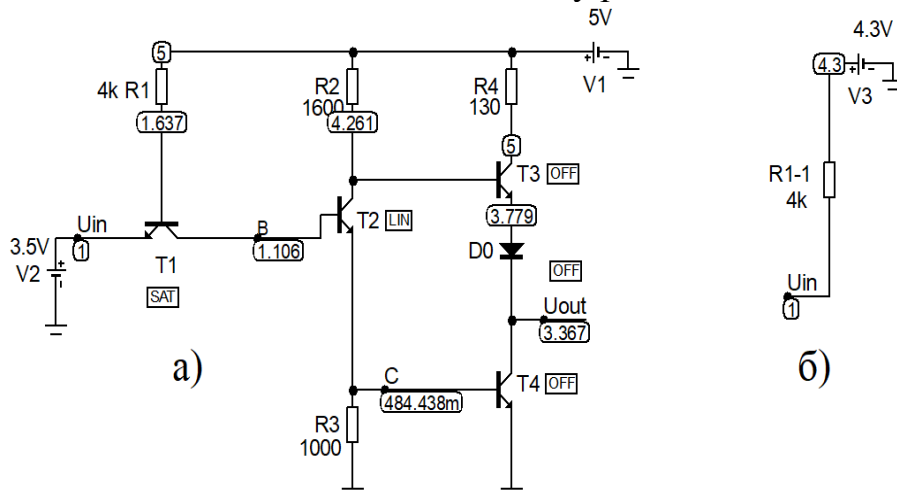


Рис. 4.10. Дослідження схеми заміщення елемента ТТЛ з боку входу для низького рівня вхідної напруги

Результати моделювання приведені на рис.4.11, на якому показані вхідний струм елемента ТТЛ серії *SN74* ($I_{in TTL}$) і вхідний струм схеми заміщення (показаний пунктирною лінією) елемента ТТЛ ($I_{in eq}$) в залежності від зміни вхідної напруги. Таким чином, з результатів моделювання можна побачити, що значення вхідних струмів схем, приведених на рис.4.10,а і рис.4.10,б, практично збігаються, що підтверджує коректність досліджуваної схеми заміщення.

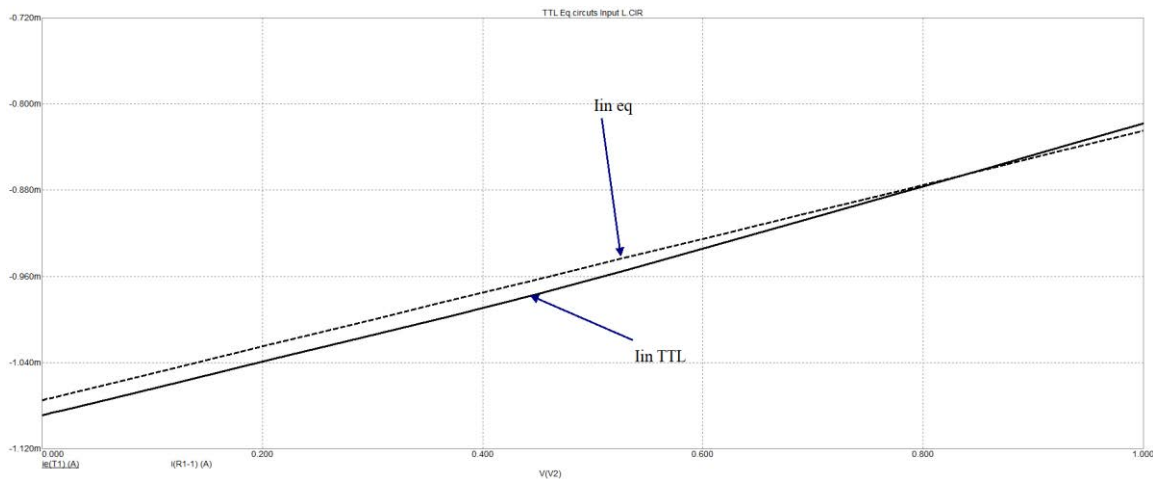


Рис. 4.11. Порівняння результатів моделювання елемента ТТЛ і схеми заміщення ТТЛ з боку входу для низького рівня вхідної напруги

Далі розглянемо моделювання схеми заміщення з боку виходу для високого рівня при лінійному режимі роботи транзистора T_3 .

На рис.4.12 приведені результати моделювання елемента ТТЛ, в якості навантаження якого використовується такий же елемент. В цьому випадку (див. підрозділ 3.2) транзистор T_3 працює в лінійному режимі. На цьому рисунку відзначається вихідна напруга елемента-джерела (U_{out}), яка складає $3,78V$ і струм навантаження (I_{Load}), який дорівнює $7,78mA$.

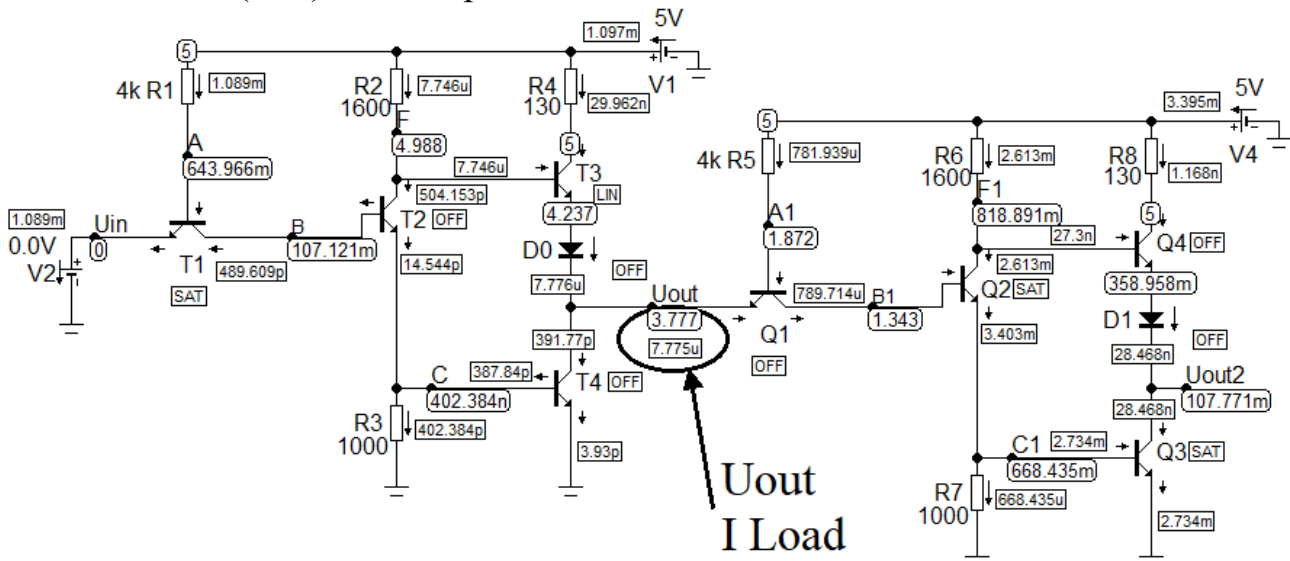


Рис. 4.12. Результати моделювання елемента ТТЛ при високому рівні вихідної напруги

На рис.4.13 приведені результати моделювання схеми, де в якості елемента-джерела використовується схема заміщення елемента ТТЛ з боку виходу при високому рівні. На цьому рисунку, як і для рис.4.12, відзначається вихідна напруга елемента-джерела (U_{out}), яка складає $3,6V$ і струм навантаження (I_{Load}), який дорівнює $7,72mA$.

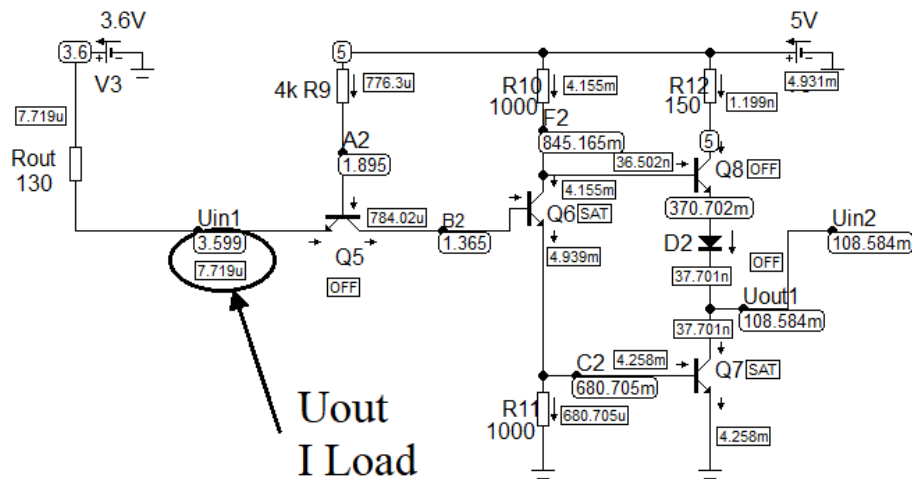


Рис. 4.13. Результати моделювання схеми заміщення елемента ТТЛ при високому рівні вихідної напруги і лінійному режиму роботи T_3

Таким чином, результати моделювання показують, що значення вихідної напруги і струму навантаження обох схем, приведених на рис.4.12 і рис.4.13, практично збігаються, що підтверджує коректність досліджуваної схеми заміщення.

Крім того, перевірка коректності схеми заміщення можна виконати за допомогою зміни значення опору резистора навантаження (R_L) елемента ТТЛ (схема приведена на рис.4.14,а) і опору резистора навантаження (R_{L1}) схеми заміщення елемента ТТЛ (схема приведена на рис.4.14,б). Для забезпечення лінійного режиму T_3 опори R_L і R_{L1} змінюються від $5k$ до $50k$.

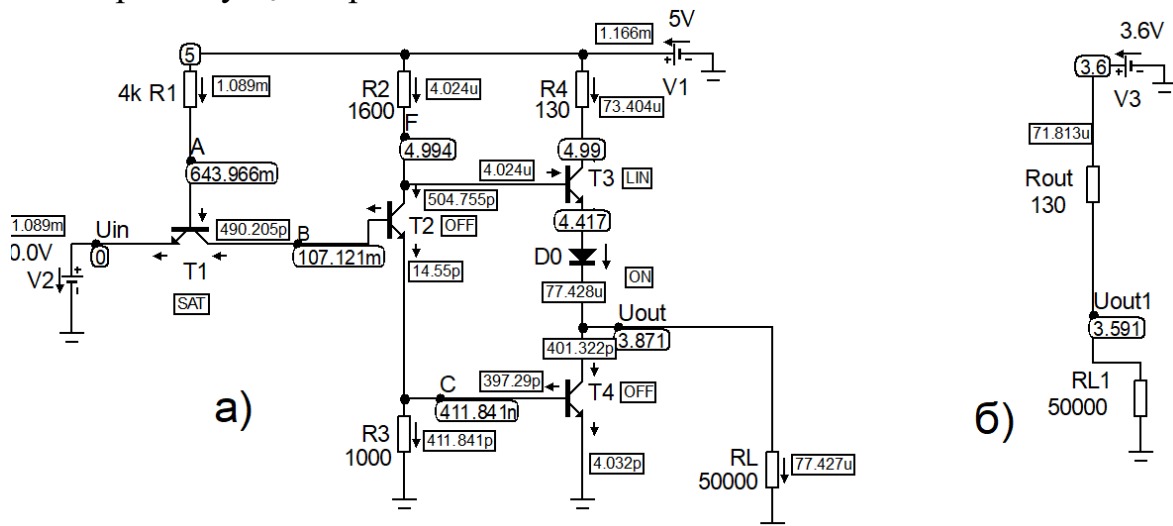


Рис. 4.14. Дослідження схеми заміщення елемента ТТЛ з боку виходу для високого рівня і лінійного режиму T_3

В якості результатів моделювання будемо фіксувати вихідну напругу і струм навантаження обох схем. На рис.4.15 показані результати моделювання залежності вихідної напруги U_{out} і струму навантаження I_{Load} від опору резистора навантаження R_L елемента ТТЛ (див. рис.4.14,а). На результатах моделювання приведені значення U_{out} і I_{Load} для величин $R_L = 5k, 9k, 18k, 27k, 36k, 45k$.

Результати моделювання приведені у вигляді пари чисел, де перше число позначає значення R_L , а друге на верхньому графіку – вихідну напругу U_{out} , на нижньому – струм навантаження (нагадаємо, що струм, який витікає з будь-якої схеми вважається від’ємним).

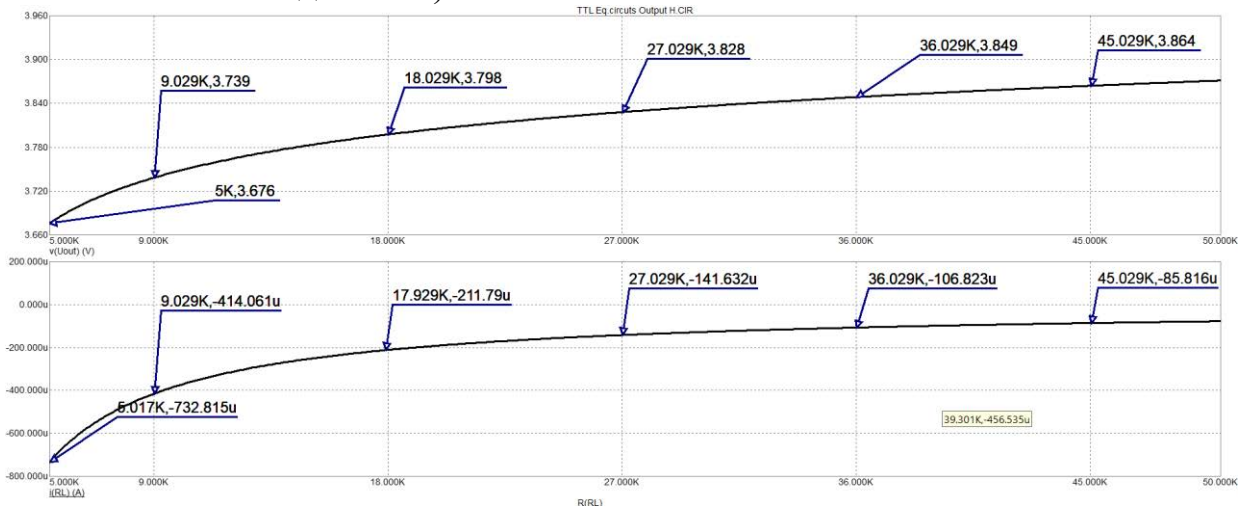


Рис. 4.15. Результати моделювання елемента ТТЛ для високого рівня вихідної напруги і лінійного режиму T_3 в залежності від опору R_L

На рис.4.16 показані результати моделювання залежності вихідної напруги U_{out1} і струму навантаження I_{Load1} від опору резистора навантаження R_{L1} схеми заміщення елемента ТТЛ (див. рис.4.14,б). На результатах моделювання приведені значення U_{out} і I_{Load} для тих же величин R_L , що і на рис.4.15. Результати моделювання приведені у вигляді пари чисел, за аналогією з тим, як приведено на рис.4.15.

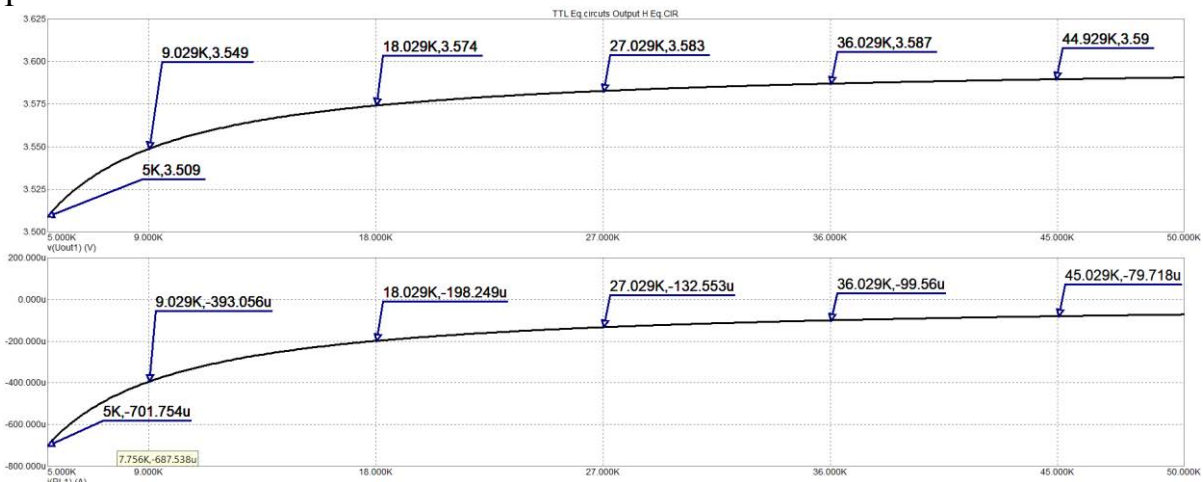


Рис. 4.16. Результати моделювання схеми заміщення елемента ТТЛ для високого рівня U_{out} і лінійного режиму T_3 в залежності від опору R_L

Для збільшення наочності результати моделювання елемента ТТЛ і схеми заміщення ТТЛ занесемо в табл.4.1, з якої можна побачити, що значення вихідної напруги і струму навантаження обох схем, приведених на рис.4.14, практично збігаються, що підтверджує коректність досліджуваної схеми заміщення.

Таблиця 4.1. Порівняння результатів моделювання елемента ТТЛ і схеми заміщення елемента ТТЛ при лінійному режимі T_3

R_L, R_{L1}, k	5	9	18	27	36	45
Елемент ТТЛ (рис. 4.14,а)						
U_{out}, B	3,68	3,74	3,8	3,83	3,85	3,85
$I_{Load}, мКА$	732	414	211	141	106	85,8
Схема заміщення елемента ТТЛ (рис. 4.14,б)						
U_{out1}, B	3,51	3,55	3,57	3,58	3,587	3,59
$I_{Load1}, мКА$	701	393	198	132	99,6	79,7

Далі розглянемо моделювання схеми заміщення з боку виходу для високого рівня при насиченні транзистора T_3 .

Дослідження відповідності схеми заміщення реальній поведінці елемента ТТЛ при насиченні T_3 будемо проводити за рахунок зміни значення опору резистора навантаження (R_L) елемента ТТЛ (схема приведена на рис.4.17,а) і опору резистора навантаження (R_{L1}) схеми заміщення елемента ТТЛ (схема приведена на рис.4.17,б). Для забезпечення насичення T_3 опори R_L і R_{L1} змінюються від $0,1k$ до $0,7k$.

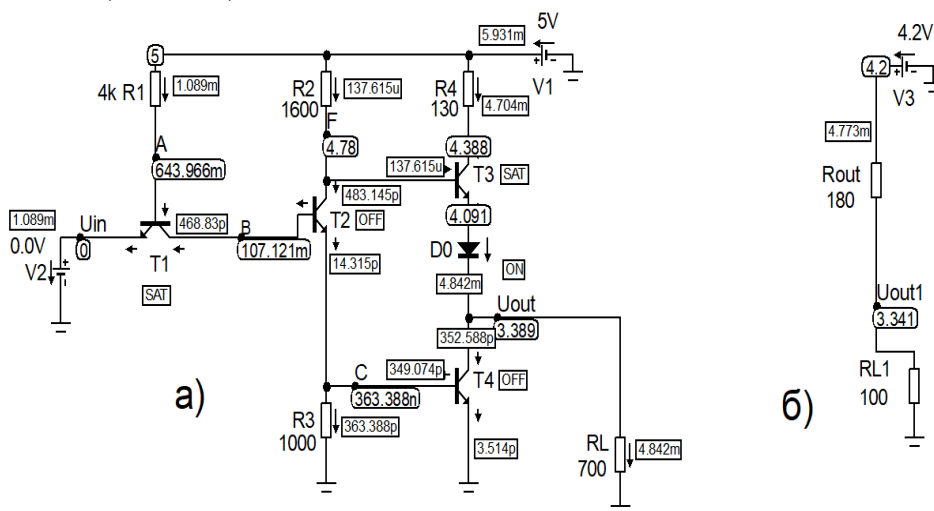


Рис. 4.17. Дослідження схеми заміщення елемента ТТЛ з боку виходу для високого рівня і насичення T_3

Як і раніше під час моделювання будемо фіксувати вихідну напругу і струм навантаження обох схем. Результати моделювання елемента ТТЛ при насиченому транзисторі T_3 приведені на рис.4.18 у вигляді пар чисел, таким же чином, як розглядалося раніше.

Результати моделювання залежності вихідної напруги U_{out1} і струму навантаження I_{Load1} від опору резистора навантаження R_{L1} в схемі заміщення елемента ТТЛ (див. рис.4.17,б) приведені на рис.4.19.



Рис. 4.18. Результати моделювання елемента ТТЛ для високого рівня вихідної напруги і насиченні T_3 в залежності від опору R_L

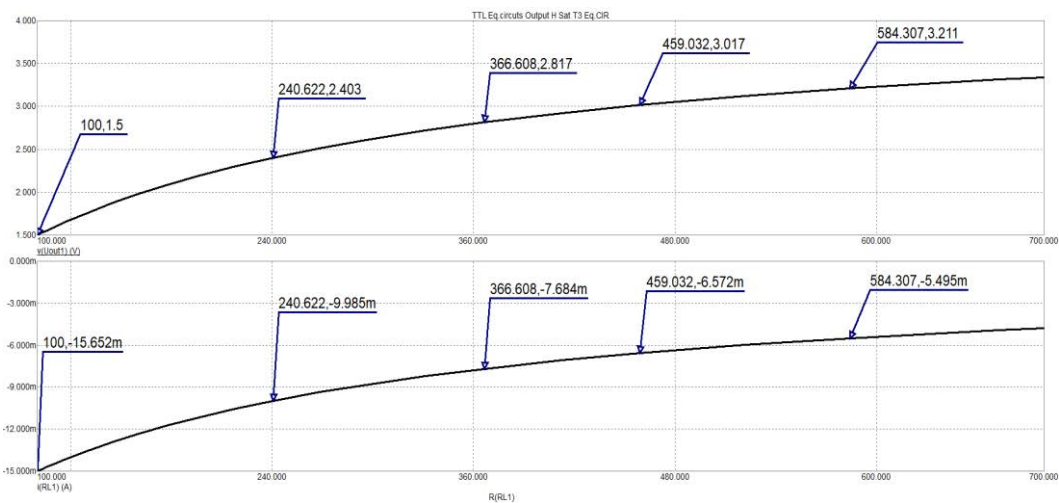


Рис. 4.19. Результати моделювання схеми заміщення елемента ТТЛ для високого рівня U_{out} і насиченні T_3 в залежності від опору R_L

Для більшої зручності аналізу результати моделювання елемента ТТЛ і схеми заміщення ТТЛ при насиченні T_3 занесені в табл.4.2., з якої можна побачити, що значення вихідної напруги і струму навантаження обох схем, приведених на рис.4.17, практично збігаються, що підтверджує коректність досліджуваної схеми заміщення.

Таблиця 4.2. Порівняння результатів моделювання елемента ТТЛ і схеми заміщення елемента ТТЛ при насиченні T_3

Елемент ТТЛ (рис. 4.17,а)					
$R_L, Ом$	100	252	357	476	558
$U_{out}, В$	1,8	2,69	2,97	3,18	3,27
I_{Load}, mA	17,9	10,65	8,3	6,7	5,9
Схема заміщення елемента ТТЛ (рис. 4.17,б)					
$R_{L1}, Ом$	100	240	366	459	584
$U_{out1}, В$	1,5	2,4	2,8	3	3,2
I_{Load1}, mA	15,6	10	7,7	6,6	5,5

Контрольні завдання та запитання

1. Для чого використовуються схеми заміщення елементів ТТЛ?
2. Як виглядає схема заміщення елемента ТТЛ з боку входу для низького рівня?
3. Яким чином отримана схема заміщення на рис.4.1,а?
4. Яким чином отримана схема заміщення на рис.4.1,б?
5. Поясніть, чому схему на рис.4.1,б можна використовувати як схему заміщення ТТЛ.
6. Прокоментуйте схеми на рис.4.2.
7. Як виглядає схема заміщення елемента ТТЛ з боку входу для високого рівня?
8. Чому схема заміщення елемента ТТЛ з боку входу для високого рівня може бути представлена джерелом струму?
9. Доведіть, що вхідний струм високого рівня I_{in}^H елемента ТТЛ не залежить від вхідної напруги.
10. Прокоментуйте схему заміщення на рис.4.3.
11. Прокоментуйте схеми на рис.4.4.
12. Як виглядає схема заміщення елемента ТТЛ з боку виходу для низького рівня?
13. Чому схема заміщення елемента ТТЛ з боку виходу для низького рівня може бути представлена джерелом напруги?
14. Прокоментуйте схему заміщення на рис.4.5.
15. Прокоментуйте схеми на рис.4.6.
16. Чому в схемах заміщення на рис.4.6 необхідно визначати вихідний струм елемента ТТЛ?
17. В яких режимах працює транзистор T_3 при високому рівні вихідної напруги?
18. Як визначити вихідну напругу елемента ТТЛ, якщо транзистор T_3 працює в лінійному режимі?
19. Яким чином отримано вираз (4.1)?
20. Яким чином отримана схема заміщення на рис.4.7,а?
21. Яким чином отримана схема заміщення на рис.4.7,б?
22. Як визначити вихідний опір елемента ТТЛ при лінійному режимі T_3 ?
23. Прокоментуйте схеми на рис.4.8.
24. Чому при визначенні вихідного опору ТТЛ необхідно враховувати опір відкритого діода D_0 ?
25. Як визначити вихідну напругу елемента ТТЛ, якщо транзистор T_3 працює в режимі насичення?
26. Як визначити вихідний опір елемента ТТЛ при насиченні T_3 ?
27. Яким чином отримана схема заміщення на рис.4.9?
28. Чим відрізняються схеми заміщення елемента ТТЛ з боку виходу для високого рівня при лінійному режимі і насиченні T_3 ?

29. Прокоментуйте результати моделювання схеми на рис.4.10,а.
30. Прокоментуйте результати моделювання схеми на рис.4.10,б.
31. Яку інформацію можна отримати з результатів моделювання на рис.4.11?
32. Прокоментуйте результати моделювання схеми на рис.4.12.
33. Прокоментуйте результати моделювання схеми на рис.4.13.
34. В чому полягає різниця між схемами для моделювання на рис.4.12 і рис.4.13?
35. В чому полягає різниця між схемами для моделювання на рис.4.14,а і рис.4.14,б?
36. В чому полягає різниця між схемами для моделювання на рис.4.12, рис.4.13 і рис.4.14?
37. Прокоментуйте результати моделювання схеми на рис.4.15.
38. Прокоментуйте результати моделювання схеми на рис.4.16.
39. Про що свідчать результати моделювання на рис.4.15 і рис.4.16?
40. Виконайте порівняльний аналіз результатів моделювання на рис.4.15 і рис.4.16 за допомогою табл.4.1.
41. Чим обумовлений вибір діапазону опорів резисторів навантаження в табл.4.1?
42. В чому полягає різниця між схемами для моделювання на рис.4.17,а і рис.4.17,б?
43. Прокоментуйте результати моделювання схеми на рис.4.18.
44. Прокоментуйте результати моделювання схеми на рис.4.19.
45. В чому полягає різниця в результатах моделювання на рис.4.18 і рис.4.19?
46. Чим обумовлений вибір діапазону опорів резисторів навантаження в табл.4.2?
47. Виконайте порівняльний аналіз результатів моделювання на рис.4.18 і рис.4.19 за допомогою табл.4.2.

ВИСНОВКИ

1. Розглянуті схеми заміщення елементів ТТЛ, які дозволяють спростити розрахунок схем, які містять кілька елементів ТТЛ з нестандартним навантаженням.

2. Виконаний порівняльний аналіз схем заміщення елементів ТТЛ з характеристиками реальних елементів ТТЛ, який підтверджує коректність розглянутих схем заміщення.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

для більш докладного самостійного вивчення електронних основ побудови цифрових інтегральних схем

1. Комп'ютерна електроніка (частина 1) [навчальний посібник] / Б.С.Гусев, Д.Ю. Касаткін// - К.: НУБіП України, 2024.- 333с.
2. Комп'ютерна електроніка: підручник/ А.О. Новацький ; НТУ України «Київський політехнічний інститут» ім. Ігоря Сікорського. – Київ: КПІ ім. Ігоря Сікорського, 2018. – 468 с.
3. Комп'ютерна електроніка: Лабораторний практикум [Електронний ресурс]: навч. посіб. для студ. освітньої програми «Інтегровані інформаційні системи» спеціальності 126 «Інформаційні системи та технології», / КПІ ім. Ігоря Сікорського; уклад.: А.О. Новацький. – Електронні текстові дані (1 файл: 13.8 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2018. – 415 с.
4. Комп'ютерна електроніка: навчальний посібник. / К.К. Победаш; КПІ ім. Ігоря Сікорського. - Київ: КПІ ім. Ігоря Сікорського, 2019. - 364 с.
5. Цифрова схемотехніка [навчальний посібник] / КПІ ім. Ігоря Сікорського; В.І. Зубчук, М Делавар-Касмаї. – Київ: КПІ ім.Ігоря Сікорського», 2021. – 258с.
6. Електроніка і мікропроцесорна техніка / Сенько В.І., Лисенко В.П., Юрченко О.М., Лукін В.Є., Руденський А.А. — К. : «Агроосвіта», 2015. – 676 с.
7. Don Lancaster. RTL Cookbook. Synergetics SP Press, Third Edition. 2010. – 247pp.
8. Комп'ютерна електроніка : навч.посібник / Ю. П. Колонтаєвський. Харків. нац. ун-т міськ. госп-ва ім. О. М. Бекетова. – Харків : ХНУМГ ім. О. М. Бекетова, 2019. – 156 с.
9. Комп'ютерна схемотехніка: підручник / [Азаров О. Д., Гарнага В. А., Клятченко Я. М., Тарасенко В. П.]. – Вінниця : ВНТУ, 2018. – 230 с.
10. Resistor Transistor Logic (RTL) Circuits [Електронний ресурс]. – Режим доступу: <https://blog.win-source.net/electronics-expo/resistor-transistor-logic-rtl-circuits/>
11. Resistor-Transistor Logic (RTL) [Електронний ресурс]. – Режим доступу: <https://electronics-club.com/resistor-transistor-logic-rtl/>
12. Resistor-Transistor Logic (RTL) [Електронний ресурс]. –Режим доступу: <https://ecstudiosystems.com/discover/textbooks/basic-electronics/logic-gates/rtl/>
13. Apollo Guidance Computer [Електронний ресурс]. – Режим доступу: https://en.wikipedia.org/wiki/Apollo_Guidance_Computer
14. Цифрова схемотехніка: Підручник [Текст] / [Верьовкін Л.Л., Світанко М.В., Кісельов Є. М., Хрипко С.Л.]. – Запоріжжя : ЗДІА, 2016. – 214 с.
15. Омельчук В.В., Гладич І.К. Електроніка та мікросхемотехніка: навч.посібник. – Житомир, ЖВІРЕ, 2004. – 356с.
16. Diode-Transistor Logic (DTL) [Електронний ресурс]. – Режим доступу: <https://ecstudiosystems.com/discover/textbooks/basic-electronics/logic-gates/dtl/>

17. Diode-Transistor Logic (DTL) [Електронний ресурс]. – Режим доступу: <https://eee.poriyaan.in/topic/diode---transistor-logic--dtl--11600/>
18. Diode-Transistor Logic (DTL) [Електронний ресурс]. – Режим доступу: <https://www.eesemi.com/dtl.htm>
19. Є.З. Маланчук. Моделювання та аналіз цифрових схем. Підручник / Є.З. Маланчук, В.В. Макаренко, В.М. Співак, Г.Г. Власюк, А.В. Рудик. – Рівне: Національний університет водного господарства та природокористування, 2018. – 463 с.
20. Воробйова О.М. Цифрові пристрої: навч. посіб. – Ч. 1 / О.М. Воробйова, М.П. Савицька, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2016. – 112 с.
21. Electronic Components Datasheet Search [Електронний ресурс]. – Режим доступу: https://www.alldatasheet.com/html-pdf/207837/TI/SN5400_07/122/4/SN5400_07.html
22. Texas Instruments. Datasheets [Електронний ресурс]. – Режим доступу: <https://www.ti.com/lit/ds/symlink/sn7400.pdf?HQS=TI-null-null-alldatasheets-df-pf-SEP-wwe&ts=1752347408469>
23. Комп'ютерна схемотехніка (частина 2) [навчальний посібник] / О.Є.Коваленко, С.М.Волошин, Б.С.Гусєв, Є.В. Нікітенко, В.В.Матієвський // - К.: НУБіП України, 2023.- 331с.
24. Darlington Transistors [Електронний ресурс] – Режим доступу: <https://www.electronics-tutorials.ws/transistor/darlington-transistor.html>
25. The Electronics Handbook, Second Edition, Jerry C. Whitaker [Електронний ресурс]. – Режим доступу: <https://borsesachin.wordpress.com/wp-content/uploads/2018/07/the-electronics-handbook.pdf>
26. Комп'ютерна електроніка: навчальний посібник [Текст] / [Каганюк О.К., Поліщук М.М., Здолбіцька Н.В., Бортник К.Я.]. – Луцьк : Луцький НТУ, 2020. 224 с.