

ДОСЛІДЖЕННЯ І РЕАЛІЗАЦІЯ СИСТЕМИ СТИСНЕННЯ ДАНИХ З ВИКОРИСТАННЯМ FPGA

Дорофєєв А.С., науковий керівник Лендел Т.І., к.т.н., доц.

Актуальність теми використання FPGA для прискорення стиснення даних обумовлена зростаючими обсягами інформації та необхідністю швидкої обробки й передачі даних у багатьох сферах, таких як телекомунікації, комп'ютерні мережі, великі дані та машинне навчання. FPGA (Field-Programmable Gate Array) надають можливість паралельної обробки даних та можуть бути налаштовані для конкретних завдань, таких як стиснення [2], що значно підвищує продуктивність порівняно з традиційними програмно-орієнтованими підходами [1].

Метою роботи є дослідження теоретичних основ та розробка архітектури системи стиснення даних на основі FPGA, яка здатна працювати в реальному часі та забезпечує ефективну обробку інформації, а також порівняння швидкості роботи алгоритмів стиснення на класичних процесорах з архітектурою x86.

Об'єктом дослідження є технології та процеси стиснення даних, що реалізуються як в програмному, так і в апаратному забезпеченні. Означене включає в себе різні алгоритми стиснення, як приклад LZW, Huffman coding, Arithmetic coding, і їх реалізацію на різних платформах [4].

Предметом дослідження є виняткові підходи використання FPGA (FieldProgrammable Gate Array) для прискорення алгоритмів стиснення даних. Означене охоплює проектування та оптимізацію FPGA-архітектури для реалізації обраних алгоритмів, аналіз ефективності і продуктивності FPGA в порівнянні з традиційними програмними та апаратними рішеннями, а також вивчення методів підвищення швидкості обробки і зменшення споживання ресурсів.

Завдання дослідження:

1. Аналіз алгоритмів стиснення: провести огляд і вибрати найбільш ефективний алгоритм стиснення даних для реалізації на FPGA.
2. Проектування FPGA-архітектури: розробити архітектуру FPGA для вибраного алгоритму стиснення, включаючи реалізацію паралельної обробки даних.
3. Оптимізація продуктивності: визначити і реалізувати методи оптимізації FPGA реалізації для підвищення швидкості обробки та зменшення використання ресурсів.
4. Порівняння з традиційними рішеннями: провести порівняння ефективності FPGA реалізації з традиційними програмними та апаратними рішеннями по швидкості, ефективності та енергоспоживанню.
5. Тестування та валідація: виконати тестування розробленого рішення на FPGA для перевірки коректності, стабільності і відповідності вимогам.

На рис. 1 представлено загальний опис системи, яка складається з вхідного буфера, модуля для пошуку повторів, модуля кодування та вихідного буфера.

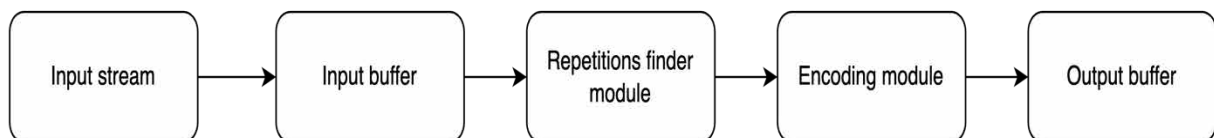


Рис. 1. Загальний опис системи

Платформа для проведення досліджень. Для реалізації системи стиснення даних було обрано платформу Terasic DE10-Nano, яка базується на FPGA Intel (Altera) Cyclone V SoC.

Вибір обумовлено наступними перевагами цієї плати [4]:

- **Гібридна архітектура (SoC):** поєднує FPGA та двоядерний ARM Cortex-A9, що дозволяє реалізовувати гібридні архітектури, де ARM-процесор керує високорівневими процесами, а FPGA – обробкою в реальному часі.
- **Великий обсяг вбудованої пам'яті:** до 64 МБ SDRAM доступної з боку FPGA, та 1 ГБ DDR3 SDRAM на стороні HPS (ARM). Це дає змогу обробляти досить великі обсяги даних без значного уповільнення.
- **Наявність численних периферій:** GPIO, HDMI, Ethernet, USB, що дає змогу легко організувати інтерфейс з іншими пристроями.

Ці характеристики роблять DE10-Nano оптимальним вибором для побудови прототипу системи стиснення, яка потребує апаратної прискореної обробки даних та інтеграції з іншими модулями.

Висновки. На цьому етапі дослідження було здійснено аналіз актуальності використання програмованих логічних інтегральних схем (FPGA) для реалізації систем стиснення даних, що особливо важливо для застосувань у реальному часі, вбудованих системах та високопродуктивних обчисленнях.

Проведено огляд архітектури FPGA, а також порівняльний аналіз між програмними та апаратними підходами до стиснення даних. На основі технічних характеристик і вимог до системи обґрунтовано вибір апаратної платформи **Terasic DE10-Nano**, яка поєднує можливості FPGA та ARM-процесора, має велику кількість вбудованих ресурсів (пам'ять, DSP-блоки, інтерфейси), що робить її придатною для створення прототипу апаратного модуля стиснення.

Також визначено підхід до реалізації алгоритму стиснення на основі комбінування методів LZ77 і Гаффмана, які добре масштабуються для апаратного виконання. Визначено основні етапи подальшої роботи, серед яких – проектування апаратної логіки, моделювання, верифікація, синтез, та тестування функціонального прототипу. Отримані результати формують надійну основу для подальшого практичного етапу дослідження — реалізації системи стиснення даних з використанням FPGA.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. J. Fowers, J.-Y. Kim, D. Burger, and S. Hauck, "A scalable high-bandwidth architecture for lossless compression on FPGAs," in Field-Programmable Custom Computing Machines (FCCM), 2015 IEEE 23rd Annual International Symposium on. IEEE, 2015, pp. 52–59.
2. Simpson P. The Hardware to Software Interface. FPGA Design. New York, NY, 2010. P. 91–94.
3. Salomon D. Basic Techniques. Data Compression. New York, NY, 1998. P. 1–19.
4. DE10-Nano User Manual – Intel [Електронний ресурс]. Режим доступу: https://ftp.intel.com/Public/Pub/fpgaup/pub/Intel_Material/Boards/DE10-Nano/DE10_Nano_User_Manual.pdf

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ БІОРЕСУРСІВ І
ПРИРОДОКОРИСТУВАННЯ УКРАЇНИ
ФАКУЛЬТЕТ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ**



**ТЕОРЕТИЧНІ ТА ПРИКЛАДНІ
АСПЕКТИ РОЗРОБКИ
КОМП'ЮТЕРНИХ СИСТЕМ**

**ЗБІРНИК НАУКОВИХ ПРАЦЬ ЗА МАТЕРІАЛАМИ
VII ВСЕУКРАЇНСЬКОЇ НАУКОВО-ПРАКТИЧНОЇ КОНФЕРЕНЦІЇ
СТУДЕНТІВ І АСПІРАНТІВ
*24 квітня 2025 року***

Київ 2025

УДК 004

Відповідальна за випуск: М.І. Лендел

Збірник наукових праць за матеріалами VII Всеукраїнської науково-практичної конференції студентів і аспірантів «ТЕОРЕТИЧНІ ТА ПРИКЛАДНІ АСПЕКТИ РОЗРОБКИ КОМП'ЮТЕРНИХ СИСТЕМ '2025», 24 квітня 2025 року, НУБіП України, Київ. – 452 с. (електронне видання)

Відповідальність за зміст публікацій несуть автори.

Передрук матеріалів, а також використання їх будь-якій формі допускається лише з дозволу авторів